

Wydział Informatyki Politechniki Białostockiej Przedmiot: Modułowe systemy cyfrowe	Data: 10.12.2025
Zajęcia nr 6 Temat: Bloki sekwencyjne-liczniki Grupa: Lab 8 Imię i nazwisko: Kamil Kubajewski, Jakub Matusiewicz, Bartosz Orłowski	Prowadzący: dr hab. inż. Sławomir Zieliński

1 Cel ćwiczeń

Zapoznanie z sekwencyjnymi układami cyfrowymi.

2 Podstawa teoretyczna

Liczniki to sekwencyjne układy cyfrowe, których głównym zadaniem jest zliczanie impulsów wejściowych oraz przechowywanie wyniku w postaci binarnej. Podstawowym parametrem licznika jest jego pojemność. Licznik o pojemności P nazywany jest licznikiem modulo P . Pojemność licznika jest zależna od liczby przerzutników, z których składa się licznik[1, 2, 4, 5, 6]. Liczba przerzutników n potrzebna do zbudowania licznika o pojemności P musi spełniać warunek:

$$P \leq 2^n \quad (1)$$

2.1 Dwójka licząca

Podstawowym elementem budulcowym liczników jest tzw. „dwójka licząca”, czyli licznik modulo 2. Układ ten zmienia swój stan na przeciwny po każdym aktywnym zboczu sygnału zegarowego[1, 3].

- **Realizacja na przerzutniku JK:** Polega na podaniu stanu wysokiego („1”) na oba wejścia sterujące (J oraz K). Przerzutnik pracuje wówczas w trybie przełączania.
- **Realizacja na przerzutniku D:** Polega na wprowadzeniu pętli sprzężenia zwrotnego – wyjście \bar{Q} (zanegowane) łączy się z wejściem D .

Dwójka licząca pełni również funkcję dzielnika częstotliwości przez 2, co jest fundamentem budowy liczników wielobitowych.

2.2 Liczniki asynchroniczne

W licznikach asynchronicznych szeregowych sygnał zegarowy doprowadzany jest tylko do wejścia pierwszego przerzutnika. Każdy kolejny przerzutnik jest taktowany sygnałem wyjściowym z poprzedniego bloku[1, 4, 5].

2.3 Liczniki rewersyjne

Liczniki mogą pracować w jednym z dwóch trybów zliczania:

- **W górę:** Zwiększaą zawartość o 1. W liczniku asynchronicznym zbudowanym na przerzutnikach reagujących na opadające zbocze, wyjście proste Q poprzedniego stopnia steruje wejściem zegarowym następnego.
- **W dół:** Zmniejszaą zawartość o 1. Uzyskuje się to poprzez sterowanie kolejnych bloków z wyjściami \bar{Q} poprzedników.

Licznik rewersyjny łączy te dwie funkcjonalności, umożliwiając zmianę kierunku zliczania za pomocą dodatkowego sygnału sterującego, który decyduje, czy sygnał zegarowy dla następnego przerzutnika pobierany jest z wyjścia Q czy \bar{Q} [1, 4, 5, 8].

2.4 Liczniki pierścieniowe

Licznik pierścieniowy jest to sekwencyjny układ cyfrowy pracujący w kodzie „1 z n”. Podczas prawidłowego cyklu działania tylko jeden z bitów może mieć wartość „1”. Liczba stanów cyklu jest równa liczbie przerzutników tworzących układ[1, 4, 5, 7, 8].

- Pracuje on zazwyczaj w kodzie „1 z n”, co oznacza, że w danym momencie tylko jeden przerzutnik jest w stanie wysokim, a ta „jedynka” krąży w pętli w takt impulsów zegarowych.
- Wadą tego rozwiązania jest niewykorzystanie pełnej przestrzeni stanów (dla n przerzutników mamy tylko n stanów użytecznych, a nie 2^n).
- Odmianą tego układu jest **licznik Johnsona**, gdzie sprzężenie zwrotne bierze się z wyjścia zanegowanego ostatniego przerzutnika, co podwaja liczbę stanów ($2n$).

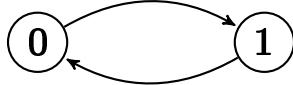
3 Przebieg ćwiczeń

3.1 Zadanie 1

Zaprojektuj i zrealizuj dwójkę liczącą na przerzutniku typu D i JK wykorzystując moduł laboratoryjny DB11. Zaobserwuj sygnały wyjściowe obu przerzutników.

3.1.1 Projektowanie układu - analiza wstępna

Na początku stworzono graf układu licznika.



Rysunek 1: Graf układu licznika modulo 2

Na podstawie grafu wyznaczono tabelę przejść i wyjścia licznika. S jest bieżącym stanem, następna kolumna reprezentuje stan, do którego przechodzimy, a Y jest wartością wyjścia licznika w stanie S .

S	Stan nast.	Y
0	1	0
1	0	1

Tabela 1: Tabela przejść i wyjścia

W kolejnym kroku na podstawie powyższej tabeli stworzono zakodowaną tabelę przejść i wyjścia. Bit Q koduje stan bieżący, a bit Q' koduje stan następny.

Q	Q'	Y
0	1	0
1	0	1

Tabela 2: Zakodowana tabela przejść

Dzięki tej tabeli wyznaczono funkcję wyjścia licznika:

$$Y_0 = Q \quad (2)$$

Kroki projektowania dwójkii liczącej na przerzutnikach typu D i JK do tego momentu nie różnią się.

3.1.2 Realizacja na przerzutniku typu D

Na początek kontynuujemy projektowanie dwójkii liczącej na przerzutniku typu D. Poniżej przedstawiono ogólną tabelę wzbudzeń przerzutnika D:

$Q \rightarrow Q'$	D
$0 \rightarrow 0$	0
$0 \rightarrow 1$	1
$1 \rightarrow 0$	0
$1 \rightarrow 1$	1

Tabela 3: Tabela wzbudzeń przerzutnika D

Na podstawie zakodowanej tabeli przejść i wyjść oraz tabeli wzbudzeń przerzutnika D wyznaczono tabelę prawdy funkcji wejścia przerzutnika dla naszego licznika:

Q	D
0	1
1	0

Tabela 4: Tabela funkcji wejścia dla licznika MOD 2 (Typ D)

Mając wzory wejścia i wyjścia przerzutnika, skonstruowano dwójkę liczącą. Funkcja wejścia przyjmuje postać:

$$D = Q' = \overline{Q} \quad (3)$$

3.1.3 Realizacja na przerzutniku typu JK

W kolejnych krokach zostało przedstawione projektowanie dwójkę liczącej na przerzutniku typu JK. Poniżej ogólna tabela wzbudzeń przerzutnika JK:

$Q \rightarrow Q'$	J	K
$0 \rightarrow 0$	0	-
$0 \rightarrow 1$	1	-
$1 \rightarrow 0$	-	1
$1 \rightarrow 1$	-	0

Tabela 5: Tabela wzbudzeń przerzutnika JK

Na podstawie zakodowanej tabeli przejść i wyjść oraz tabeli wzbudzeń przerzutnika JK wyznaczono tabelę prawdy funkcji wejść przerzutnika. Dla przejścia $0 \rightarrow 1$ (gdy $Q = 0$) wymagane jest $J = 1, K = -$. Dla przejścia $1 \rightarrow 0$ (gdy $Q = 1$) wymagane jest $J = -, K = 1$.

Q	J	K
0	1	-
1	-	1

Tabela 6: Tabela funkcji wejść dla licznika MOD 2 (Typ JK)

Następnie wyznaczono funkcje sterujące przerzutnikiem. Po uwzględnieniu stanów nieokreślonych ("") jako jedynki logiczne dla uproszczenia układu, otrzymujemy:

$$J = 1, \quad K = 1 \quad (4)$$

3.1.4 Realizacja na przerzutniku typu D

Przerzutnik typu D przepisuje stan wejścia D na wyjście Q po wystąpieniu aktywnego zbocza zegara. Aby układ działał jako dwójką liczącą, należy na wejście podać stan przeciwny do aktualnego. Równanie charakterystyczne licznika MOD 2 dla przerzutnika D przyjmuje postać:

$$D = \overline{Q_n} \quad (5)$$

Poniższa tabela przedstawia zmianę stanu licznika ($Q_n \rightarrow Q_{n+1}$) oraz wymagany stan wejścia D .

Tabela 7: Tabela przejść i wzbudzeń przerzutnika D

Stan obecny (Q_n)	Stan następny (Q_{n+1})	Wymagane D	Opis
0	1	1	Zmiana $0 \rightarrow 1$ (bo $D = \overline{Q}$)
1	0	0	Zmiana $1 \rightarrow 0$ (bo $D = \overline{Q}$)

3.1.5 Realizacja na przerzutniku typu JK

Przerzutnik JK jest przerzutnikiem uniwersalnym. Jego działanie zależy od konfiguracji wejść J i K . Aby uzyskać zmianę stanu na przeciwny przy każdym taktie zegara (tryb **Toggle**), czyli $Q_{n+1} = \overline{Q_n}$, należy ustawić oba wejścia w stan wysoki:

$$J = 1, \quad K = 1 \quad (6)$$

Tabela przedstawia wymagane stany na wejściach J i K , aby uzyskać zmianę stanu wyjścia.

Tabela 8: Tabela przejść i wzbudzeń przerzutnika JK

Stan (Q_n)	Stan nast. (Q_{n+1})	Wymagane J	Wymagane K	Tryb
0	1	1	X	Toggle
1	0	X	1	Toggle

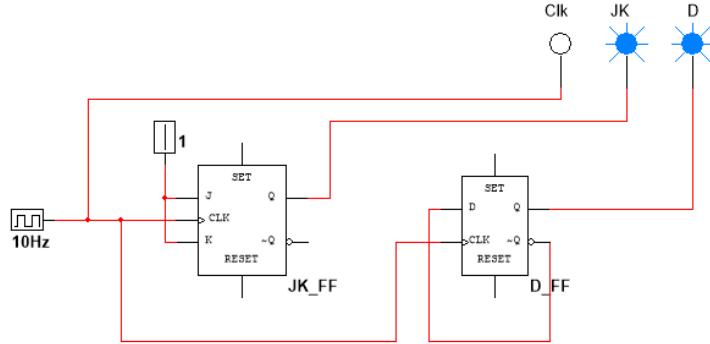
(Gdzie X oznacza stan dowolny. Dla uproszczenia konstrukcji przyjęto $J = 1$ i $K = 1$ dla obu przypadków).

3.1.6 Zrealizowany układ

Na podstawie powyższych analiz teoretycznych zaprojektowano i zmontowano układ. Schemat połączeń oraz wynik weryfikacji przedstawiono na poniższym rysunku.

3.2 Zadanie 2

Zaprojektować i wykonać 4-bitowy licznik liczący w górę i w dół (ang. Ripple counter) wykorzystując moduł laboratoryjny DB14.



Rysunek 2: Zrealizowany licznik modulo 2 na przerzutnikach

3.2.1 Projekt połączeń – Licznik w góre (UP)

W celu realizacji zliczania narastającego ($0, 1, 2\dots$), zaprojektowano układ, w którym wyjście proste Q poprzedniego przerzutnika steruje wejściem zegarowym C_P następnego przerzutnika.

Zrealizowane połączenia:

1. Źródło zegara \rightarrow wejście C_P bitu Q_0 .
2. Wyjście $Q_0 \rightarrow$ wejście C_P bitu Q_1 .
3. Wyjście $Q_1 \rightarrow$ wejście C_P bitu Q_2 .
4. Wyjście $Q_2 \rightarrow$ wejście C_P bitu Q_3 .

Uzyskane stany wyjść przedstawiono w tabeli poniżej.

Tabela 9: Zarejestrowana sekwencja liczenia w góre

Takt	Q_3	Q_2	Q_1	Q_0	Stan (DEC)
0	0	0	0	0	0
1	0	0	0	1	1
2	0	0	1	0	2
...
15	1	1	1	1	15

3.2.2 Projekt połączeń – Licznik w dół (DOWN)

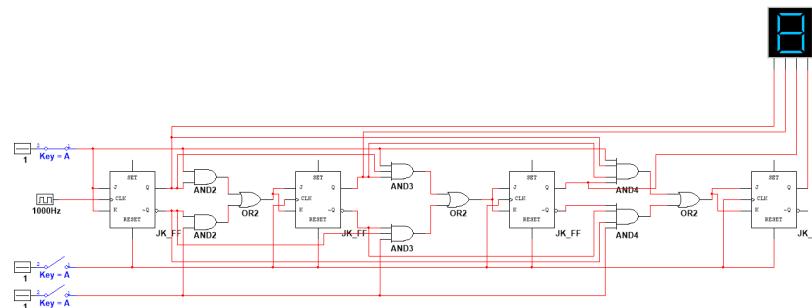
W celu realizacji zliczania malejącego ($15, 14, 13\dots$), zmodyfikowano projekt, wykorzystując wyjście zanegowane \overline{Q} do sterowania kolejnymi stopniami licznika.

Zrealizowane połączenia:

1. Źródło zegara \rightarrow wejście C_P bitu Q_0 (bez zmian).
2. Wyjście $\overline{Q_0} \rightarrow$ wejście C_P bitu Q_1 .
3. Wyjście $\overline{Q_1} \rightarrow$ wejście C_P bitu Q_2 .
4. Wyjście $\overline{Q_2} \rightarrow$ wejście C_P bitu Q_3 .

3.2.3 Realizacja w środowisku symulacyjnym

Układ został zaprojektowany i uruchomiony w programie Multisim. Poprawność połączeń zweryfikowano poprzez obserwację stanów na wyświetlaczu szesnastkowym oraz diodach próbników logicznych.



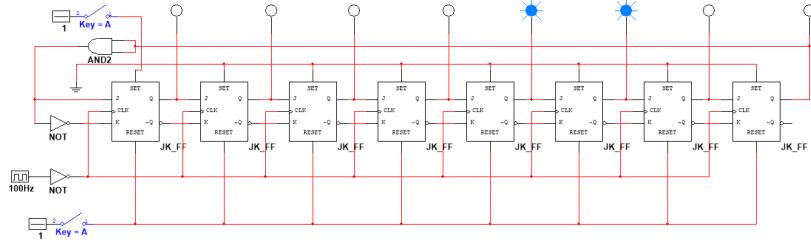
Rysunek 3: Realizacja 4-bitowego licznika w Multisim

3.3 Zadanie 3

Przebadać działanie 8-bitowego licznika cyklicznego (ang. Ring Counter) wykorzystując moduł laboratoryjny DB37.

Weryfikacja działania układu polegała na ręcznym sterowaniu sygnałem zegarowym za pomocą przycisku **S2**. Obserwacja diod LED (**L1-L8**) pozwoliła potwierdzić poprawność logiczną układu: każde wcisnięcie przycisku powodowało cykliczne przemieszczanie się stanu aktywnego (zapalonej diody) na kolejną pozycję. Po osiągnięciu ostatniego bitu, cykl rozpoczynał się od nowa.

Dodatkowo przetestowano funkcję resetowania za pomocą przycisku **S1**, którego wcisnięcie powodowało natychmiastowe wyzerowanie licznika (zgaszenie wszystkich diod).



Rysunek 4: Realizacja 8-bitowego licznika cyklicznego

4 Dyskusja błędów

W ramach przeprowadzonych zadań zrealizowano szereg układów sekwenncyjnych wykorzystując moduły laboratoryjne DB11, DB14 oraz DB37, a poprawność ich działania weryfikowano poprzez bezpośrednią obserwację stanów na diodach LED oraz wyświetlaczem 8-segmentowym.

W zadaniu pierwszym, podczas realizacji dwójkii liczącej na przerzutnikach typu D i JK, stany logiczne obserwowano jako zapalanie i gaszenie diod wyjściowych w takt sygnału zegarowego. Mimo pełnej zgodności logicznej z tabelami przejść, należy zauważać, że te stany są w rzeczywistości poziomami napięć prądu stałego. Rozbieżność między idealnym modelem a rzeczywistością wynika z charakterystyk elektrycznych układów scalonych, gdzie stan niski nie jest idealnym potencjałem 0 V, lecz posiada określona wartość napięcia wynikającą ze spadków na złączach tranzystorów wyjściowych. Zjawisko to oraz szczegółowa analiza poziomów napięć dla stanów logicznych były przedmiotem badań grupy w ramach wcześniejszych zajęć laboratoryjnych [9].

W zadaniu drugim, przy budowie 4-bitowego licznika asynchronicznego na module DB14, wyniki zliczania obserwowano bezpośrednio na diodach podłączonych do wyjść $Q_0 \dots Q_3$. Istotnym źródłem potencjalnych błędów była jakość połączeń fizycznych (przewodów laboratoryjnych) łączących wyjścia przerzutników z wejściami zegarowymi kolejnych stopni. Jakakolwiek niestabilność styków mogłaby prowadzić do błędnego odczytu stanów przez diody lub ich migotania. Dodatkowo, specyfika licznika asynchronicznego sprawia, że przy przełączaniu stanów (np. z 7 na 8) diody LED mogą przez ułamki sekund przechodzić przez stany nieustalone, wynikające z sumowania się czasów propagacji sygnału przez kolejne kostki układów scalonych. Przy taktowaniu 10 Hz błąd ten był niedostrzegalny dla oka, jednak stanowi on fizyczne ograniczenie częstotliwości pracy tak zrealizowanego licznika.

W zadaniu trzecim zbadano 8-bitowy licznik pierścieniowy na module DB37. W tym przypadku układ był taktowany sygnałem zegarowym, a rolą operatora polegała na ręcznym „wstrzyknięciu” stanu wysokiego do pętli za pomocą

przycisku **S2**. Fizyczna obserwacja świecącej diody przemieszczającej się między **L1** a **L8** pozwoliła zidentyfikować specyficzne źródła błędów. Największą trudność stanowiła synchronizacja ręcznego wprowadzania danych z biegnącym zegarem – zbyt długie przytrzymanie przycisku skutkowało wprowadzeniem do pętli kilku sąsiednich jedynek zamiast jednej, co naruszało zasadę pracy w kodzie „1 z n”. Ponadto, mechaniczne drgania styków przycisku wprowadzającego liczbę mogły generować szумy interpretowane przez pierwszy przerzutnik jako seria szybkich zmian stanu. Wykazano również, że bez fizycznej inicjalizacji układu i ręcznego dodania impulsu, licznik pozostaje w stanie jałowym (wszystkie diody zgaszone), co wynika z braku krążącego sygnału w zamkniętej pętli rejestru.

5 Wnioski

Przeprowadzone ćwiczenia laboratoryjne pozwoliły na praktyczną weryfikację teoretycznych zasad działania układów sekwencyjnych, ze szczególnym uwzględnieniem liczników asynchronicznych. Realizacja dwójki liczącej w pierwszym zadaniu potwierdziła uniwersalność przerzutników typu D oraz JK. Wykazano, że poprzez wprowadzenie pętli sprzężenia zwrotnego w przerzutniku D (połączenie wyjścia zanegowanego-Q' z wejściem-D) oraz ustawienie przerzutnika JK w tryb przełączania, oba układy poprawnie realizują funkcję dzielnika częstotliwości, generując na wyjściu sygnał o dwukrotnie mniejszej częstotliwości niż sygnał zegarowy.

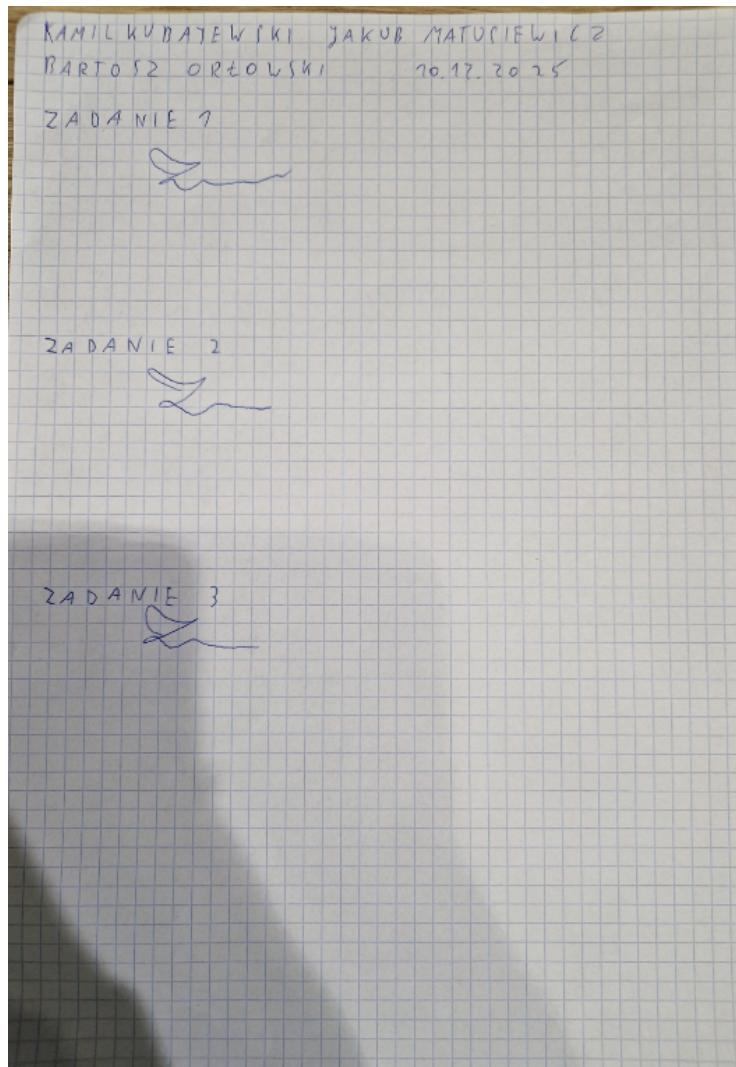
W trakcie badania 4-bitowego licznika asynchronicznego (Ripple Counter) zaobserwowano zależność kierunku zliczania od sposobu sterowania kolejnych stopni licznika. Zadanie potwierdziło, że sterowanie wejściem zegarowym następnego przerzutnika za pomocą wyjścia prostego poprzednika skutkuje zliczaniem w górę, natomiast wykorzystanie wyjścia zanegowanego powoduje zmianę trybu na zliczanie w dół. Choć konstrukcja ta charakteryzuje się prostotą, należy pamiętać o zjawisku sumowania się czasów propagacji przez kolejne bramki, co jest istotnym ograniczeniem w aplikacjach wymagających dużej szybkości działania.

Ostatnia część ćwiczenia, dotycząca 8-bitowego licznika pierścieniowego, pozwoliła na analizę pracy układu w kodzie „1 z n”. Kluczowym wnioskiem płynącym z tego zadania jest konieczność poprawnej inicjalizacji układu poprzez wpisanie logicznej jedynek do pętli rejestru; bez tego wymuszenia licznik pozostaje w stanie jałowym. Mimo że rozwiązanie to jest mniej ekonomiczne pod względem liczby wykorzystanych przerzutników w stosunku do liczby uzyskiwanych stanów, jego niewątpliwą zaletą jest brak konieczności stosowania dodatkowych dekoderów wyjściowych, co upraszcza strukturę układów sterujących sekwencjami zdarzeń. Wszystkie zrealizowane układy działały zgodnie z założeniami teoretycznymi.

6 Literatura

- [1] T. Maciąk, *Skrypt do laboratorium Elektroniki cyfrowej*, Wydział Informatyki Politechniki Białostockiej, Białystok, 2021.
- [2] *Sequential logic*, Wikipedia, dostęp online: https://en.wikipedia.org/wiki/Sequential_logic, data dostępu: Marzec 2025.
- [3] *Decade, Devide-By-Twelve and Binary Counters*, Texas Instruments, dostęp online: <https://www.ti.com/lit/ds/symlink/sn54ls90.pdf?ts=1766830741322>, data dostępu: październik 2025.
- [4] M. Morris Mano, Michael D. Ciletti, *Digital Design With an Introduction to the Verilog HDL 5th Edition*, dostęp online: <https://jrasti.ir/wp-content/uploads/2024/09/Digital-design-with-an-introduction-to-the-verilog-hdl-5th-edition.pdf>, data dostępu: wrzesień 2024.
- [5] *Counter (digital)*, Wikipedia, dostęp online: [https://en.wikipedia.org/wiki/Counter_\(digital\)](https://en.wikipedia.org/wiki/Counter_(digital)), data dostępu: grudzień 2025.
- [6] *Registered Logic Design*, University of Florida - Machine Intelligence Laboratory, dostęp online: https://mil.ufl.edu/4712/docs/PLD_Basics/RegisteredLogicDesign.pdf
- [7] *Ring counter*, Wikipedia, dostęp online: https://en.wikipedia.org/wiki/Ring_counter, data dostępu: grudzień 2025.
- [8] *Counters and shift registers*, PLD World - FPGA/HDL Resources, dostęp online: http://ebook.pldworld.com/_eBook/FPGA%EF%BC%8FHDL/-Examples-/counters%20and%20shift%20registers.pdf, data dostępu: grudzień 2025.
- [9] K. Kubajewski, B. Orłowski, J. Matusiewicz, *Sprawozdanie z laboratorium nr 2: Parametry statyczne i dynamiczne bramek oraz przerzutników*, Wydział Informatyki Politechniki Białostockiej, Białystok, 15 października 2025.

7 Protokół



Rysunek 5: Protokół