

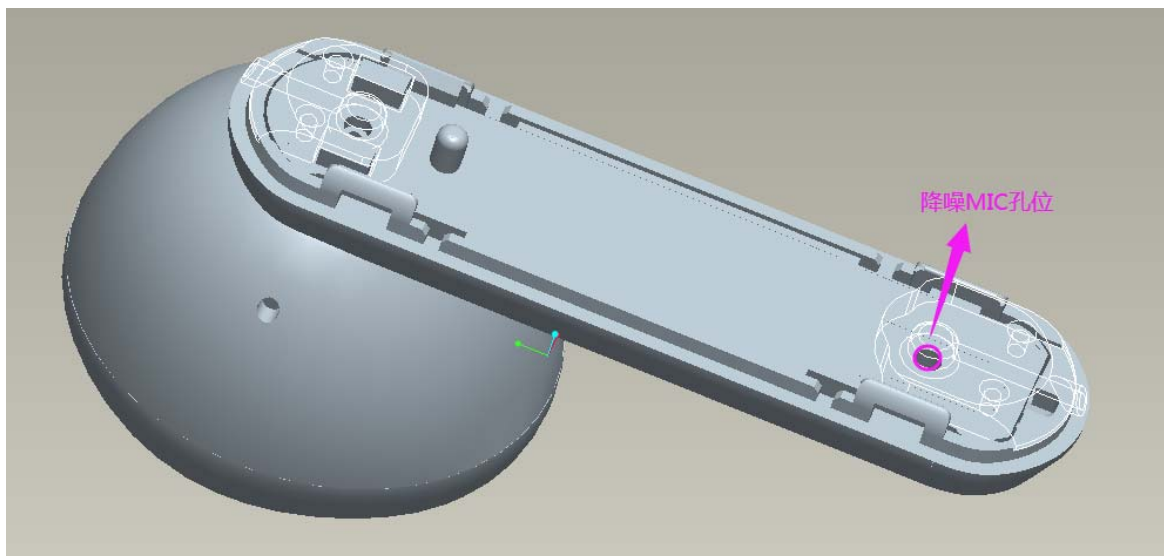
AC897N ANC耳机方案设计指南 V1.0

设计要求:

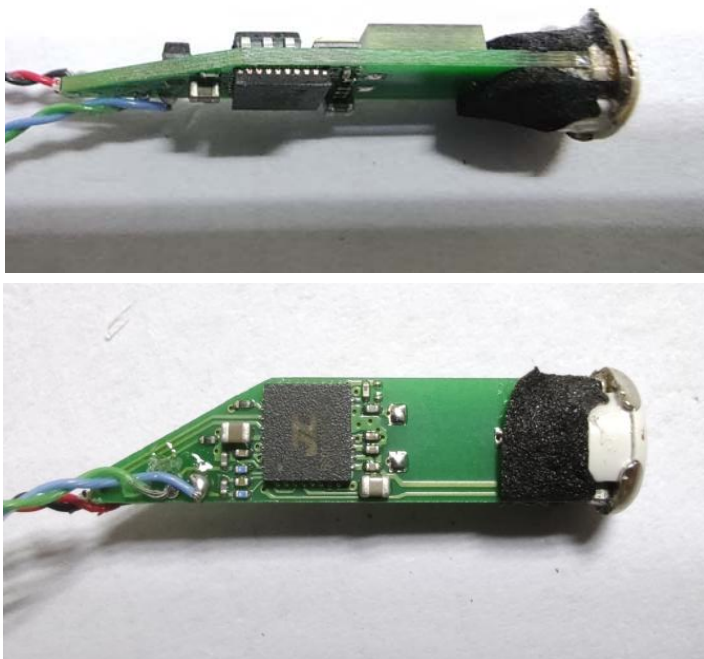
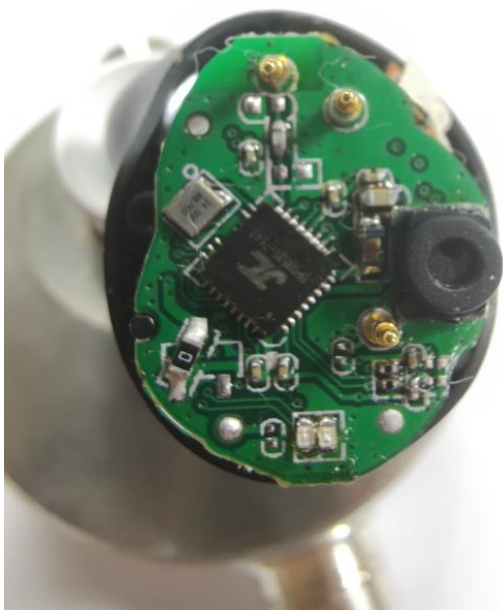
- 1、腔体设计:** 喇叭和MIC最好有独立的腔体, MIC孔的开孔位置要垂直于人耳, 正面朝向外部环境噪声方向, MIC装配位要有MIC硅胶套或隔音棉, 用来阻断喇叭端传过来的干扰声。腔体上喇叭要有泄音孔。
- 2、喇叭选型:** 喇叭要选用低频响应好, 失真度小, 装上前腔后测试200Hz以下的频响需是一条直线, 衰减在 $\pm 2\text{dB}$ 以内, 尺寸最好选用 $\Phi 13$ 的喇叭。
- 3、MIC选型:** MIC要选用模拟降噪硅麦, 低频响应好, 衰减在 $\pm 1\text{dB}$ 以内, SNR高, 通用封装为2718, 同一型号, 下进音的麦性能会优于上进音麦, 所以优选下进音模拟硅麦。推荐厂家: 歌尔或敏芯微。
- 4、天线布局规划:** 无线性能是我们射频产品的关键性能, 由于射频产品是一个系统性的工程, 因此有条件的, 在模具设计上, 就需要考虑天线的位置, 总的原则是给天线设计出一个干净、尺寸足够的位置, 远离干扰源, 如远离人体、电池、金属器件等等。
- 5、地场:** 地平面的完整性和尺寸, 直接影响天线的性能和噪声, 因此我们需要习惯于从电池负端往前看, 整个地回路不能出现窄带、细线; 由于天线的镜像特性、和回路电流的方向性, 需要保证地平面的完整, 避免破碎、小尺寸的地平面。
- 6、晶振:** 晶振是系统的基准源, 需要保证其干净、可靠、稳定, 远离干扰源, 保证地场的情况下, 减少信号寄生电容、电感。晶振规格: 24MHz, 负载电容12PF, 精度为 $\pm 10\text{PPM}$, 外壳接地。
- 7、电源:** 电源的纹波会直接影响芯片的性能, 因此需要重视退耦电容的布局摆放、退耦电容的地回路, 走线的线宽等; 特别是DCDC电源, 要把芯片的PGND、BTAVDD、SW、VBAT管脚和LC滤波电路、和相应的退耦电容, 共同组成DCDC模块, 整个回路路径小, 共地性完整。
- 8、模拟模块:** 这部分主要是DACL、DACR、MIC、AGND, 这些型号都是模拟的, 容易受RF、数字信号的干扰(持续输出PWM的IO等), 因此需要远离干扰源, 要注意AGND的回路, 减少回音和通话噪声。

一、腔体设计要求

喇叭和MIC最后有独立的腔体，MIC孔的开孔位置要垂直于人耳：



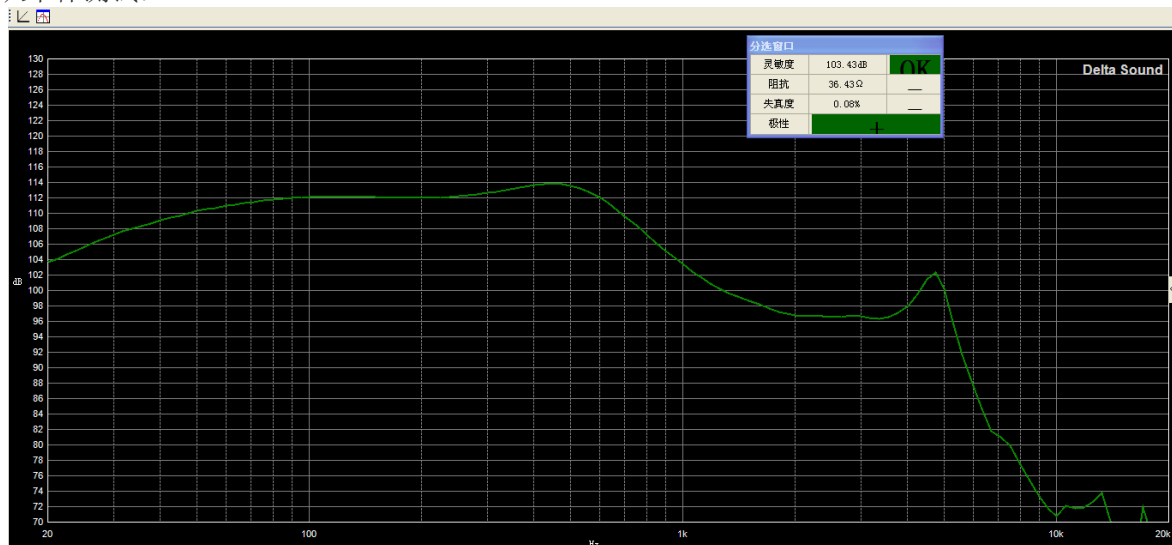
MIC的装配处理：



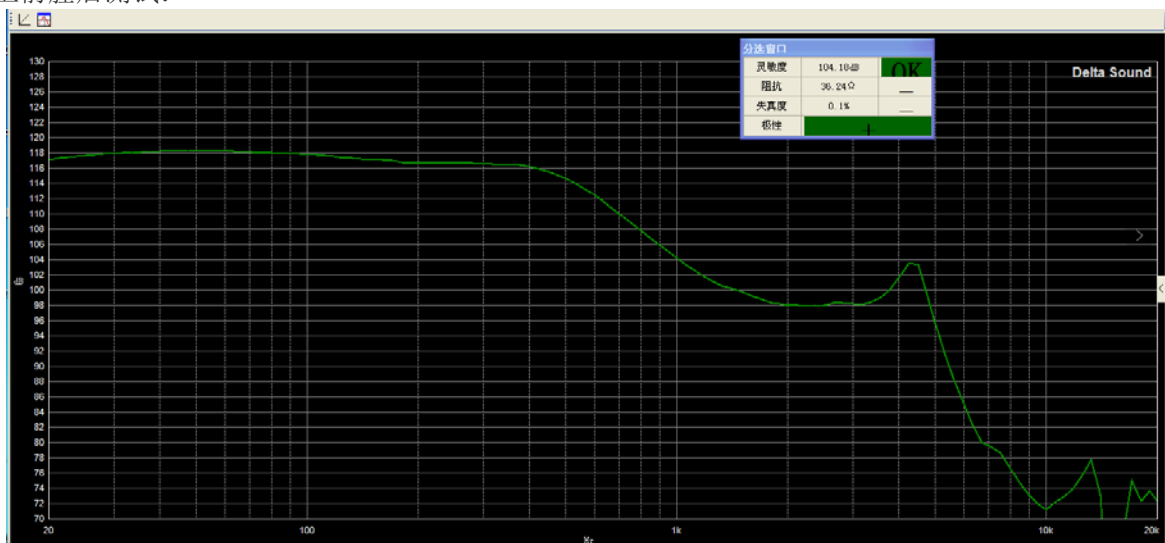
二、喇叭选型要求

喇叭最好选用Φ13的喇叭，低频响应好，频率曲线如下图：

喇叭单体测试：

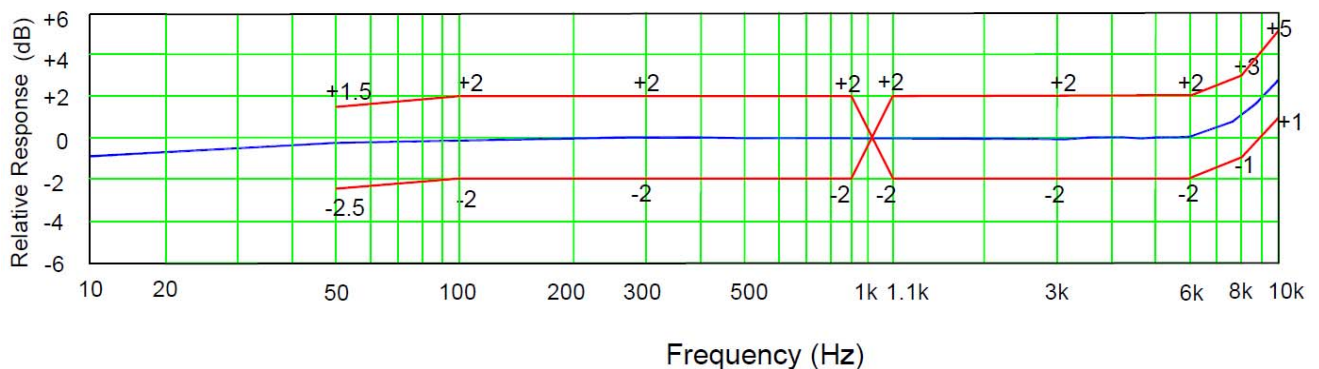


装上前腔后测试：



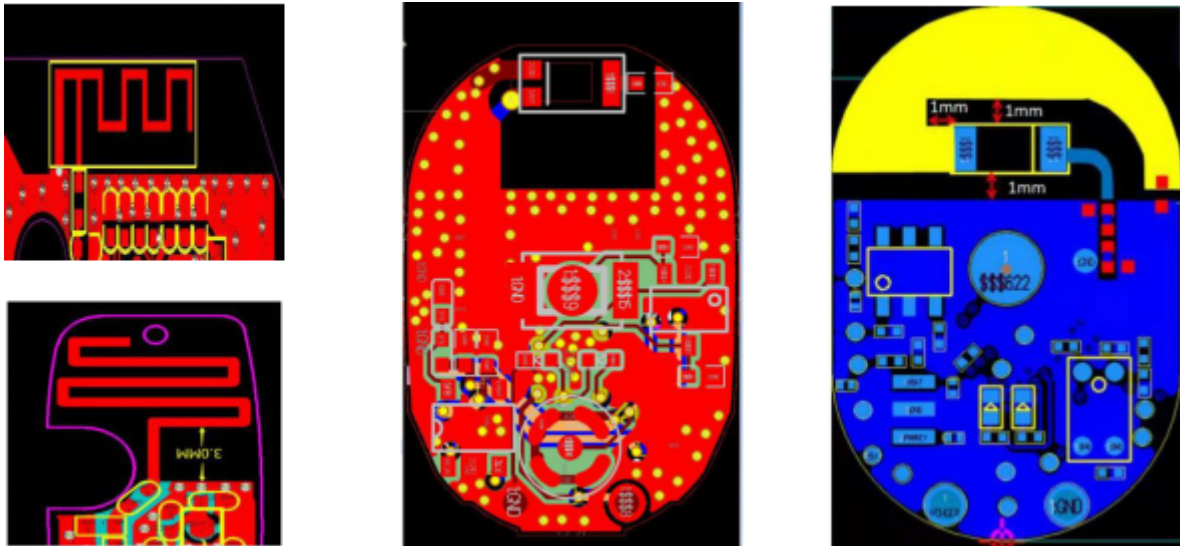
三、MIC选型要求

MIC必须选用ANC降噪MIC，灵敏度和信噪比越高越好，频率曲线要求如下图：



四、天线布局要求

- 1) 合理设计模具，综合考虑天线布局位置。
- 2) RF天线必须放置在板边，严禁被 GND 包裹，且正反面不能有金属器件。
- 3) RF天线要远离DAC、MIC、DCDC芯片等电路，以减少 RF 辐射干扰引入的噪音问题。
- 4) 选用单极子/倒F天线，建议采用三面镂空方式（上、左、右）。针对天线靠近电池/人体方案，可考虑选用双极陶瓷天线或回路天线，以减少电池/人体带来的影响。



五、RF 传输线应严格遵循 50 欧阻抗设计

可使用SI9000阻抗计算软件对RF传输线进行阻抗计算，需要根据每个板子的叠层结构、厚度、参考层、线宽、线距、板材、设计50欧姆的传输线，因此投板时，必须要求板厂对RF传输线做50欧阻抗设计，如图2所示：

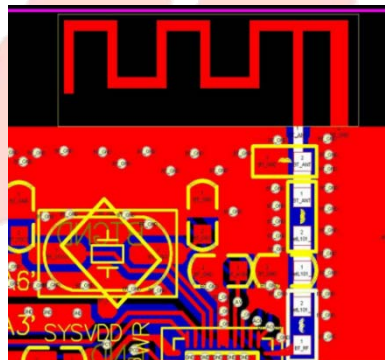


图2 射频走线50欧姆阻抗设计

- 1) RF 布线越长，损耗越大，在RF 布线时，路径越短越好，且RF 布线上，不建议有分支
- 2) RF 布线若有遇到需转向时，不可用转角的方式，需用弧形方式走线转向
- 3) RF 布线下方要有完整地（严禁走信号线分割下方地回路），建议多打过孔墙，地过孔间距建议 1-2mm

六、保证电源完整性

- 1) 优先保证地回路的连通性，避免地回路走线过长过细。
- 2) VMCU、VDDIO、BTAVDD、VCOM等电源退耦电容尽量靠芯片管脚放置，且地线回路要尽量短
- 3) 重点关注DCDC电源部分布局，要求远离天线并注意地回路走线，请参考下图。

图3: DCDC的LC回路尽量短且走线尽量粗，主控PGND管脚和LC的滤波电容地回路要短而粗，共地性良好，不再区分PGND。

图4: 尽量预留一片完整地从主控流回电池地（四层板尽量预留中间层完整地）。



图3 DCDC回路

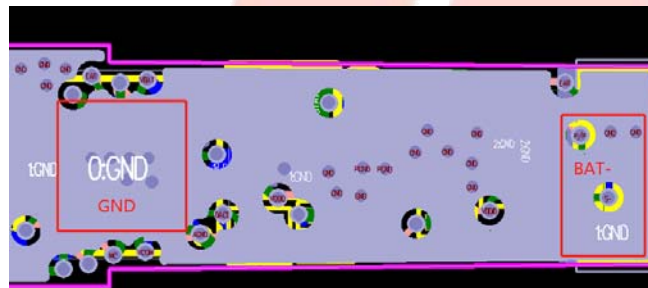


图4 预留完整地回路

DCDC电源Layout要求如下:

- a) 需保证 { 芯片管脚VBAT、SW、BTAVDD、PGND、GND和LC组成的回路短而粗，特别是退耦电容的地要共地完整 }，地线回到电池的负端，路径粗而完整，如图5。
- b) DCDC 输出电感必须要经过滤波电容后再给主控 BT-AVDD 供电，DCDC 电感尽量使用绕线电感，额定电流大于 120mA，直流电阻小于 0.5R。
- c) DCDC的BTAVDD滤波电容需至少预留106+105。
- d) 电感靠近 SW 脚，SW 网络尽量不要打过孔，尽量短粗，电感下面或反面尽量不走线或放置器件，特别需注意 mic 的走线和布局，避免干扰到 mic；
- e) DCDC 电路尽量远离蓝牙天线，避免干扰到蓝牙。
- f) 不能随意更改标准原理图上的元件参数和要求，如要修改，必须进行试产测试

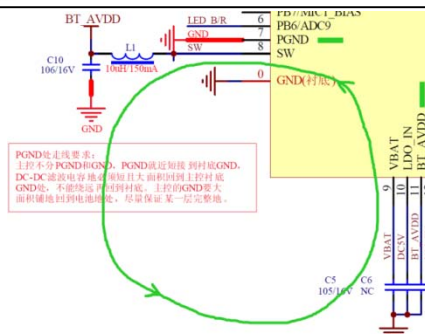


图5 DCDC回路路径

七、MIC电路布局要求

为保证较好的通话效果，MIC电路需严格按照以下布局布线要求：

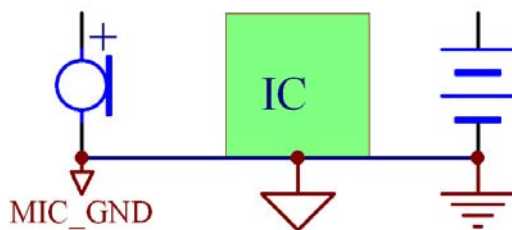


图6 MIC地回路示意图

- 1) 优先保证MIC地回路干净，地回路连接顺序为：MIC_GND→主控AGND→BAT-（短接GND），AGND尽量粗，若受板框限制，AGND可在主控附近短接GND。
- 2) 板上预留MIC对AGND电容，防止MIC线路受干扰。
- 3) MIC必须远离DCDC，天线等高频或数字信号，以免引入干扰。

八、内置触摸走线要求

使用芯片内置触摸时，总的要求是**减少板间寄生电容**，因此

- 1) 布局允许的情况下，触摸点离芯片越近越好。
- 2) 保证做板工艺的前提下，走线越细越好，铺铜间距越大越好
- 3) 注意减少焊接点的的寄生电容，通常焊接点的焊盘比较大，板子叠层比较薄的时候，容易形成较大的板间寄生电容，因此可以镂空相邻的地层。
- 4) 触摸感应铜箔面积越大，和外壳贴合越紧，信号变化量越大，效果越好。
- 5) 远离干扰源，如SW、IIC、SPI、DAC等，可以用地隔离相应的干扰源。

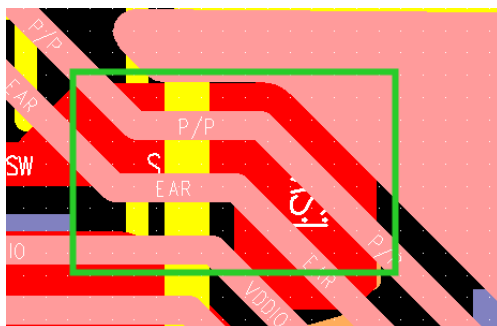


图7 相邻两层触摸走线收到SW的干扰

九、其他说明

1、DAC抗干扰电路

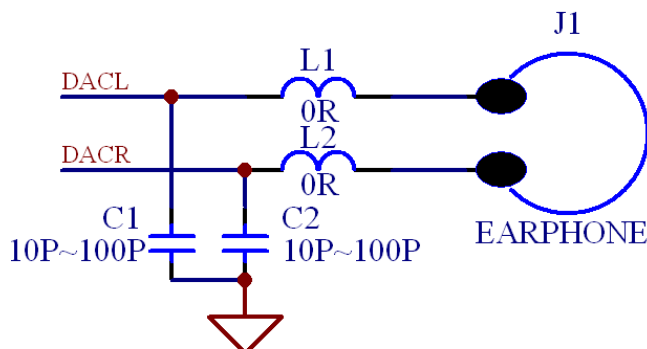


图8 DAC抗干扰电路

- 1) DAC 部分建议预留抗干扰电路；如空间有限，可只预留C1、C2。
- 2) 如对噪声要求严格，建议DAC电路及焊接点，正反面铺 AGND，或不铺地，切勿铺“数字GND”，并且远离“数字 GND”，可以有效去除高频噪声。
- 3) L1/L2 固定使用 100nH 或者 120nH，可以有效去除蓝牙通话时，手机靠近样机产生的高频 TDD 噪声。

注：DAC 端预留的噪声处理电路会带来成本的增加，若方案设计够合理，且对噪声要求不高，可以不预留

2、外置触摸或者入耳信号干扰DAC

由于外置触摸+入耳IC的检测信号是频繁的数字信号，容易干扰DAC，因此需要做好相应的隔离，解决干扰噪声；DAC走线不和触摸点并行、交叉，如无法避免，用地线做好隔离，PCB上预留DAC抗干扰电路。

3、ESD 静电

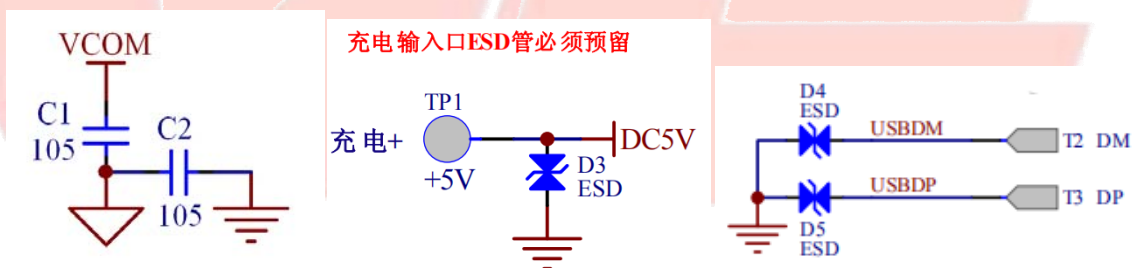


图9 ESD静电处理电路

- 1) 在 VCOM的退耦电容 C1 处，就近预留 105 电容把 AGND 和 GND 连接起来。
- 2) 充电输入口的ESD管必须预留
- 3) D4、D5用于解决烧写升级的ESD问题，若烧写环境已做好防护，可不贴
- 4) DACL、DACR 等模拟部分的走线，和相关的元器件，容易受静电的干扰，注意保护。（可加大和 GND 的间隔，元器件下面不铺 GND 等）

注：ESD 处理会增加物料，若方案无此要求，可以不考虑

4、装配说明

装配对蓝牙性能影响不可忽视，可能引入噪声和距离上的劣化影响，建议优化如下：

- 1) 蓝牙天线或DCDC电感，结构上避开喇叭、喇叭线，以及MIC器件。
- 2) 电池建议贴海绵胶垫高，尽量拉大与天线RF的间距。
- 3) 喇叭和电池线考虑进行双绞线处理，并在放置时避开天线、触摸焊盘和DCDC电感。



图10 装配说明

十、版本信息

时间	版本	描述
20200804	V1.0	原始版本

