

Instituto Tecnológico de Costa Rica Escuela de Ingeniería en Computadores Programa de Licenciatura en Ingeniería en Computadores Curso: CE-4302 Arquitectura de Computadores II Profesores: Luis Barboza Artavia Ronald García Fernández Semestre: II 2024	II Examen Parcial Fecha: 04/11/24 Puntos totales: 100 Puntos obtenidos: _____
---	--

Nombre: _____ Carné: _____

Grupo: _____

Instrucciones Generales

- 1- Trabaje individualmente
- 2- Utilice cuaderno de examen u hojas blancas numeradas para resolver la prueba.
- 3- Escriba de manera legible y ordenada.
- 4- Sea lo más detallado posible en sus respuestas (cuando se le pide) no deje nada abierto a interpretaciones.
- 5- Utilice bolígrafo para resolver la prueba. **No** se aceptarán reclamos sobre respuestas con lápiz
- 6- El fraude se castiga según estipula el reglamento de enseñanza-aprendizaje del TEC.
- 7- El tiempo para resolver la prueba es de 2 horas.
- 8- No se permite el uso de celulares o algún otro tipo de dispositivo móvil.
- 9- Todo código, programa, pseudocódigo debe poseer comentarios. En caso contrario se asignará un puntaje igual a cero.

I- Parte Única. Desarrollo [100 puntos]

Resuelva cada uno de los siguientes problemas, recuerde indicar todos los pasos que lo llevaron a la solución, no es permitido el uso de materiales de apoyo más que la página acordada en clase la cual tiene que ser entregada junto al resto del examen.

- 1- En la figura 1 se muestra una variante de la topología **MP** la cual es una variante del tipo anillo en la cual la comunicación directa entre *PEs* solo se puede dar en el sentido que las flechas indican.

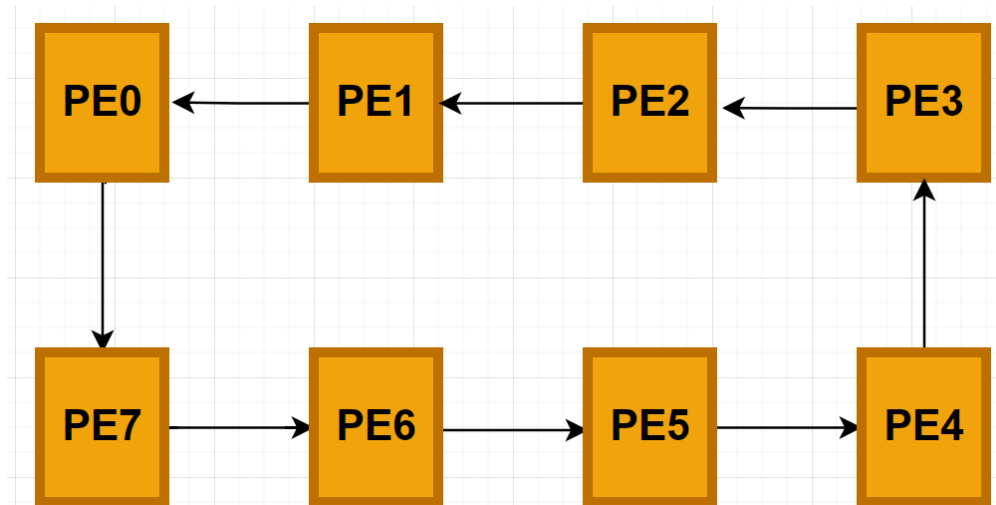


Figura 1. Arreglo de *PEs* en variante *ring/anillo*.

En esta configuración mediante *benchmarks* se obtuvieron las siguientes métricas/indicadores:

- El *Remote Rate Request* es de 10,5%
- CPI base cuando no hay *cache misses* es 0,75 ciclos/instrucción
- El costo de acceso remoto $C(n) = 10 + 0.01n$ donde n es el número de *PEs* que hay que atravesar para comunicar dos *PEs* (incluyendo el destino)

Respecto al sistema anterior se le solicita:

- Determine la ruta que involucra mayor costo en esta topología. Justifique su respuesta. (5 puntos)
- En el caso de comunicación PE0-PE5, calcule el CPI. (5 puntos)
- Debido a un defecto de manufactura existe una penalidad en el desempeño, que afecta a los *PEs* pares (incluyendo PE0) aproximada por la función $P(i) = 1 - 0.01i$, donde i es el número de *PEs* afectados. Determine la fracción de tiempo paralelizable para obtener una mejora de 4,25 con todos los *PEs* disponibles ($N=8$). (5 puntos)
- Respecto al punto c, explique qué sucede al incrementar el número de *PEs* del sistema con

- respecto a la penalidad, que conclusiones puede realizar sobre la función aproximada (5 puntos)
- e- Suponiendo que $N=8$ es únicamente posible durante el 75% del tiempo de ejecución, cual es la fracción de tiempo necesaria en la que se tienen 6 *PEs* activos, tal que permite una mejora de 3,5, en este caso no hay penalización. Discuta sus resultados. (10 puntos)
 - f- Desde el punto de vista de HW y SW que ventajas y desventajas tiene esta topología, suponiendo que no puede realizar cambios de HW como podría mejorar el desempeño. (10 puntos)
- 2- Explique en que consiste el término heterogeneidad a nivel de microarquitectura, respecto al tipo visto en clase describa cuales son los objetivos *task switcher* y quién es responsable por la migración de tareas? (10 puntos)
- 3- A continuación, se le presentan 3 afirmaciones sobre los modelos de consistencia de memoria, discuta la validez de cada una de ellas, justificando mediante la teoría vista en clase (10 puntos)
- i. Un modelo consistencia de puede ser considerado como una extensión de ISA debido a su relación SW, HW.
 - ii. Un modelo *weak* es apropiado únicamente cuando no se requieren optimizaciones de HW.
 - iii. En sistemas MP los modelos de consistencia son necesarios debido a la concurrencia y paralelismo de los *PEs*.
- 4- Una de las operaciones típicas en el procesamiento de imágenes es el cálculo del histograma de intensidad la imagen, esto consiste en generar un conteo de pixeles para cada valor de intensidad, de esta forma se obtiene un histograma que contiene la distribución de intensidad de la imagen, como se muestra en la figura 1, para una imagen de 256x256 pixeles.

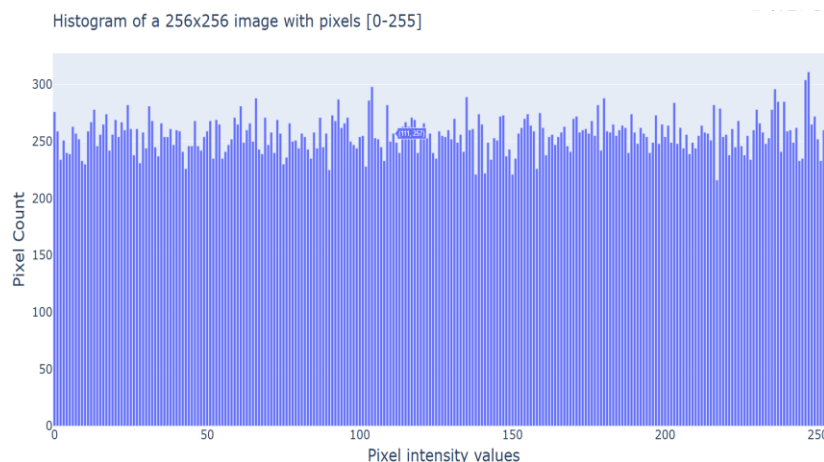


Figura 2. Histograma de imagen 256x256 con pixeles de 8 bits.

Respecto al histograma de una imagen y figura anterior se le solicita:

- a- Diseñe e implemente un algoritmo “*single-threaded*” que permite obtener el histograma de una imagen con pixeles de 8 bits de MxN (5 puntos)
- b- Diseñe e implemente un algoritmo que permita el cálculo del histograma de la imagen de MxN mediante el uso de *SMT* en un sistema que soporta 8 *HW threads*. Considere en su solución todos lo casos posibles respecto N, M y el número de *HW threads*. (15 puntos)
- c- Si se define como estructura de almacenamiento del histograma un arreglo de 256 elementos de 8 bits, distribuido en la memoria de 64 bits de datos del sistema, según la figura 3.

Byte7	Byte6	Byte5	Byte4	Byte3	Byte2	Byte1	Byte0	address
count_7	count_6	count_5	count_4	count_3	count_2	count_1	count_0	0x0000
count_15	count_8	0x0008
...	0x0010
count_239	count_232	0x00E8
count_247	count_240	0x00F0
count_255	count_254	count_253	count_252	count_251	count_250	count_249	count_248	0x00F8

Figura 3. *Memory Layout* para almacenamiento de histograma de imagen.

Qué consideraciones son necesarias al utilizar este tipo de almacenamiento respecto al desempeño si se implementa el algoritmo de cálculo de histograma *multi-threaded* en un sistema *MP* con 2 *PEs* con un sólo *HW thread*, cada uno de ellos con un caché privado con de únicamente 2 bloques de 64 bytes de capacidad, y un protocolo de coherencia de caché tipo *write-invalidate*. Elabore su respuesta con cálculos y un diagrama. (15 puntos)

- d- Discuta cual es el impacto sobre el tráfico de datos en el *interconnect* si en lugar de tener un protocolo de coherencia *write-invalidate* se usa un *write-broadcast*? (5 puntos)