

CE4302 – Arquitectura de Computadores II

Introducción Arquitecturas Heterogéneas

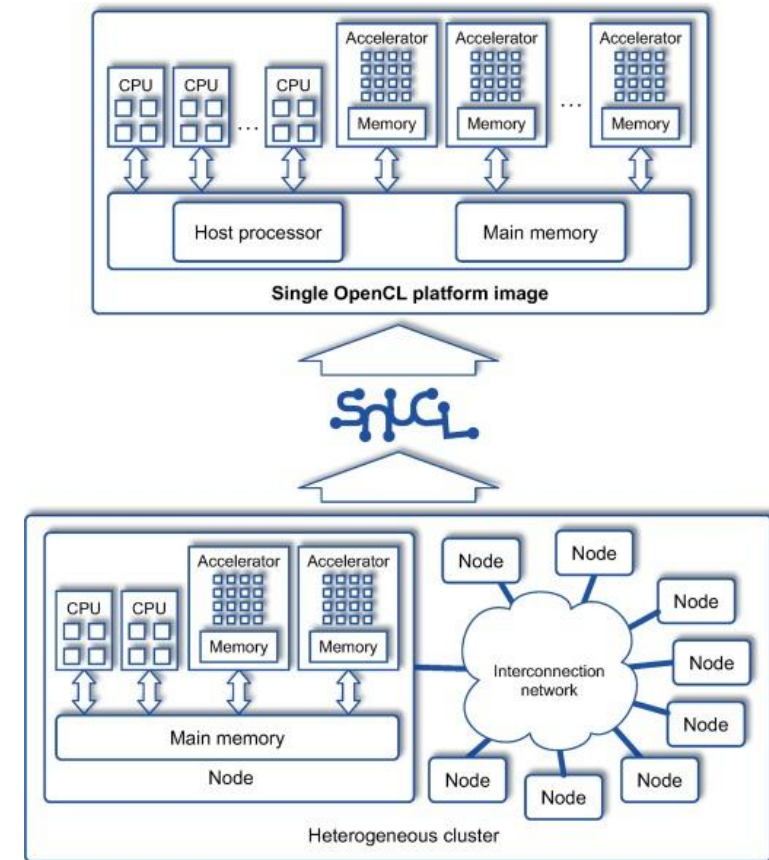
PROFESOR: ING. LUIS BARBOZA ARTAVIA

Agenda

- Definición computación heterogénea.
- Multiprocesamiento heterogéneo.
- Heterogeneidad a nivel de microarquitectura.
- Aceleración de hardware.

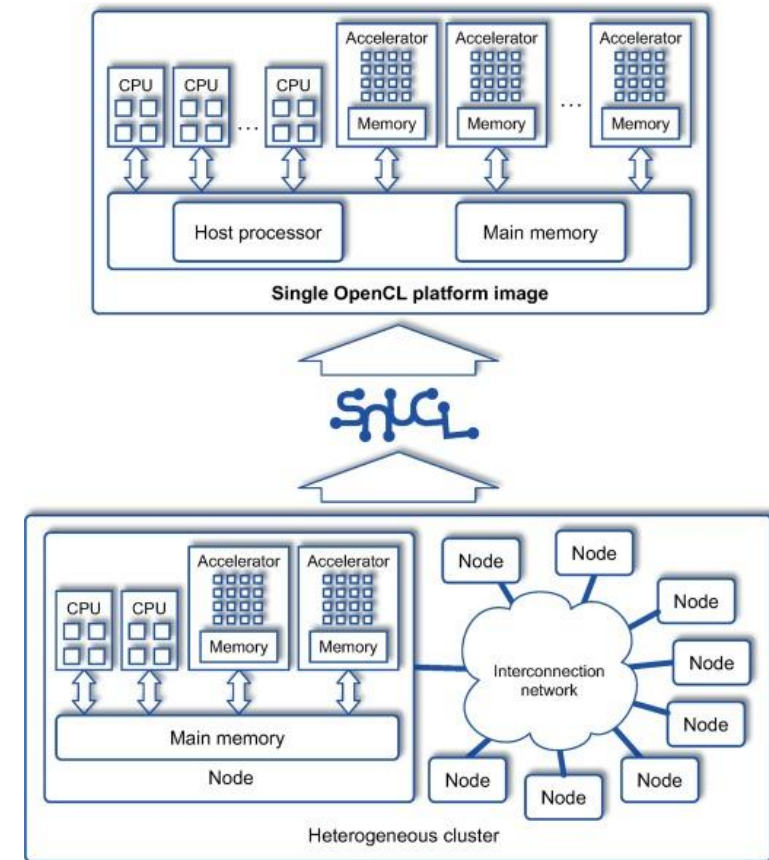
Computación heterogénea

- Sistemas que usan múltiples tipos de elementos de procesamiento: CPU, GPU, ASIC, FPGA y NPU.
- SO asigna cargas a los procesadores que están diseñados para propósitos específicos.



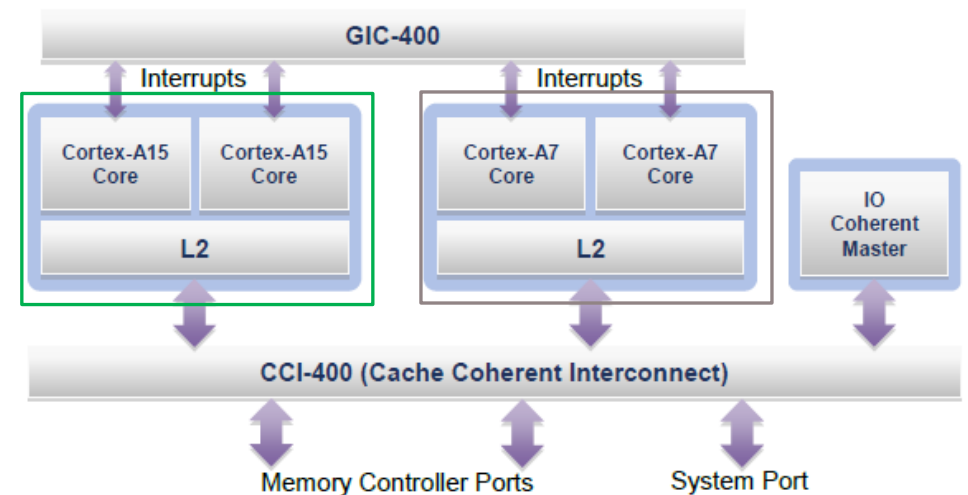
Computación heterogénea

- Uso de procesadores basados en diferentes arquitecturas.
- Caso reciente: cores CPU y un GPU para gaming y otras aplicaciones gráficas.
- ¿Por qué esto es relevante?



Multiprocesamiento heterogénea

- ARM lo utiliza para sistemas compuestos de clusters con procesadores con ISA idéntico, pero diferente microarquitectura.
- Todos los procesadores tienen coherencia de caché y parte del dominio de coherencia.
- Ejemplo: big.LITTLE



Multiprocesamiento heterogénea

WHITE PAPER

ARM

Big.LITTLE Processing with ARM Cortex™-A15 & Cortex-A7

Improving Energy Efficiency in High-Performance Mobile Platforms

Peter Greenhalgh, ARM

September 2011

This paper presents the rationale and design behind the first big.LITTLE system from ARM based on the high-performance Cortex-A15 processor, the energy efficient Cortex-A7 processor, the coherent CCI-400 interconnect and supporting IP.

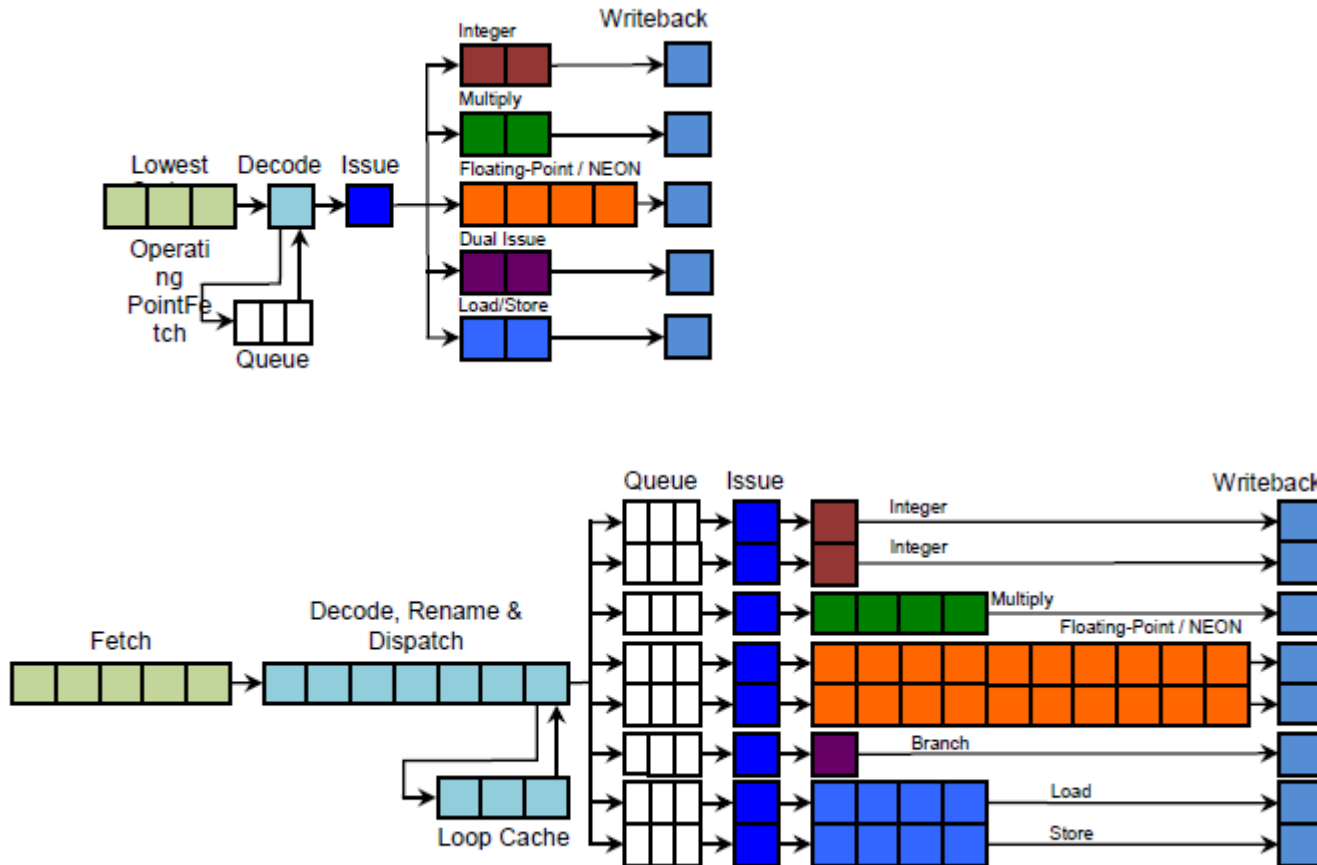


Figure 2 Cortex-A15 Pipeline

	Cortex-A15 vs Cortex-A7 Performance	Cortex-A7 vs Cortex-A15 Energy Efficiency
Dhrystone	1.9x	3.5x
FDCT	2.3x	3.8x
IMDCT	3.0x	3.0x
MemCopy L1	1.9x	2.3x
MemCopy L2	1.9x	3.4x

Table 1 Cortex-A15 & Cortex-A7 Performance & Energy Comparison

ARM big.LITTLE



Aplicación <https://www.youtube.com/watch?v=8LNPxExkLMo>

Heterogeneidad a nivel de microarquitectura

1. Estado de procesador involucrado es relativamente pequeño.
2. Procesador que se apagará (outbound) debe tener todos los archivos guardados con el estado de configuración.
3. Procesador que seguirá ejecución (inbound), debe restaurar todos los estados guardados por el otro.
4. Interrupciones que son controladas deben migrarse.

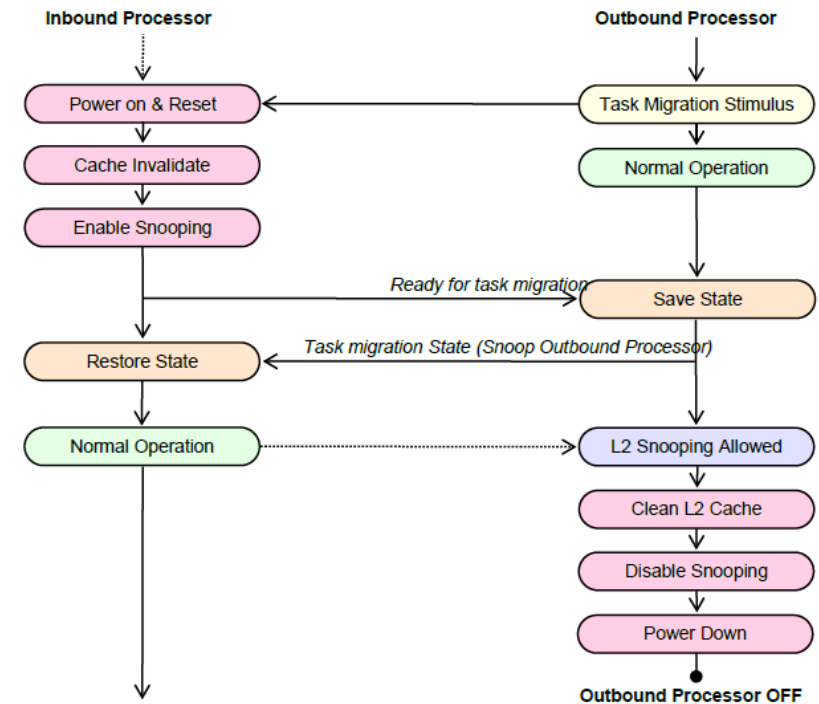


Figure 5 big-LITTLE Task Migration


Heterogeneidad a nivel de microarquitectura

¿Quién realiza la migración?

En sistemas big.LITTLE original: software switcher que ARM provee.

Objetivo:

- 1) Proveer los mecanismos requeridos para hacer una migración entre big y LITTLE.
- 2) Esconder las diferencias del modelo entre big y LITTLE del SO. Los cores son idénticos a nivel de arquitectura. El contenido no necesariamente va a ser idéntico.

 index : big.LITTLE/switcher.git
big.LITTLE Cluster Migration prototype

summary refs log tree commit diff

Branch	Commit message
master	Added more informative comments to the mxscript files.

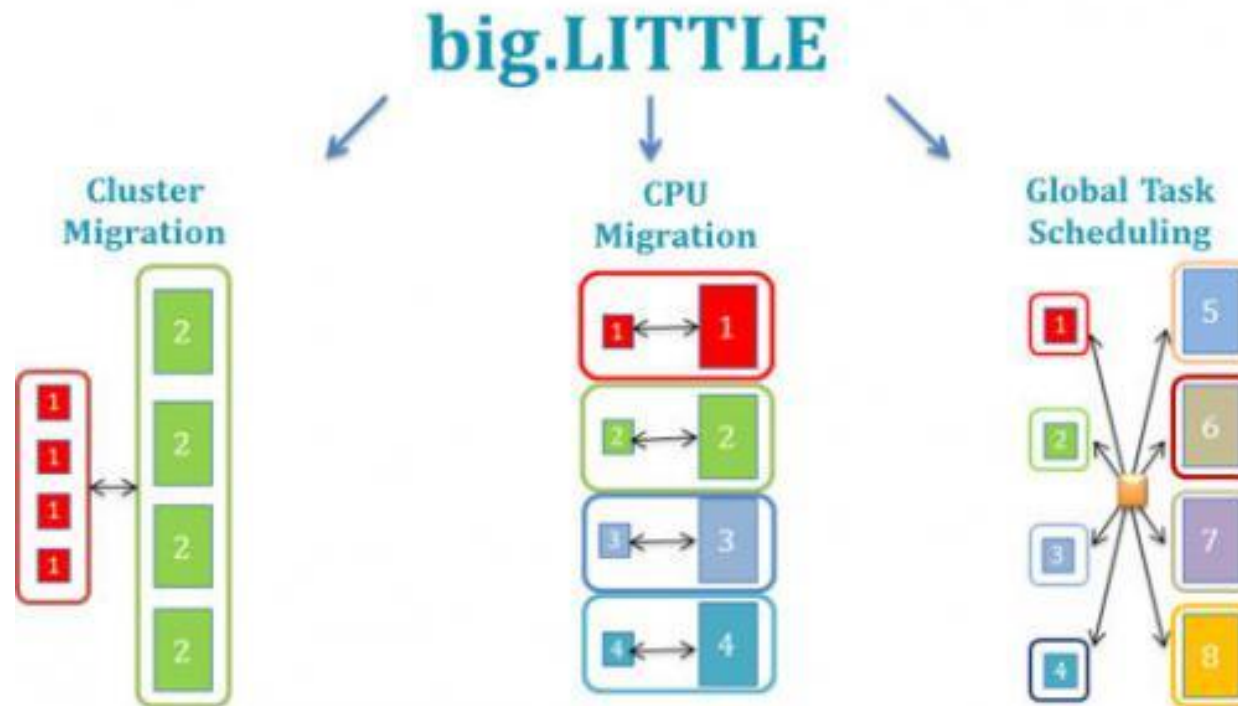
Tag	Download
v2.4	switcher-2.4.tar.gz
v2.2	switcher-2.2.tar.gz
v2.3	switcher-2.3.tar.gz
arm_v2.3	switcher-arm_v2.3.tar.gz
arm_v2.2	switcher-arm_v2.2.tar.gz
arm_v2.1	switcher-arm_v2.1.tar.gz

Age	Commit message
2012-05-23	Added more informative comments to the mxscript files. HEAD v2.4 master
2012-05-23	Update release notes and docs subdirectory to v2.4.
2012-05-23	Change the start address of the root filesystem in the Virtualizer memory map.
2012-05-23	Cleanup whitespace errors.
2012-05-23	GNU indent pass over C and header files.
2012-05-23	Add additional cluster startup related RTSM model parameter to the mxscript ...
2012-05-23	Enforce supported cluster setup during build process.
2012-05-23	Add additional RTSM model parameter to the mxscript files.
2012-05-23	Added new kernel bare-metal application.
2012-05-23	Re-arrange hvc function numbers.
[...]	

Clone
<https://git.linaro.org/arm/big.LITTLE/switcher.git>
<ssh://git@git.linaro.org/arm/big.LITTLE/switcher.git>

<https://git.linaro.org/arm/big.LITTLE/switcher.git/>

Heterogeneidad a nivel de microarquitectura

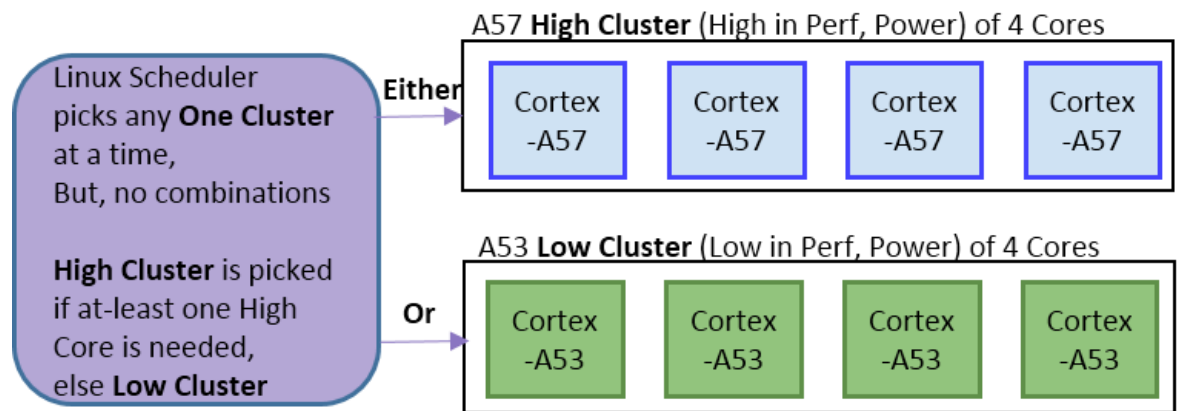


<https://community.arm.com/arm-community-blogs/b/architectures-and-processors-blog/posts/ten-things-to-know-about-big-little>

Heterogeneidad a nivel de microarquitectura

Clustered migration (más sencillo)

- 1) Acomodar el procesador en cluster de tamaño idéntico de cores big y LITTLE.
- 2) Calendarizador SO ve 1 cluster a la vez: transición de big cluster a LITTLE y viceversa.
- 3) Todo dato relevante se pasa por caché L2 común e interconectada.
- 4) Este modelo no va bien con cargas de software no balanceadas.

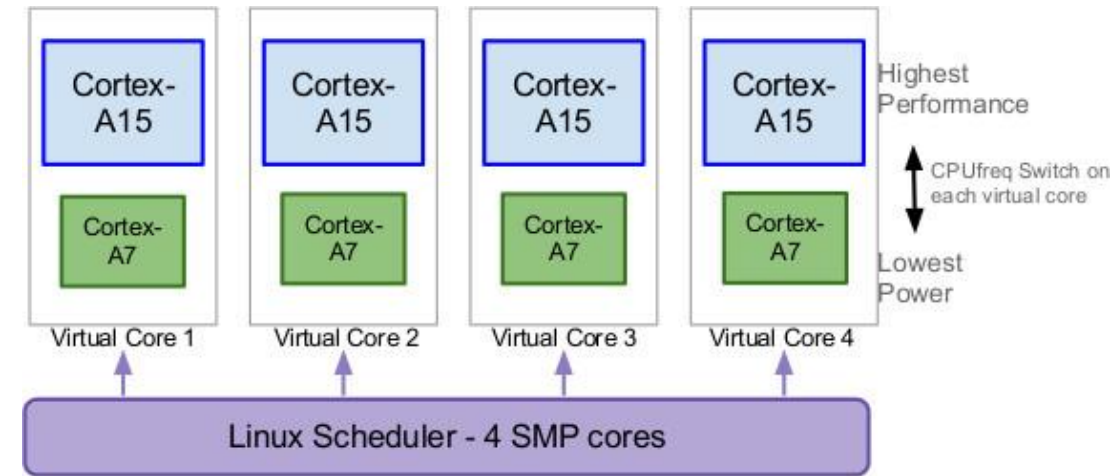


<https://commons.wikimedia.org/w/index.php?curid=37825045>

Heterogeneidad a nivel de microarquitectura

In-Kernel Switching (IKS)

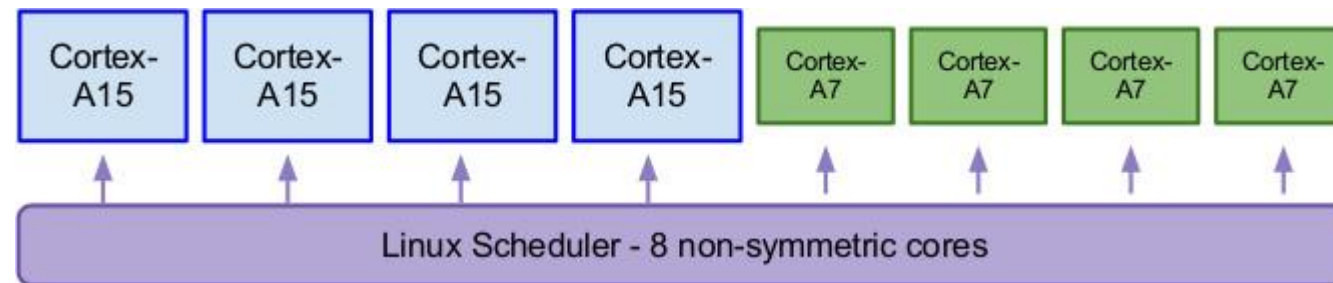
- 1) Grupos de procesadores en colecciones de cores virtuales donde procesadores big y LITTLE son agrupados.
- 2) La carga de CPU de la tarea se utiliza para determinar si el núcleo big o LITTLE realmente ejecuta la tarea.
- 3) Este enfoque permite una mezcla de cores big y LITTLE para correr como sea necesario en cualquier punto del tiempo.



Heterogeneidad a nivel de microarquitectura

Multiprocesamiento heterogéneo (calendarizador global)

- 1) Permite el uso de todos los cores físicos en cualquier momento.
- 2) Hilos con alta prioridad o intensidad computacional se colocan en big.
- 3) Hilos con menos prioridad o menos intensidad computacional se colocan en LITTLE.



Heterogeneidad a nivel de microarquitectura

Lecturas recomendadas

<https://www.kernel.org/doc/Documentation/cpu-freq/user-guide.txt>

https://android.googlesource.com/kernel/msm/+android-7.1.0_r0.2/drivers/cpufreq?pli=1

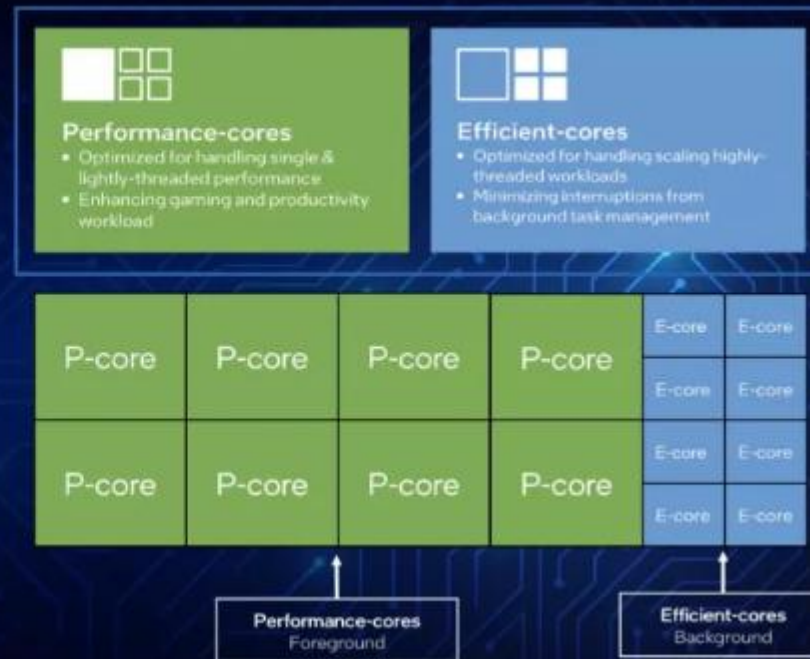
Z. Bringye, D. Sima and M. Kozlovsky, "Power consumption aware big.LITTLE scheduler for Linux operating system," 2019 IEEE International Work Conference on Bioinspired Intelligence (IWOBI), Budapest, Hungary, 2019, pp. 000139-000144, doi: 10.1109/IWOBI47054.2019.9114403.

Heterogeneidad a nivel de microarquitectura

Más ejemplos: Intel Alder Lake

Intel's Biggest Architectural Shift in a Decade

- Performance hybrid architecture combines two new core microarchitectures on a single processor die
- P-core and E-core deliver improvements for single-threaded and multi-threaded workloads
- Available on all unlocked 12th Gen Intel Core desktop processors

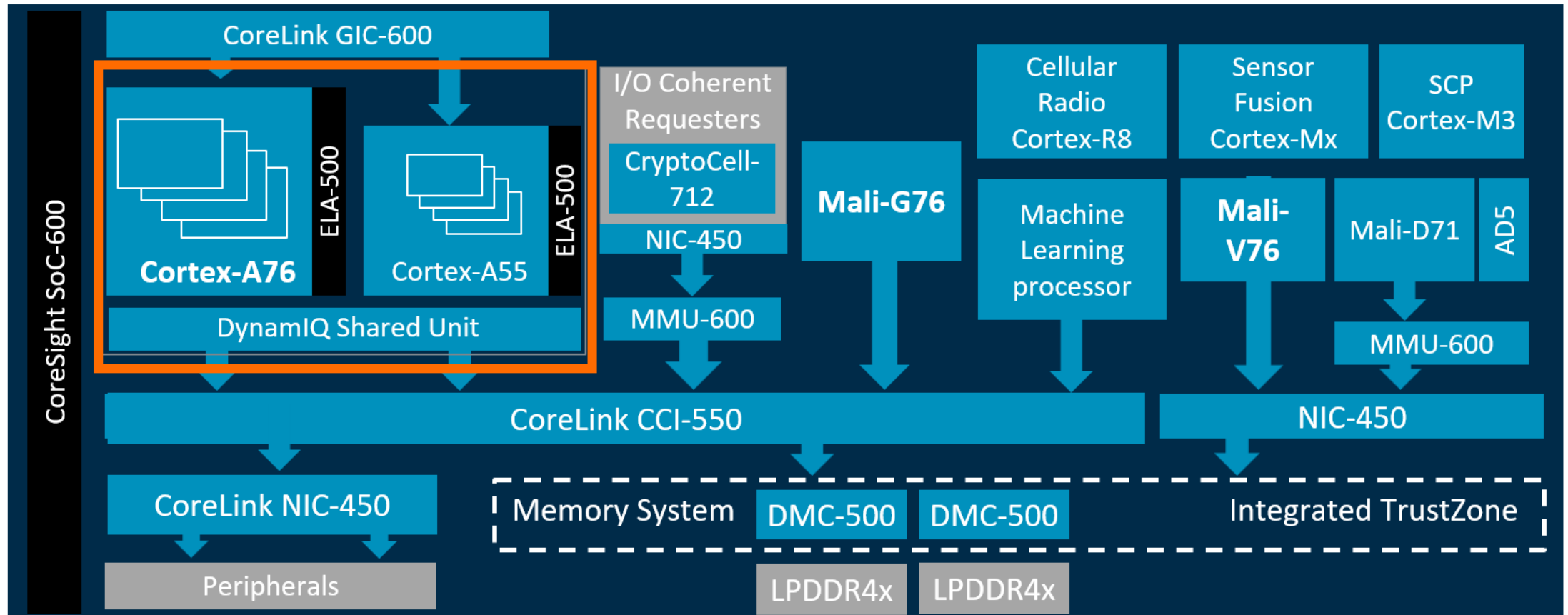


Alder Lake Test Systems		
AnandTech	DDR5	DDR4
CPU	Core i9-12900K 8+8 Cores, 24 Threads 125W Base, 241W Turbo	
Motherboard	MSI Z690 Unify	MSI Z690 Carbon Wi-Fi
Memory	SK Hynix 2x32 GB DDR5-4800 CL40	ADATA 2x32 GB DDR4-3200 CL22
Cooling	MSI Coreliquid 360mm AIO	Corsair H150i Elite 360mm AIO
Storage	Crucial MX500 2TB	
Power Supply	Corsair AX860i	
GPUs	Sapphire RX460 2GB (Non-Gaming Tests) NVIDIA RTX 2080 Ti (Gaming Tests), Driver 496.49	
Operating Systems	Windows 10 21H1 Windows 11 Up to Date Ubuntu 21.10 (for SPEC Power)	

<https://www.anandtech.com/show/17047/the-intel-12th-gen-core-i912900k-review-hybrid-performance-brings-hybrid-complexity>

Heterogeneidad a nivel de microarquitectura

Más ejemplos: Cluster SoC multicore heterogéneo



Heterogeneidad a nivel de microarquitectura

Hay diferentes niveles de heterogeneidad en SoC

- 1) Cores corriendo mismo ISA, pero diferente microarquitectura: permite tareas de propósito general para migrar y reducir consumo o aumentar rendimiento (Cortex A55 y A76)
- 2) Cores extraen diferentes tipos de paralelismo: GPU especializado para explotar paralelismo de datos. (Cortex-A y Mali GPU)
- 3) Cores especializados para tareas específicas: aceleradores de HW son especializados diseñados para cargas de trabajo.

Clave: reducir consumo, pero incrementar rendimiento

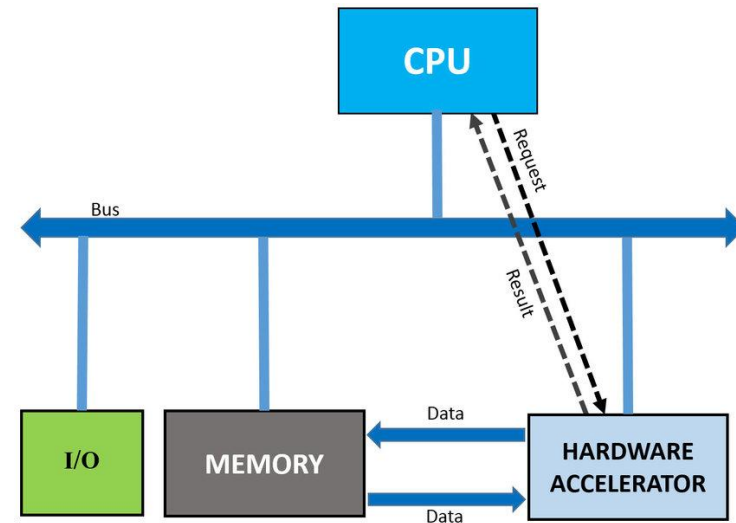
Investigar

- Qué es un *HW Accelerator*?
- Qué tipos de *HW Accelerators* hay?
- Qué es *SYCL kernel*?
- Qué significa *HPC*?

Aceleración HW

- Los aceleradores de hardware son diseños especialmente diseñados que acompañan a un procesador para acelerar una función o carga de trabajo específica (a veces también llamados "coprocesadores")

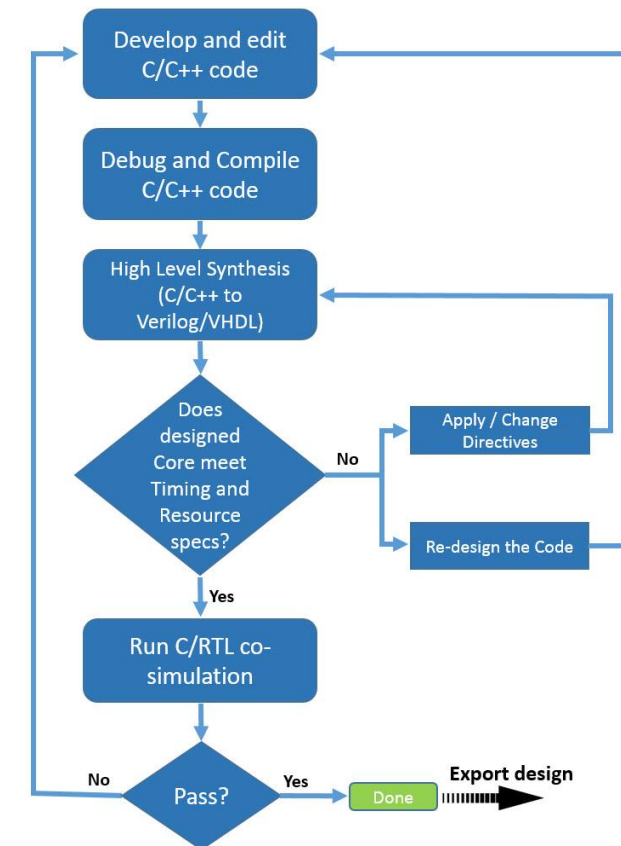
https://www.cadence.com/en_US/home/explore/hardware-accelerators.html



FPGA as a Hardware Accelerator for
Computation Intensive Maximum
Likelihood Expectation Maximization
Medical Image Reconstruction Algorithm

Aceleración HW

- Pueden ser ASICs o FPGAs
- Se pueden desarrollar usando los ciclos de Desarrollo ASIC o Síntesis de Alto Nivel

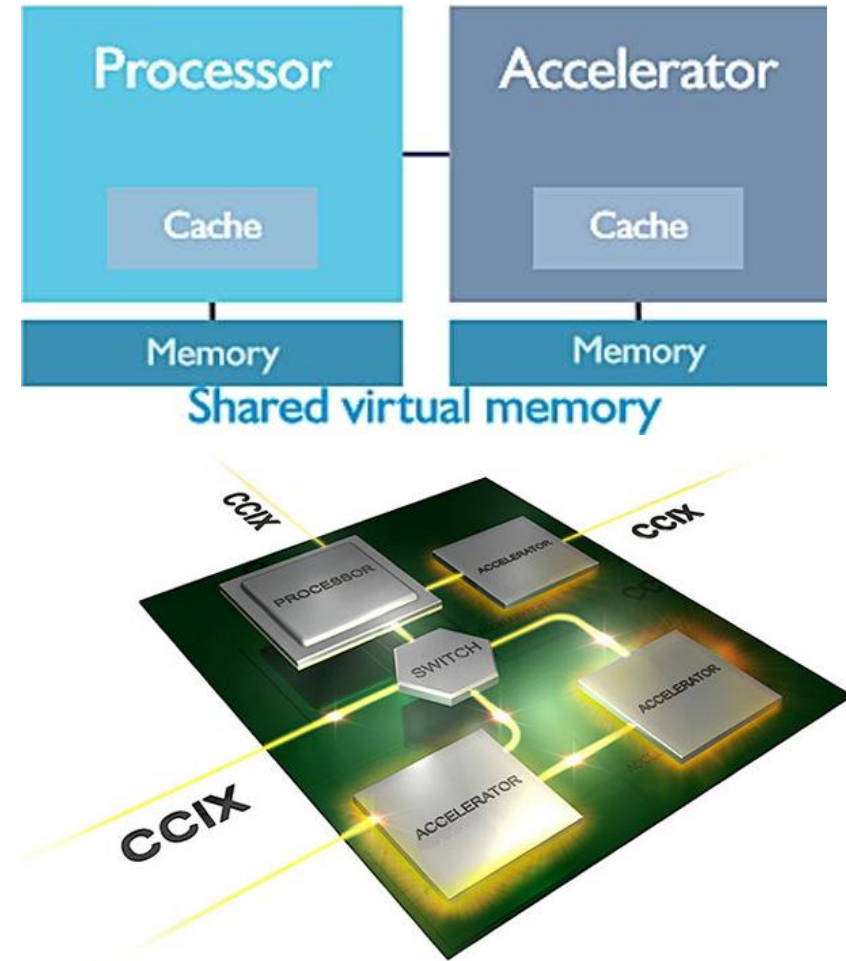


Tipos de HW de aceleración

Pueden ser coherentes de caché o no.

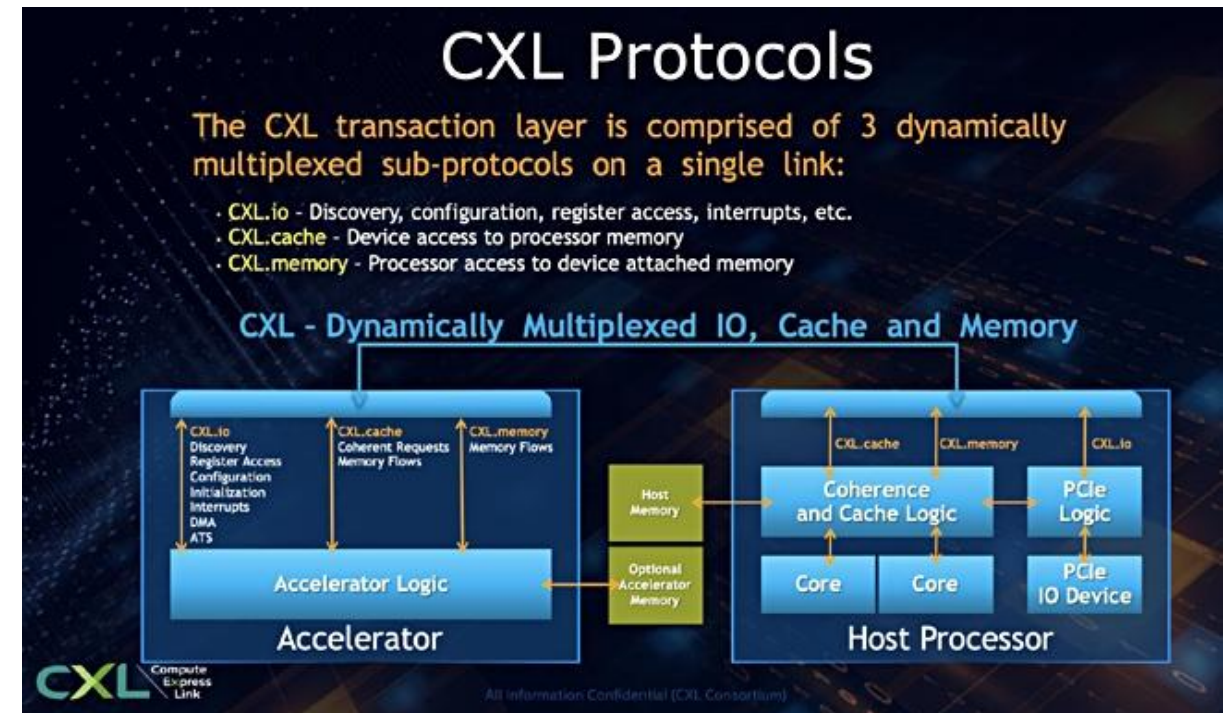
Crea retos para comunicación: protocolos, estándares.

“The Cache Coherent Interconnect for Accelerators standard, or CCIX (pronounced “see 6”), is built on PCI Express (PCIe) to provide a chip-to-chip interconnect for high-speed hardware accelerators. It targets applications such as machine learning and FPGAs.”



Tipos de HW de aceleración

Compute Express Link (CXL) es un estándar Abierto para alta velocidad, alta capacidad en CPU-to-device y conexiones CPU-to-memory



SYCL Kernels

- SYCL es un estándar Abierto en la industria para programar sistemas heterogéneos.
- El diseño permite Código C++ para que corra en el host o en el heterogéneo.
- Un función objeto que se ejecuta en un dispositivo expuesto por un API SYCL se llama SYCL kernel function.

```
1  #include<iostream>
2  const int N = 8192;
3  const int M = 8192;
4  int main(){
5      int* array[N];
6      for (int i = 0; i < N; i++)
7          array[i] = (int*)malloc(M * sizeof(int));
8
9      for(int i = 0; i < N; i++){
10         for(int j = 0; j < M; j++){
11             array[i][j]=i*j;
12         }
13     }
14     return 0;
15 }
```

```
1  device_queue.submit([&](handler &h){
2      auto buffer_accessor_device=buff.get_access<access::mode::read_write>(h);
3      h.parallel_for<class multiplication>(range<1>(N), [=](id<1> i){
4          for(int j=0; j<M; j++)
5              buffer_accessor_device[i][j] = i*j;
6      });
7  });
```

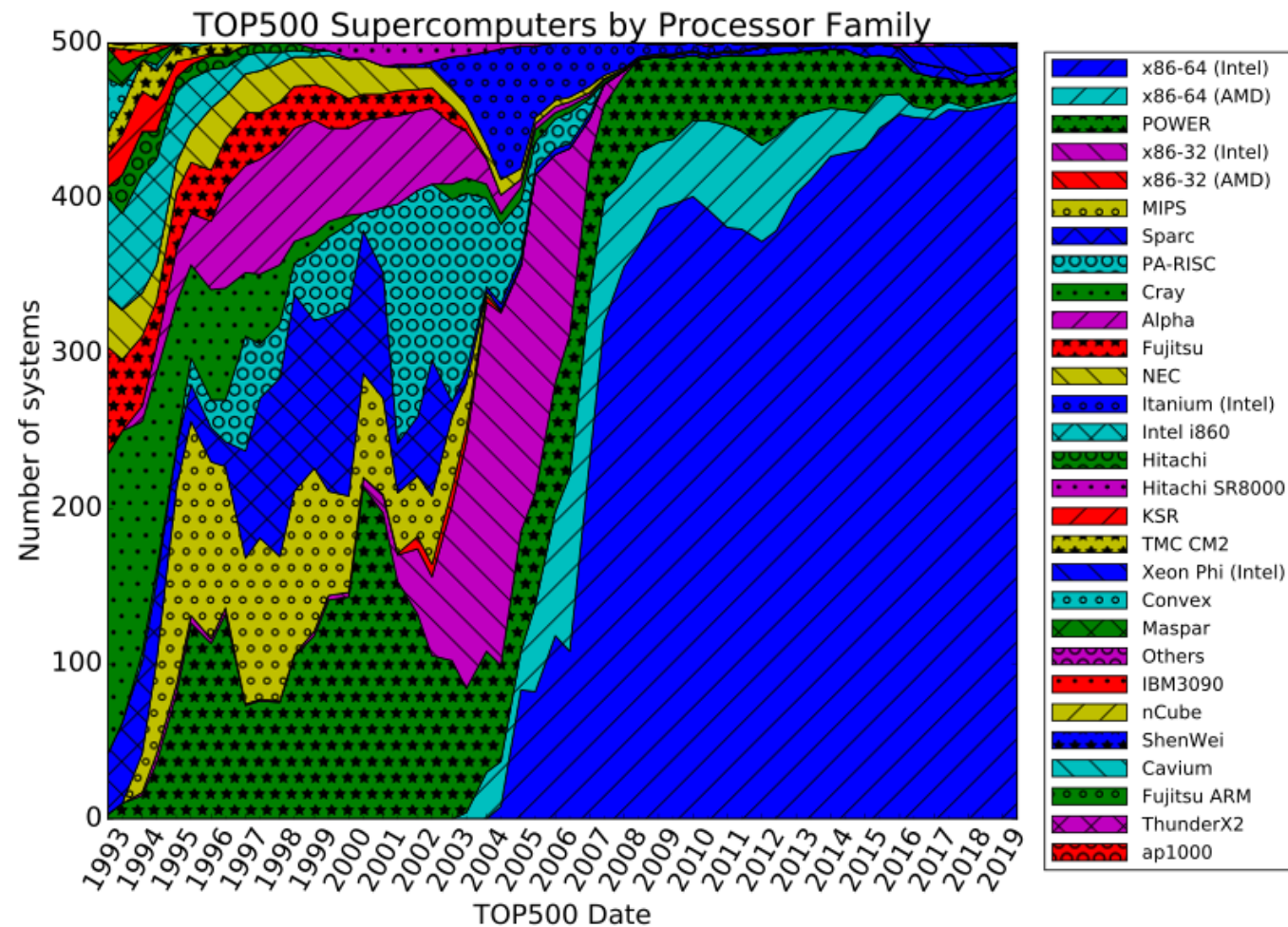
HPC

- Tecnologías utilizadas en la implementación de sistemas capaces de ejecutar tareas costosas en tiempo y manejar grandes cantidades de información en periodos de tiempo limitados.
- Implica paralelismo.

Alto desempeño

- El término puede tener diferentes interpretaciones:
- **Computación general:** flujo de instrucciones de punto flotante por segundo (FLOPS).
- **Computación embebida:** bajo costo y consumo de potencia.
- Comparación:
 - En 1998 un supercomputador de \$3 millones podía realizar 100MFLOPS. Actualmente un computador de escritorio (CPU+GPU) puede lograr GFLOPS.

Top500



Top500 – Nov 2024

Rank	System	Cores	Rmax (PFlop/s)	Rpeak (PFlop/s)	Power (kW)
1	El Capitan - HPE Cray EX255a, AMD 4th Gen EPYC 24C 1.8GHz, AMD Instinct MI300A, Slingshot-11, TOSS, HPE DOE/NNSA/LLNL United States	11,039,616	1,742.00	2,746.38	29,581
2	Frontier - HPE Cray EX235a, AMD Optimized 3rd Generation EPYC 64C 2GHz, AMD Instinct MI250X, Slingshot-11, HPE Cray OS, HPE DOE/SC/Oak Ridge National Laboratory United States	9,066,176	1,353.00	2,055.72	24,607
3	Aurora - HPE Cray EX - Intel Exascale Compute Blade, Xeon CPU Max 9470 52C 2.4GHz, Intel Data Center GPU Max, Slingshot-11, Intel DOE/SC/Argonne National Laboratory United States	9,264,128	1,012.00	1,980.01	38,698
4	Eagle - Microsoft NDv5, Xeon Platinum 8480C 48C 2GHz, NVIDIA H100, NVIDIA Infiniband NDR, Microsoft Azure Microsoft Azure United States	2,073,600	561.20	846.84	
5	HPC6 - HPE Cray EX235a, AMD Optimized 3rd Generation EPYC 64C 2GHz, AMD Instinct MI250X, Slingshot-11, RHEL 8.9, HPE Eni S.p.A. Italy	3,143,520	477.90	606.97	8,461

Green500 – Nov 2024

Rendimiento por watt.

Rank	TOP500 Rank	System	Cores	Rmax (PFlop/s)	Power (kW)	Energy Efficiency (GFlops/watts)
1	222	JEDI - BullSequana XH3000, Grace Hopper Superchip 72C 3GHz, NVIDIA GH200 Superchip, Quad-Rail NVIDIA InfiniBand NDR200, ParTec/EVIDEN EuroHPC/FZJ Germany	19,584	4.50	67	72.733
2	122	ROMEO-2025 - BullSequana XH3000, Grace Hopper Superchip 72C 3GHz, NVIDIA GH200 Superchip, Quad-Rail NVIDIA InfiniBand NDR200, Red Hat Enterprise Linux, EVIDEN ROMEO HPC Center - Champagne-Ardenne France	47,328	9.86	160	70.912
3	440	Adastra 2 - HPE Cray EX255a, AMD 4th Gen EPYC 24C 1.8GHz, AMD Instinct MI300A, Slingshot-11, RHEL, HPE Grand Equipement National de Calcul Intensif - Centre Informatique National de l'Enseignement Suprieur (GENCI-CINES) France	16,128	2.53	37	69.098

Computador a gran escala



Referencias

- Stallings, W. (2003). Computer organization and architecture: designing for performance. Pearson Education India.
- Hennessy, J., & Patterson, D. (2012). Computer Architecture: A Quantitative Approach (5th ed.). Elsevier Science.

CE4302 – Arquitectura de Computadores II

Introducción Arquitecturas Heterogéneas

PROFESOR: ING. LUIS BARBOZA ARTAVIA