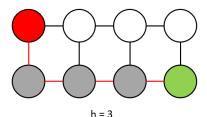
Profesor: Luis Barboza Artavia

Práctica

Conteste las siguientes preguntas de manera adecuada. Realice el planteo del problema y todos los procedimientos necesarios para llegar a la solución correcta.

- 1. Se tiene un sistema multiprocesador con memoria distribuida para 64 procesadores. Estos se encuentran conectados en una topología de matriz 8x8 sin conexiones en diagonal. La frecuencia de reloj es de 3.3GHz y el CPI en el caso de que no ocurran desaciertos en caché es de 0.5. Asuma que el 98.2% de las instrucciones no necesitan de comunicación remota. En caso de que se requiera una comunicación, el costo viene dado por la función f(h) = (100 + 10h)ns donde h es el número de saltos a otros procesadores que debe realizar hasta llegar al procesador que tiene la información. Asuma que todos los enlaces son bidireccionales. Con este escenario responde lo siguiente:
 - (a) Calcule el mejor y peor escenario en tiempos de comunicación.
 - (b) Calcule el CPI que presenta comunicación para el peor escenario y compárelo contra aquel que no presenta comunicación.
 - (c) Compare los resultados obtenidos si se cambia la configuración por una de anillo. ¿Cuál de las dos topologías sería mejor? Justifique la respuesta con los cálculos respectivos.
 - (d) ¿Qué modificación haría a cualquiera de las dos topologías, en términos de cantidad de procesadores, para que tengan un mismo CPI en el peor escenario?
- 2. Se tiene un arreglo de N^2 procesadores con tecnología Intel Hyper Threading, interconectados por medio de una malla (procesadores conectados uno a uno entre filas y columnas, pero no de manera diagonal), en una matriz de NxN. Si se desea obtener una mejora de 16, con respecto a un sistema uniprocesador (original), cuál debe ser la fracción paralela de la aplicación si:
 - (a) N = 4 y no se toma en cuenta la comunicación.
 - (b) N=4 y se incluye un overhead de comunicación sobre el tiempo original, dado por función f(h)=h/16, donde h es la mayor cantidad de procesadores, entre cualquier procesador emisor y cualquier procesador receptor, incluidos en una ruta que posee menos de dos cambios de 90 grados en la trayectoria de comunicación), como se muestra a continuación, para un arreglo de 2x4:



- 3. Suponga que se tiene un computador de aplicación específica uniprocesador, que ejecuta un programa de 30000 instrucciones en 20ms, a una frecuencia de reloj de 3MHz. Como ingeniero(a) en Computadores, a usted se le asigna la tarea de aumentar el desempeño del computador. Tras un análisis del programa por medio de la técnica perfilado, usted logró detectar que el programa tiene una fracción no mejorable del 20%. Usted logró identificar tres opciones de mejora en el computador:
 - La primera consiste en pasar a un esquema multi-núcleo con 4 procesadores

- La segunda consiste en implementar la técnica de multihilo simultáneo sobre el procesador actual, para contar con un total de dos hilos.
- La tercera consiste en implementar la técnica de multihilo intercalado sobre el procesador actual, para contar con un total de dos hilos.

Además, se sabe que en la primera opción se agrega un retardo por comunicación entre los procesadores dado por $F(n) = 0.2 \log(2N)$, donde N es el número de procesadores. Con base en el escenario planteado:

- (a) Determine el mínimo tiempo teórico de ejecución que puede lograr la aplicación con cualquier mejora imaginable al computador. ¿Qué acciones podría proponer para disminuir aún más el tiempo?
- (b) ¿Cuál de las dos opciones recomendaría usted como ingeniero(a) para mejorar el sistema? Justifique su decisión con cálculos y aspectos generales de la arquitectura de computadores.
- (c) Determine el nuevo tiempo de ejecución del programa con la mejora planteada.
- 4. Suponga que se tiene un sistema multiprocesador que requiere un tiempo de 100ns para accesos a memoria fuera de chip, en el que, al tener un acceso fuera de chip, los procesadores deben esperar el dato. La frecuencia de los procesadores es de 1GHz. Si el desempeño del computador original, en CPI (tomando en cuenta solamente accesos dentro del chip), es de 0.5 y el nuevo desempeño dado por compartir procesamiento es de 0.1 ¿Qué tan rápido es tener multiprocesadores sin comunicación entre sí (sin accesos fuera de chip) contra si el 0.5% de las instrucciones requirieran accesos fuera de chip?, si:
 - (a) todos los accesos locales son aciertos en caché (el tiempo de acceso se asume despreciable).