

CE3201 – Taller de Diseño Digital

Lenguajes de descripción de hardware y síntesis lógica

PROFESOR: ING. LUIS BARBOZA ARTAVIA

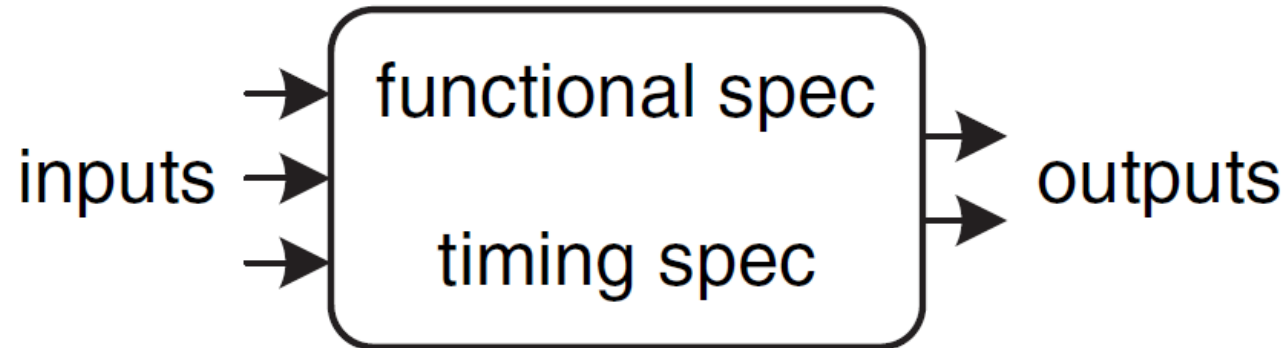
Agenda

- Modelos de descripción de hardware.
- Niveles de abstracción.
- Metodologías de diseño.
- Testbenchs.

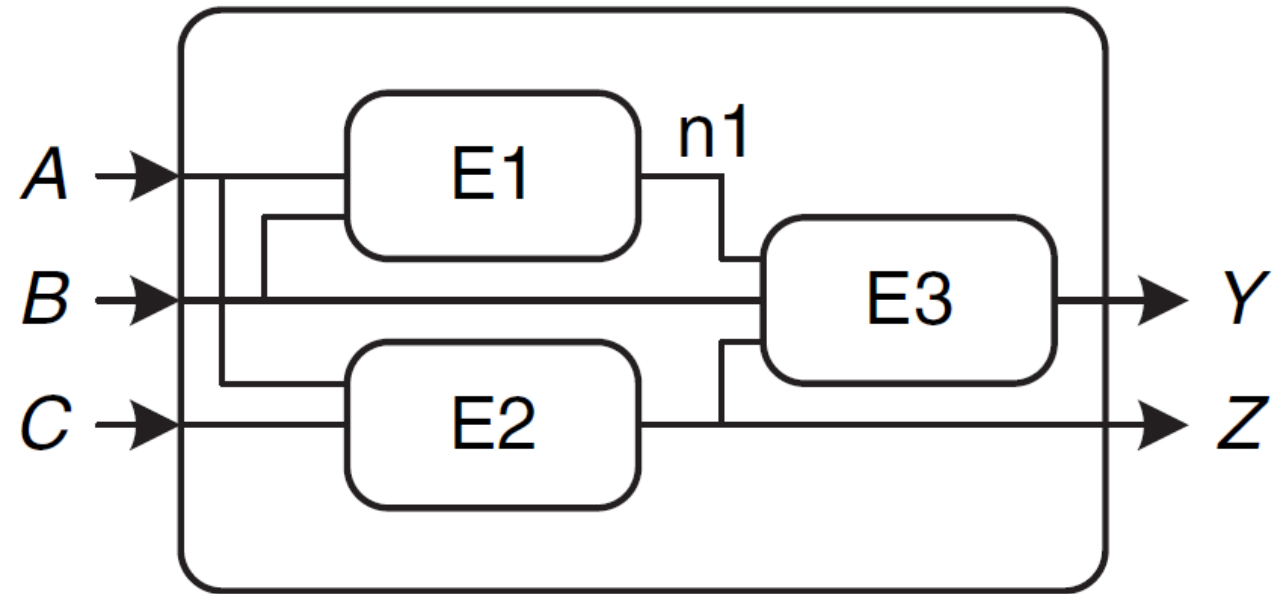
¿Qué es HDL?

Introducción

- Un circuito digital es una red que procesa variables discretas.
- Una o más entradas.
- Una o más salidas.
- Especificación funcional entre entradas y salidas.



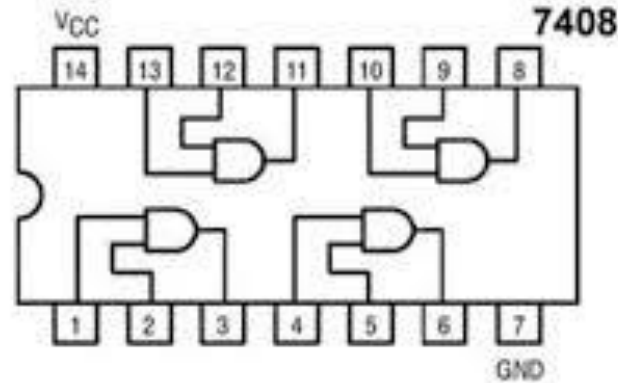
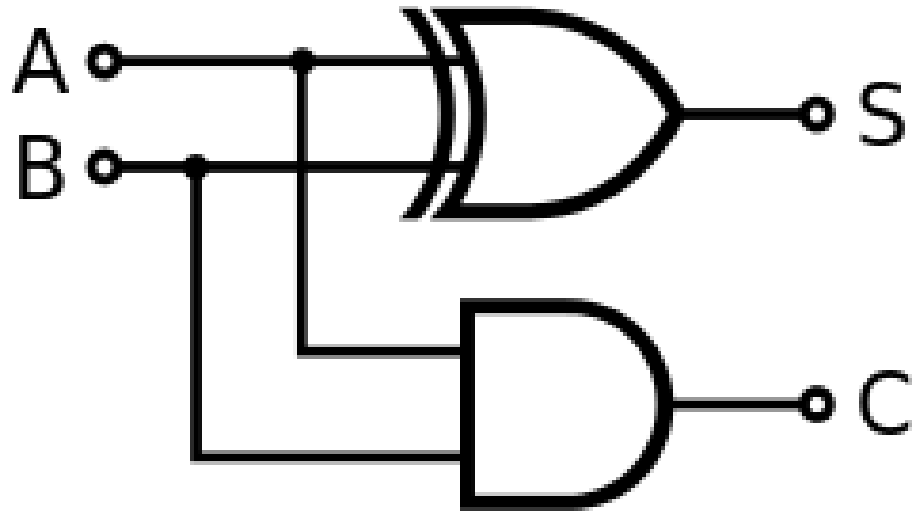
Introducción



Introducción

- Los circuitos digitales se pueden clasificar **combinacionales** o **secuenciales**.
- **Combinacionales:** las salidas dependen de los valores actuales de entrada.
- **Secuenciales:** las salidas dependen de los valores actuales y previos de las entradas.

Introducción – Sumador



Hardware Description Language

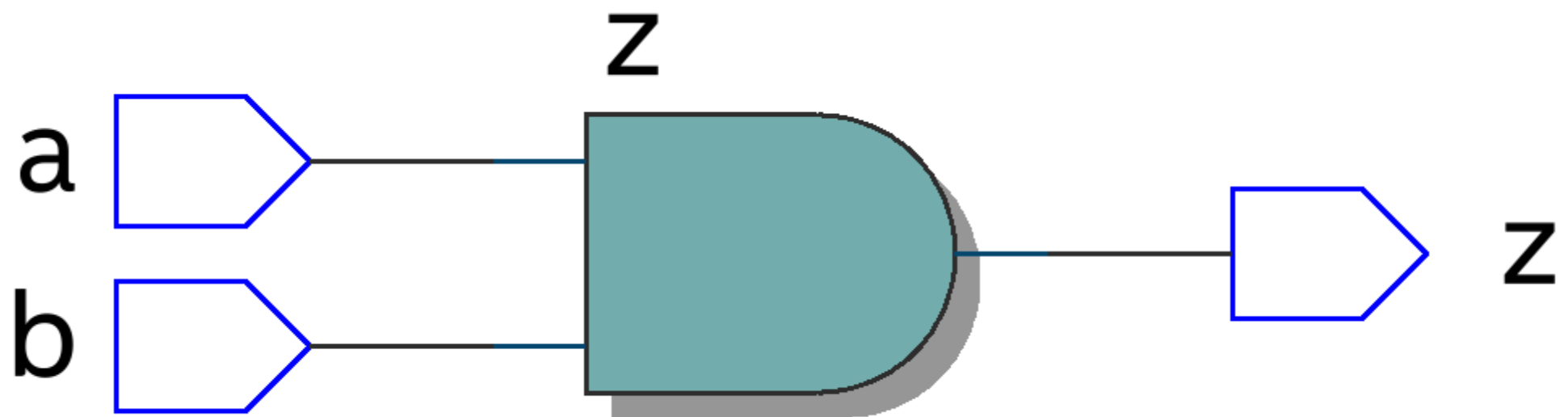
- Es más productivo trabajar en un nivel de abstracción más alto.
- Las especificaciones se escriben en un HDL.
- Los principales son SystemVerilog y VHDL.

Hardware Description Language

- **Módulo:** HW con I/O.
- Tendremos modelos de comportamiento y estructurales.
- **Comportamiento:** describe qué hace el módulo. Lo describe en términos de las relaciones entre entradas y salidas.
- **Estructural:** describe cómo está construido el módulo por módulos más simples.

Hardware Description Language

- **Propósito:** simular y sintetizar.
- Durante la **simulación**, se le aplican entradas a un módulo y se verifica que las salidas sean las esperadas.
- Durante la **síntesis**, la descripción textual de un módulo se transforma en compuertas lógicas.



```
module myFirstModule(input logic a, b,  
                     output logic z);  
  
    assign z = a & b;  
  
endmodule
```


Testbench

- Módulo para probar otro módulo.
- Se le aplican entradas al módulo para verificar las salidas.

Testbench

```
module myFirstModule_tb();  
    logic a,b,z;  
    myFirstModule modulo(a,b,z);  
    initial begin  
        a = 0;  
        b = 1;  
        #40  
        a = 0;  
        b = 0;  
        #40  
        a = 1;  
        b = 0;  
        #40  
        a = 1;  
        b = 1;  
    end  
endmodule
```

Testbench

```
module myFirstModule_tb();  
    logic a,b,z;  
    myFirstModule modulo(a,b,z);  
  
    initial begin  
        $display("Iniciando simulacion");  
        a = 0;  
        b = 1;  
        #5  
        assert(z === 0) else $error("01 failed");  
        #40  
        a = 0;  
        b = 0;  
        #40  
        a = 1;  
        b = 0;  
        #40  
        a = 1;  
        b = 1;  
  
    end  
endmodule
```

Ejemplo - Sumador

Op	Meaning
~	NOT
*, /, %	MUL, DIV, MOD
+, -	PLUS, MINUS
<<, >>	Logical Left/Right Shift
<<<, >>>	Arithmetic Left/Right Shift
<, <=, >, >=	Relative Comparison
==, !=	Equality Comparison
&, ~&	AND, NAND
^, ~^	XOR, XNOR
, ~	OR, NOR
?:	Conditional

Referencias

- Harris, S., & Harris, D. (2015). Digital design and computer architecture: arm edition. Morgan Kaufmann.

CE3201 – Taller de Diseño Digital

Lenguajes de descripción de hardware y síntesis lógica

PROFESOR: ING. LUIS BARBOZA ARTAVIA