
Laboratorio 2: Lógica Combinacional y Aritmética

Fecha de asignación: 23 febrero 2024
Grupos: 3 personas

Fecha de entrega: 06 marzo 2024
Profesor: Luis Barboza Artavia

1. Introducción

Un circuito combinacional es aquel en que las salidas solamente dependen combinaciones de la entradas y no del tiempo. Esta característica hace que los sistemas combinacionales sean en general rápidos, ya que no requieren ningún tipo de sincronización con señales de reloj. En sistemas digitales complejos, como los microprocesadores, los circuitos de lógica combinacional juegan un papel fundamental. Es por esto que en este laboratorio se realizará el diseño de una Unidad Lógico-Aritmética (ALU), componente esencial en la etapas de ejecución de cualquier microprocesador moderno.

La ALU es la unidad encargada de la ejecución de las instrucciones aritméticas y lógicas en un procesador. Dichas instrucciones requieren tiempos de ejecución cortos, para tener máximo desempeño en el procesador y es por esta razón por la que en general se requiere de una lógica combinacional en su implementación.

En este laboratorio el estudiante aplicará los conceptos de lógica combinacional en el diseño de circuitos digitales lógicos y aritméticos con un lenguaje de descripción de hardware. Además, se abordarán asuntos de tiempo relacionados con lógica combinacional, como lo son los tiempos de propagación y contaminación así como la ruta crítica.

1.1. Procedimiento

A lo largo del laboratorio se desarrollarán dos ejercicios que guiarán a los estudiantes por el proceso de diseño, implementación y verificación de una ALU parametrizable de N bits, cuya especificación se detallará más adelante. Adicionalmente, se investigará sobre problemas y consideraciones de tiempo en diseños con lógica combinacional. Para el desarrollo de este laboratorio se deberán acatar las siguientes indicaciones.

1. Lea y trate de comprender todo el trabajo solicitado antes de iniciarlo.
2. Para la presentación funcional, se le pedirá que muestre el primer ejercicio, ya sea en implementación o simulación.

2. Investigación

Para el desarrollo de este laboratorio se deben responder las siguientes preguntas.

1. Investigue sobre el funcionamiento general de una ALU. Muestra tablas de verdad y diagramas de circuitos lógicos y aritméticos simples (sumas, restas, operaciones lógicas, etc.). Incluya una descripción de las banderas de estado de una ALU, por ejemplo las de la arquitectura ARMv4.
2. Explique los conceptos de tiempos de propagación y tiempos de contaminación, en circuitos combinacionales.
3. Investigue sobre la ruta crítica y cómo esta afecta en el diseño de sistemas digitales más complejos, por ejemplo un procesador con pipeline. Investigue su relación con la frecuencia máxima de operación de un circuito.

3. Ejercicios Prácticos

A continuación se presentan 2 ejercicios prácticos, los cuales debe resolver de manera completa. En cada ejercicio muestre en la bitácora todos los pasos de diseño que llevan a la solución del problema.

3.1. Problema 1

Se deberá realizar una calculadora parametrizable, con el fin de que pueda ejecutar las operaciones de suma, resta, multiplicación, división, módulo, and, or, xor, shift left y shift right. Se debe de implementar las banderas de estados de la ALU: Negativo (N), Cero (Z), Acarreo (C) y Desbordamiento (V). En la figura 1 se muestra el diagrama de primer nivel. Con base en la descripción anterior:

1. Diseñe la ALU con un modelo de estructura, utilizando SystemVerilog. **Para la suma, resta y otra operación aritmética elegida por el grupo, parta de los circuitos básicos (no se puede utilizar el operador directamente).** Muestre los diagramas de bloques, tablas y cualquier otro elemento para describir el diseño implementado.
2. Realice un *testbench* de auto-chequeo, en SystemVerilog, en el que se muestre de manera simple el funcionamiento de la Calculadora en 4 bits. Muestre el resultado de la prueba para al menos 2 valores diferentes para cada operación.
3. Implemente la calculadora con parámetro de 4 bits, en la FPGA (configuración). Utilice los switches y botones como entradas y el display de 7 segmentos para visualizar el funcionamiento de la misma. Cuando se configuren los operandos, se deberá accionar un

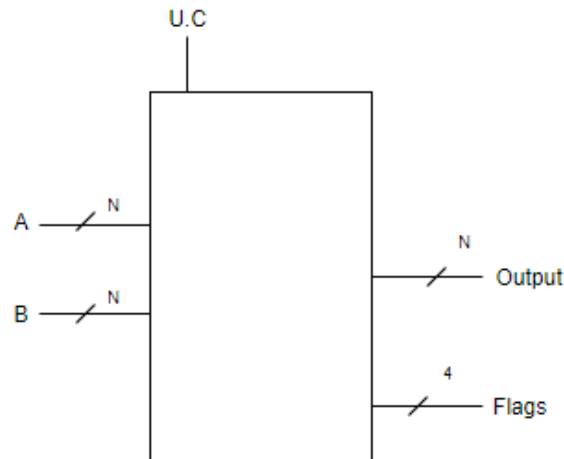


Figura 1: Diagrama de bloques de la Calculadora a diseñar

mecanismo para que ejecute la operación deseada. La manera en que se elija la operación será creatividad de cada grupo.

3.2. Problema 2

Un asunto importante, en sistemas combinacionales complejos, es la ruta crítica en tiempos de propagación, dato que finalmente determina la frecuencia de operación de un sistema digital. Un circuito simple para la medición de esta frecuencia se muestra en la figura 2, en la que se utilizan dos registros de carga paralela entre la lógica combinacional, para determinar la frecuencia máxima a la que puede operar un reloj. Para el circuito anterior y utilizando el diseño de la ALU:

1. Diseñe el diagrama de la figura 2 con la ALU para 2, 4, 8, 16 y 32 bits. Determine en cada caso el uso de los recursos de la FPGA en términos de celdas básicas y otras métricas que consideren importantes. Utilice la herramienta TimeQuest de Altera para determinar la frecuencia máxima de operación para cada ALU (distintos tamaños). Realice una tabla y gráfico con estos datos donde se muestre el comportamiento. Discuta sobre el efecto de aumentar el tamaño de la lógica combinacional en la frecuencia de operación del sistema

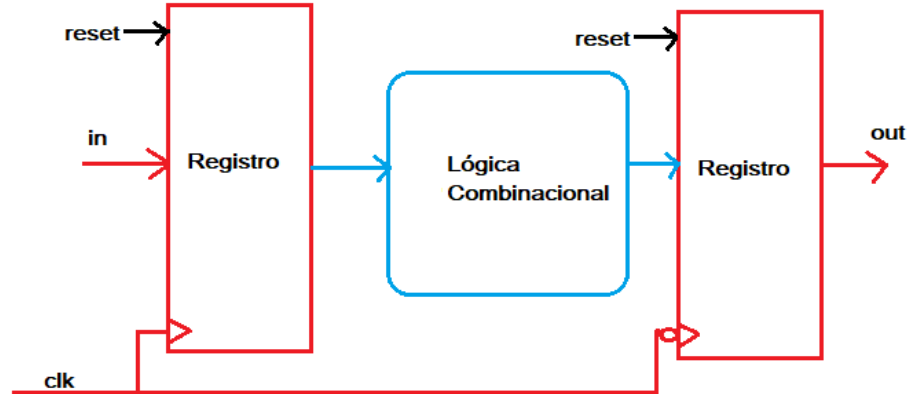


Figura 2: Circuito para la medición de frecuencia máxima de operación

4. Metodología

Se utilizará la metodología explicada en el laboratorio 1.

Si tienen dudas puede escribir al profesor al [correo electrónico](#). Los documentos serán sometidos a control de plagios. La entrega se debe realizar por medio del TEC-Digital en la pestaña de evaluación. No se aceptan entregas extemporáneas después de la fecha de entrega a las 11:59 pm como máximo.

5. Entregables y evaluación

5.1. Informe

Se deberá realizar un informe en que se presente una sección de **introducción** al laboratorio con los conceptos teóricos y metodológicos relevantes (puede utilizar la parte de investigación); otra sección de **desarrollo** o presentación de cada ejercicio así como elementos de la solución y el diseño; una sección de **resultados** que describa los productos obtenidos del laboratorio (tablas, gráficos, etc), con su correspondiente **análisis** con respecto a la teoría (comparación teoría y práctica), y, finalmente, una sección de **conclusiones** en los que se determine cómo la solución planteada para los ejercicios hace que se cumplan los objetivos del laboratorio. Debe incluir además una sección de **referencias** en la que incluyan las fuentes a utilizar tanto en la sección de introducción como de análisis.

5.2. Presentación funcional

La presentación funcional se realizará en clase, para este deberá contar con los archivos de simulación de todos los ejercicios del laboratorio.

5.3. Bitácora

Deberá presentar el repositorio. Se revisará el historial de commits, participación de los integrantes y uso de branches. Favor agregar al asistente: geogardow .

5.4. Quiz individual

El día de la presentación funcional, antes de la misma, se asignará un quiz individual en el que se evaluarán algunos de los temas abarcados en este laboratorio, así como los resultados obtenidos del mismo.

Si tienen dudas puede escribir al profesor al [correo electrónico](#). **Los documentos serán sometidos a control de plagios.** La entrega se debe realizar por medio del TEC-Digital en la pestaña de evaluación. No se aceptan entregas extemporáneas después de la fecha de entrega a las 11:59 pm como máximo.