



**UTN.BA**

UNIVERSIDAD TECNOLÓGICA NACIONAL  
FACULTAD REGIONAL BUENOS AIRES

Proyecto Final  
2017

**Sistema R.F.I.D.  
Banco de prueba**

Anteproyecto

*Galimberti F., Grosso A., Kuo Y. M., Tántera J.*

# Índice

<b>1. Tema de investigación</b>	<b>2</b>
<b>2. Descripción del proyecto</b>	<b>2</b>
<b>3. Gestión del tiempo</b>	<b>2</b>
<b>4. Gestión de problemas</b>	<b>3</b>
<b>5. Gestión de objetivos</b>	<b>3</b>
<b>6. Antecedentes</b>	<b>4</b>

# 1. Tema de investigación

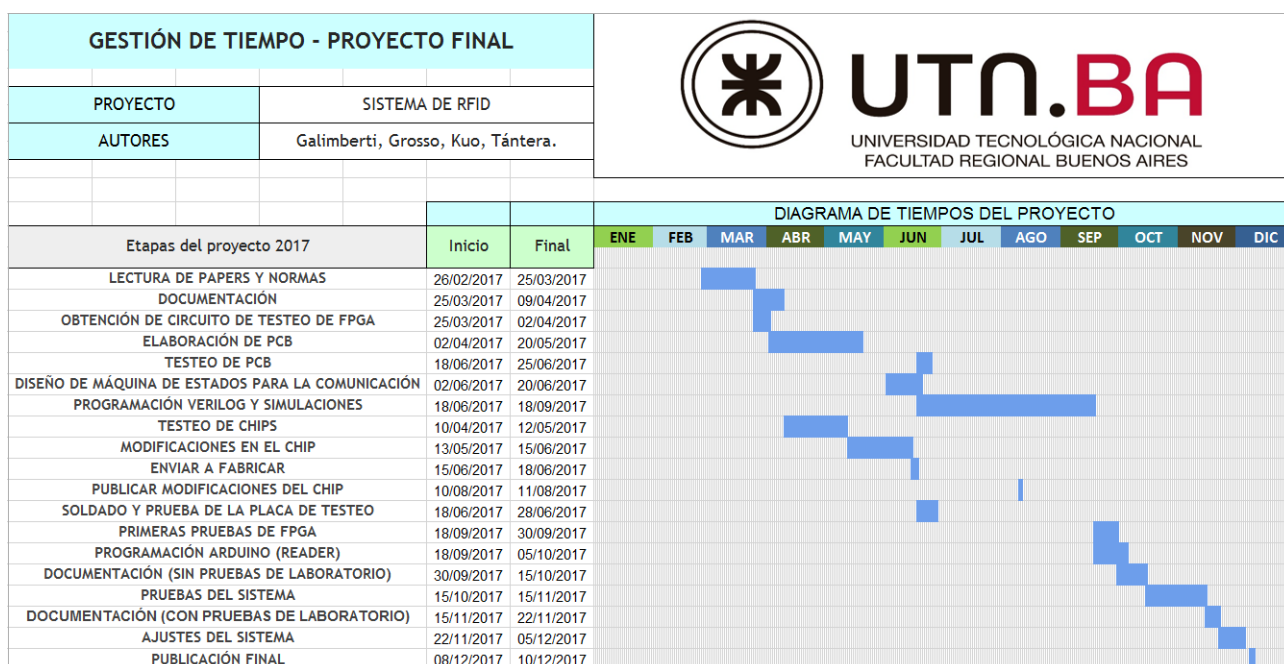
Debido al creciente desarrollo de productos de RFID en la última década, se comenzó a investigar esta tecnología con el objetivo de llevar a cabo un desarrollo nacional que pueda utilizarse en múltiples aplicaciones. Se describe en la presente publicación el desarrollo de los módulos de rectificación, regulación de tensión y modulador de un transceptor RFID para el proceso de fabricación con el que cuenta el Departamento de Electrónica de la Facultad Regional Buenos Aires. El rango de frecuencia utilizado en el proyecto es el de 13,553 a 13,567 MHz, el cual está situado en el medio del rango de longitud de onda corta del espectro electromagnético. Se busca presentar los primeros pasos del diseño y desarrollo de un transceptor mediante la tecnología RFID. En el proceso de su desarrollo fue necesario diseñar la antena para la transmisión y recepción de información, un modulador de carga, el regulador de tensión de carga, el rectificador de Radio Frecuencia y el limitador para prevenir daños en sus compuertas.

# 2. Descripción del proyecto

El proyecto consiste en la puesta en marcha de la parte analógica de un chip transceptor R.F.I.D., el desarrollo de la parte digital del protocolo de comunicación bajo la norma ISO-14443 y por último un banco de prueba para poder verificar el correcto funcionamiento del conjunto analógico y digital con un microcontrolador que a su vez opere bajo la norma antes mencionada.

El grupo de investigación esta conformado por 4 estudiantes de la carrera de Ingeniería Electrónica en la Universidad Tecnológica Nacional (Facultad Regional Buenos Aires). La investigación y desarrollo del front-end comenzó en el año 2015 a través de MOSIS® en un proceso de fabricación estandar CMOS de 500nm. En la actualidad además del desarrollo en 500nm, se esta avanzando en la tecnología de 130nm para poder integrar la parte digital del proyecto al chip y además se cuenta con la posibilidad de integrar memorias.

# 3. Gestión del tiempo



## 4. Gestión de problemas

Como principales problemas podemos detectar 3

- No disponer del chip:
  - Dada de baja a la tecnología en la cual se realizó el desarrollo.
  - Debido a discontinuidad de las corridas por parte de las foundries (On Semi Conductors 500nm o Global Foundries 130nm).
  - Debido a retrasos en la entrega de las foundries.
- No poder realizar modificaciones en el chip:
  - Inconvenientes en el desarrollo y empleo de PDK's.
  - Que surjan inconvenientes con el uso de las licencias o no poseerlas.
- Mal funcionamiento del chip
  - Dispersiones fuera de rango en la fabricación del mismo.

## 5. Gestión de objetivos

En función de los inconvenientes comentados en la gestión de problemas se plantean los siguientes objetivos

- Abstracción de variabilidades en foundries:
  - Migración de tecnología (por ejemplo de 500nm a 130nm).
  - Realizar la corrida actual en varias tecnologías para asegurar una entrega.
  - Disponibilidad del circuito en discreto.
- Uso de herramientas confiables:
  - Utilizar los PDK's nativos otorgados por las foundries.
  - Poseer confiabilidad en el servidor y una correcta configuración del mismo.
- Disminuir la probabilidad de errores en la fabricación del chip:
  - Simulación con corners y metodología "Montecarlo".

## **6. Antecedentes**

Como antecedente se dispone del proyecto comenzado en el 2015. Ver paper RFID.