

### 1.1 简介

LPC55S6x/LPC55S2x/LPC552x 是基于 Arm Cortex®-M33 的嵌入式应用微控制器。这些器件配备高达 320 kB 的片上 SRAM、高达 640 kB 的片上闪存、带全速无晶振操作的高速和全速 USB 主机与设备接口、一个 SD/MMC/SDIO 接口、五个通用定时器、一个 SCTimer/PWM、一个 RTC/警报定时器、一个 24 位多速率定时器(MRT)、一个窗口看门狗定时器(WWDT)、一个高速 SPI(50 MHz)、八个灵活串行通信外设（每个外设可以是 USART、SPI、I<sup>2</sup>C 或 I<sup>2</sup>S 接口）、一个 16 位 1.0 Msamples/sec ADC、温度传感器。

Arm Cortex M33 提供了安全性基础，通过 TrustZone®技术实现隔离功能，以保护宝贵的 IP 和数据。它使用集成数字信号处理(DSP)指令简化了数字信号控制系统的设计和软件开发。为了满足安全性要求，LPC55S6x/LPC55S2x/LPC552x 还提供对于 HASH、AES、RSA、UUID、动态加密和解密、调试认证以及 TBSA 兼容性的支持。

### 1.2 功能

LPC55S6x/LPC55S2x/LPC552x 系列器件提供以下功能。根据处理器的不同，此处所述的某些功能可能提供也可能不会提供。有关完整的详细信息，请见[第 1.9.1 节“订购选项”](#)。

- ARM Cortex-M33 内核（CPU0，r0p3）：
  - 以高达 150 MHz 的频率运行（仅限器件修订版 1B）。
  - TrustZone、浮点单元(FPU)和存储器保护单元(MPU)。
  - ARM Cortex M33 内置嵌套向量中断控制器(NVIC)。
  - 带来源选择的非屏蔽中断(NMI)输入。
  - 串行线调试，带 8 个断点和 4 个观察点。包括串行线输出，以增强调试功能。
  - 系统节拍定时器。
- ARM Cortex-M33 协处理器（CPU1，r0p3）：
  - 以高达 150 MHz 的频率运行（仅限器件修订版 1B）。
  - 此实例的配置不包括 MPU、FPU、DSP、ETM 和 Trustzone。
  - 系统节拍定时器。
- CASPER（LPC552x 上不提供）加密协处理器，可为某些非对称加密算法（如椭圆曲线加密(ECC)）所需的各项功能启用硬件加速。

- 用于（定点和浮点单元）CMSIS DSP 功能的 PowerQuad 硬件加速器，附带软件 API 支持，可更快地执行 ARM CMSIS 指令集。
- 片上存储器：
  - 高达 640 kB 的片上闪存程序存储器（带闪存加速器）和 512 字节页面擦除和写入功能。
  - 高达 320 kB 的总 SRAM，由代码总线上的 32 kB SRAM、系统总线上的 272 kB SRAM（272 kB 是连续的）以及系统总线上的其他 16 kB USB SRAM 组成。这些 USB SRAM 可以由 USB 接口使用或用于一般用途。
- PRINCE（LPC552x 上不提供）模块用于对写入片上闪存的数据进行实时加密，并在读取过程中对加密的闪存数据进行解密，以提供资产保护。例如保护应用程序代码和启用安全闪存更新。
- 片上 ROM 引导加载程序支持：
  - 从片上闪存启动映像。
  - 支持 CRC32 映像完整性检查。
  - 支持通过以下接口使用系统内编程(ISP)命令进行闪存编程：使用 HID 类器件的 USB0/1 接口、带自动波特率的 UART 接口(Flexcomm 0)、使用模式 3（CPOL = 1 和 CPHA = 1）的 SPI 从机接口（Flexcomm 3 或 9）以及 I2C 从机接口(Flexcomm 1)
  - ROM API 函数：使用恩智浦安全启动文件格式 2.0 版（SB2 文件）的闪存编程 API、电源控制 API 和安全固件更新 API。
  - 支持从 PRINCE 加密的闪存区域启动映像。
  - 支持恩智浦调试认证协议版本 1.0(RSA-2048)和 1.1(RSA-4096)。
  - 支持通过调试认证将密封器件设置为“故障分析”模式。
- 安全启动支持：
  - 使用 SHA256 摘要的 RSASSA-PKCS1-v1\_5 签名用作加密签名验证。
  - 支持 RSA-2048 位公钥（2048 位模数，32 位指数）。
  - 支持 RSA-4096 位公钥（4096 位模数，32 位指数）。
  - 使用 x509 证书格式来验证映像公钥。
  - 支持多达四个可撤销的信任根(RoT)或证书颁发机构密钥。通过将四个 RoT 公钥的哈希值的 SHA-256 哈希摘要存储在受保护的闪存区域(PFR)中来建立信任根(RoT)。
  - 支持使用映像密钥撤销的抗回滚功能，以及使用 x509 证书中的序列号字段最多支持 16 个映像密钥证书撤销。

- 串行接口:
  - Flexcomm 接口最多包含九个串行外设 (Flexcomm 接口 0-7 和 Flexcomm 接口 8)。每个 Flexcomm 接口 (专用于高速 SPI 的 Flexcomm 8 除外) 都可以通过软件选择为 USART、SPI、I<sup>2</sup>C 和 I<sup>2</sup>S 接口。每个 Flexcomm 接口都包含一个支持 USART、SPI 和 I<sup>2</sup>S 的 FIFO。每个 Flexcomm 接口都可以使用多种时钟选项, 包括共享分数波特率发生器和超时功能。Flexcomm 接口 0 至 7 每个都提供一对 I<sup>2</sup>S 通道。
  - I<sup>2</sup>C 总线接口支持快速模式和超快速模式+, 数据速率高达 1Mbit/s, 带多地址识别和监控模式。两组真 I<sup>2</sup>C 焊盘也支持从机高速模式 (3.4 Mbit/s)。
  - USB 2.0 全速主机/设备控制器, 带片上 PHY 和专用 DMA 控制器, 支持使用软件库在器件模式下实现无晶振操作 (示例见技术说明 TN00063)。
  - USB 2.0 高速主机/设备控制器, 带片上高速 PHY。
- 数字外设:
  - DMA0 控制器, 带 23 条通道和多达 22 个可编程触发器, 可访问所有存储器和支持 DMA 的外设。
  - DMA1 控制器, 带 10 条通道和多达 15 个可编程触发器, 可访问所有存储器和支持 DMA 的外设。
  - 安全数字输入/输出 (SD/MMC 和 SDIO) 卡接口 (支持 DMA)。SDIO, 最多支持两张卡。支持的卡类型为 MMC、SDIO 和 CE-ATA。支持 SD2.0 和 SDR25(52MHz)。
  - CRC 引擎模块可以使用支持 DMA 的三个标准多项式之一来计算所提供数据的 CRC。
  - 多达 64 个通用输入/输出(GPIO)引脚。
  - GPIO 寄存器位于 AHB 上, 以支持快速存取。DMA 支持 GPIO 端口。
  - 最多 8 个 GPIO 可选为引脚中断(PINT), 由上升沿、下降沿或两个输入边沿触发。
  - 两个 GPIO 分组中断(GINT)可根据输入状态的逻辑 (与/或) 组合使能中断。
  - I/O 引脚配置, 最多支持 16 个功能选项。
  - 可编程逻辑单元(PLU), 用于创建包括状态机在内的小型组合和/或顺序逻辑网络。
- 安全特性:
  - 启用 ARM TrustZone (LPC552x 上不提供)。
  - AES-256 加密/解密引擎, 其密钥直接源于 PUF 或软件提供的密钥 (LPC552x 上不提供)。
  - 安全哈希算法(SHA2)模块, 通过专用 DMA 控制器支持安全启动 (LPC552x 上不提供)。
  - 物理防克隆技术(PUF), 使用专用 SRAM 进行芯片指纹识别。PUF 可以生成、存储和重建从 64 位到 4096 位的密钥大小。包含用于密钥提取的硬件 (LPC552x 上不提供)。

- 真随机数生成器(TRNG)。
- 用于器件识别的 128 位独特序列号(UUID)。
- 安全 GPIO。
- 定时器:
  - 5 个 32 位标准通用异步定时器/计数器, 支持最多 4 个捕获输入以及 4 个比较输出、PWM 模式和外部计数输入。可以选择特定定时器事件以生成 DMA 请求。
  - 一个 SCTimer/PWM, 具有八种输入和十种输出功能(包括 16 个捕获和匹配寄存器)。输入和输出可以路由至外部引脚或从外部引脚路由, 并且可以从内部路由至选定外设或从选定外设路由。SCTimer/PWM 可在内部支持 16 个捕获/匹配、16 个事件和 32 种状态。
  - 32 位实时时钟(RTC), 分辨率为 1s, 在始终上电电源域中运行。RTC 中的另一个定时器可用于从所有低功耗模式(包括深度掉电模式)唤醒, 分辨率为 1ms。RTC 由 32 kHz FRO 或 32.768 kHz 外部晶振提供时钟。
  - 多通道多速率 24 位定时器(MRT), 适用于以多达 4 种可编程固定速率生成可重复中断。
  - 窗口看门狗定时器(WWDT), 以 FRO 1 MHz 作为时钟源。
  - 通过看门狗振荡器运行的 Micro-Tick 定时器, 可用于将器件从睡眠和深度睡眠模式唤醒。包含 4 个带引脚输入的捕获寄存器。
  - 42 位自运行 OS 定时器, 可作为系统的连续时基, 在任何低功耗模式下均可使用。它运行在 32kHz 时钟源上, 允许超过四年的计数周期。
- 模拟外设
  - 16 位 ADC, 带五个差分通道对(或 10 个单端通道), 具有多个内部和外部触发器输入, 采样率高达 1.0 MSamples/sec。ADC 支持两个独立的转换序列。
  - 集成连接至 ADC 的温度传感器。
  - 带五个输入引脚以及外部或内部参考电压的比较器。
- 时钟生成
  - 内部自由振荡器(FRO)。该振荡器提供可选 96 MHz 输出, 以及可用作系统时钟的 12 MHz 输出(从所选的较高频率分频)。可对 FRO 进行调整, 使其在整个电压和温度范围内精确到 $\pm 2\%$ 。
  - 32 kHz FRO。可对 FRO 进行调整, 使其在整个电压和温度范围内精确到 $\pm 2\%$ 。
  - 可对内部低功耗振荡器(FRO 1 MHz)进行调整, 使其在整个电压和温度范围内精确到 $\pm 15\%$ 。
  - 晶体振荡器, 工作频率为 12 MHz 至 32 MHz。外部时钟输入选项(旁路模式), 时钟频率高达 24 MHz。
  - 具有 32.768 KHz 工作频率的晶体振荡器。外部时钟输入选项(旁路模式), 时钟频率高达 100 kHz。

- PLL0 和 PLL1 使 CPU 无需使用高频外部时钟即可生成最高 CPU 主频。PLL0 和 PLL1 可以通过内部 FRO 12 Mhz 输出、外部振荡器、内部 FRO 1 MHz 输出或 32.768 KHz RTC 振荡器运行。
- 时钟输出功能，带可监测多个内部时钟的分频器。
- 频率测量单元用于测量任何片上或片外时钟信号的频率。
- 省电模式和唤醒：
  - 可最大程度降低功耗的集成式 PMU（电源管理单元）。
  - 节能模式：睡眠模式、带 RAM 保留的深度睡眠模式、带 RAM 保留和 CPU0 保留的掉电模式以及带 RAM 保留的深度掉电模式。
  - 通过外设中断的可配置唤醒选项。
  - 通过看门狗振荡器运行的 Micro-Tick 定时器以及通过 32.768 kHz 时钟运行的实时时钟(RTC)，可用于将器件从睡眠和深度睡眠模式唤醒。
  - 上电复位(POR)。
  - VBAT\_DCDC 的欠压检测器(BOD)，用于强制重置或中断。
- 通过内部 DC-DC 转换器运行。
- 单电源 1.8 V 至 3.6 V。
- 支持 JTAG 边界扫描。
- 工作温度范围为-40 °C 至+105 °C。
- 提供 HLQFP100、HTQFP64 和 VFBGA98 封装。

1.3 功能框图

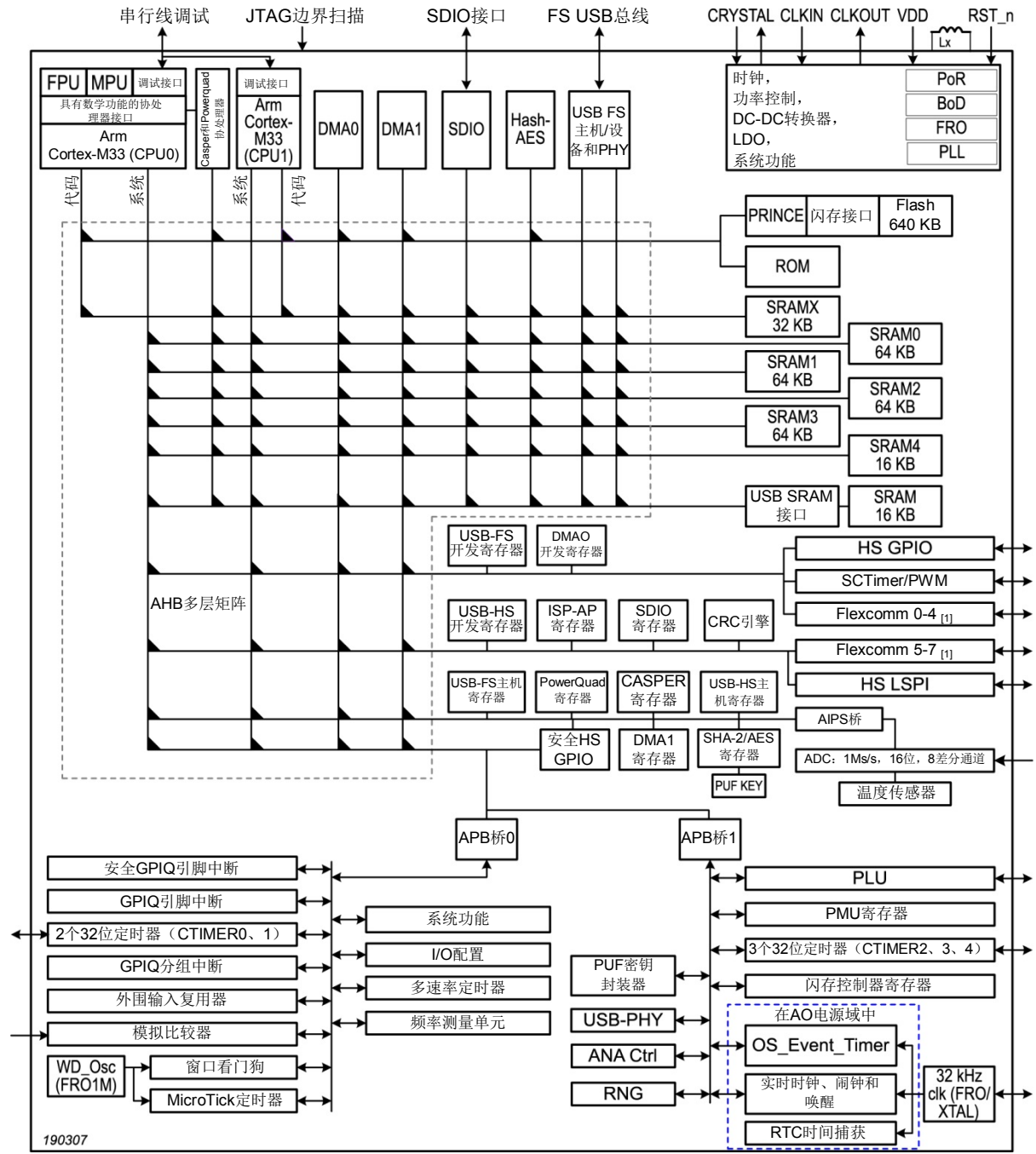


图 1. LPC55S6x 框图

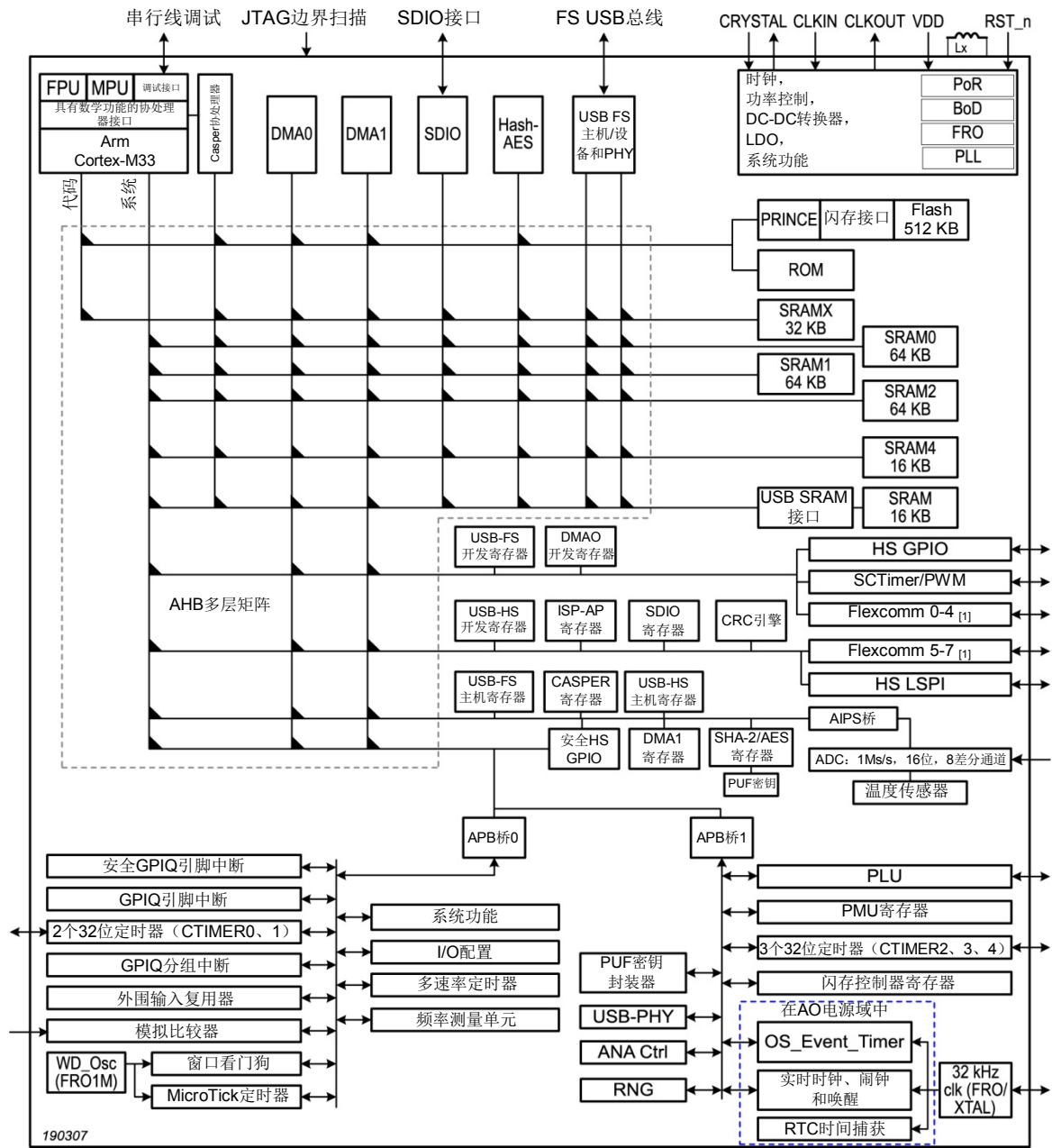


图 2. LPC55S2x 框图



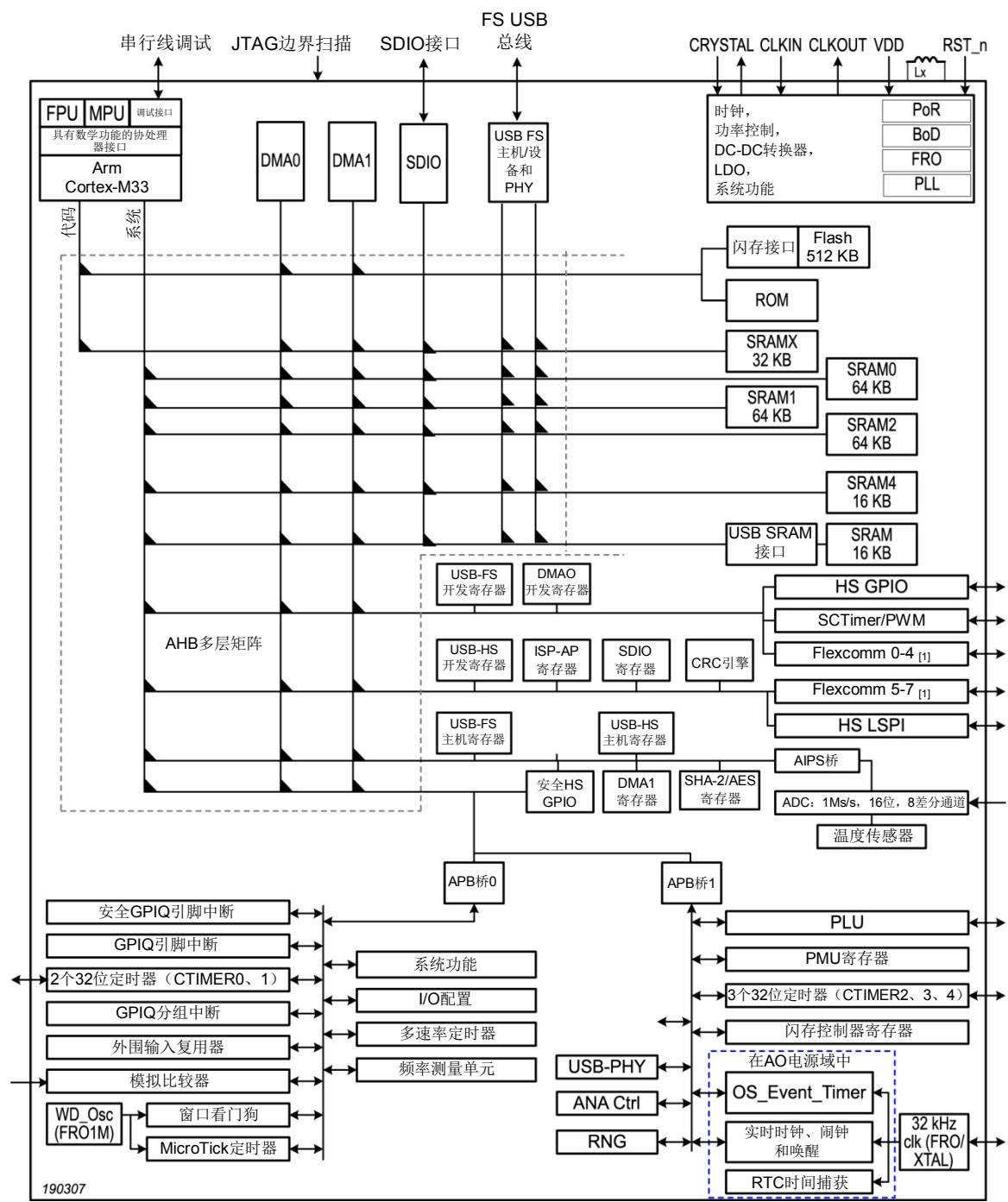


图 3. LPC552x 框图



## 1.4 架构概述

Arm Cortex M33 配备 2 条 AHB-Lite 总线、1 条系统总线以及 1 条代码总线。代码 AHB(C-AHB)接口用于任何指令提取以及对于 ARMv8-M 存储器映射([0x00000000 - 0x1FFFFFFF])的代码区域的数据访问。系统 AHB(S-AHB)接口用于指令提取以及对于 ARMv8-M 存储器映射([0x20000000 - 0xFFFFFFFF])的所有其他区域的数据访问。

LPC55S6x/LPC55S2x/LPC552x 使用多层 AHB 矩阵, 以一种灵活的方式将 Arm Cortex M33 总线及其他总线主机连接到外围设备, 从而优化性能。具体的实现方式是让不同的总线主机能够同时访问该矩阵的不同从机端口上的外围设备。

## 1.5 Arm Cortex-M33 TrustZone

Arm Cortex-M33 是一款通用 32 位微处理器, 不仅性能高, 而且功耗极低。Arm Cortex M33 具备许多新的特性, 其中包括一个 Thumb-2 指令集、低中断延迟、硬件乘法和除法、可中断/可连续的多个加载和存储指令、自动状态保存和恢复中断、紧密集成的中断控制器和唤醒中断控制器, 以及能够同时访问的多条核心总线。

采用 3 级流水线, 处理和存储器系统的所有部件都能够连续工作。通常, 在执行某一条指令时, 它的下一条指令正被解码, 第三条指令正从存储器中获取。

Arm Cortex-M33 提供了安全性基础, 通过 TrustZone 技术实现隔离功能, 以保护宝贵的 IP 和数据。它使用集成数字信号处理(DSP)指令简化了数字信号控制系统的设计和软件开发。

## 1.6 Arm Cortex-M33 集成浮点单元(FPU)

FPU 全面支持单精度加、减、乘、除、乘法与累加以及平方根运算。它还提供定点和浮点数据格式之间的转换以及浮点常量指令。

FPU 提供的浮点计算功能符合 ANSI/IEEE Std 754-2008 (二进制浮点算术的 IEEE 标准, IEEE 754 标准)。

## 1.7 Arm Cortex-M33 (CPU1)

LPC55S6x/LPC55S2x/LPC552x 器件包括 Cortex M33 的第二个实例。此实例的配置不包括 MPU、FPU、DSP、ETM、Trustzone (SECEXT)、安全归因单元(SAU)或协处理器接口。它支持与主 CPU 相同的调试级别和中断线。

# 1.8 片上静态 RAM

LPC55S6x/LPC55S2x/LPC552x 支持各类 SRAM 配置，并提供独立的总线主机访问以实现更高的吞吐量，以及单独的功率控制以实现低功耗操作。有关更多详细信息，请见相应的框图。

# 1.9 订购信息

表 1. 订购信息

型号	封装		版本
	名称	说明	
LPC55S66JBD100	HLQFP100	塑料薄型四侧扁平封装；100 引脚；主体尺寸 14 × 14 × 0.5mm（间距）	SOT1570-3
LPC55S69JBD100	HLQFP100	塑料薄型四侧扁平封装；100 引脚；主体尺寸 14 × 14 × 0.5mm（间距）	SOT1570-3
LPC55S66JEV98	VFBGA98	细间距球栅阵列封装；98 引脚；主体尺寸 7' × 7' × 0.5 mm	SOT1982-1
LPC55S69JEV98	VFBGA98	细间距球栅阵列封装；98 引脚；主体尺寸 7' × 7' × 0.5 mm	SOT1982-1
LPC55S66JBD64	HTQFP64	细间距球栅阵列封装；64 引脚；主体尺寸 10 × 10 × 0.5mm（间距）	SOT855-5
LPC55S69JBD64	HTQFP64	细间距球栅阵列封装；64 引脚；主体尺寸 10 × 10 × 0.5mm（间距）	SOT855-5
LPC55S28JBD100	HLQFP100	塑料薄型四侧扁平封装；100 引脚；主体尺寸 14 × 14 × 0.5mm（间距）	SOT1570-3
LPC55S26JBD100	HLQFP100	塑料薄型四侧扁平封装；100 引脚；主体尺寸 14 × 14 × 0.5mm（间距）	SOT1570-3
LPC55S28JEV98	VFBGA98	细间距球栅阵列封装；98 引脚；主体尺寸 7' × 7' × 0.5 mm	SOT1982-1
LPC55S26JEV98	VFBGA98	细间距球栅阵列封装；98 引脚；主体尺寸 7' × 7' × 0.5 mm	SOT1982-1
LPC55S28JBD64	HTQFP64	细间距球栅阵列封装；64 引脚；主体尺寸 10 × 10 × 0.5mm（间距）	SOT855-5
LPC55S26JBD64	HTQFP64	细间距球栅阵列封装；64 引脚；主体尺寸 10 × 10 × 0.5mm（间距）	SOT855-5
LPC5528JBD100	HLQFP100	塑料薄型四侧扁平封装；100 引脚；主体尺寸 14 × 14 × 0.5mm（间距）	SOT1570-3
LPC5526JBD100	HLQFP100	塑料薄型四侧扁平封装；100 引脚；主体尺寸 14 × 14 × 0.5mm（间距）	SOT1570-3
LPC5528JEV98	VFBGA98	细间距球栅阵列封装；98 引脚；主体尺寸 7' × 7' × 0.5 mm	SOT1982-1
LPC5526JEV98	VFBGA98	细间距球栅阵列封装；98 引脚；主体尺寸 7' × 7' × 0.5 mm	SOT1982-1
LPC5528JBD64	HTQFP64	细间距球栅阵列封装；64 引脚；主体尺寸 10 × 10 × 0.5mm（间距）	SOT855-5
LPC5526JBD64	HTQFP64	细间距球栅阵列封装；64 引脚；主体尺寸 10 × 10 × 0.5mm（间距）	SOT855-5

## 1.9.1 订购选项

表 2. 订购选项

型号	最大 CPU 频率(MHz)	主内核 (CPU0)	辅助内核(CPU1)	Power Quad	CASPER	闪存/KB	总 SRAM/KB	安全启动	TrustZone	PRINCE	PUF 控制器	HASH-AES	SDIO	USB	GPIO
LPC55S66JBD100	150 <sup>[1]</sup>	是	是	是	是	256	144	是	是	是	是	是	是	FS + HS	64
LPC55S69JBD100	150 <sup>[1]</sup>	是	是	是	是	640	320	是	是	是	是	是	是	FS + HS	64
LPC55S66JEV98	150 <sup>[1]</sup>	是	是	是	是	256	144	是	是	是	是	是	是	FS + HS	64
LPC55S69JEV98	150 <sup>[1]</sup>	是	是	是	是	640	320	是	是	是	是	是	是	FS + HS	64
LPC55S66JBD64	150 <sup>[1]</sup>	是	是	是	是	256	144	是	是	是	是	是	是	FS + HS	36
LPC55S69JBD64	150 <sup>[1]</sup>	是	是	是	是	640	320	是	是	是	是	是	是	FS + HS	36
LPC55S28JBD100	150	是	-	-	是	512	256	是	-	是	是	是	是	FS + HS	64
LPC55S26JBD100	150	是	-	-	是	256	144	是	-	是	是	是	是	FS + HS	64
LPC55S28JEV98	150	是	-	-	是	512	256	是	-	是	是	是	是	FS + HS	64
LPC55S26JEV98	150	是	-	-	是	256	144	是	-	是	是	是	是	FS + HS	64
LPC55S28JBD64	150	是	-	-	是	512	256	是	-	是	是	是	是	FS + HS	36
LPC55S26JBD64	150	是	-	-	是	256	144	是	-	是	是	是	是	FS + HS	36
LPC5528JBD100	150	是	-	-	-	512	256	-	-	-	-	-	是	FS + HS	64
LPC5526JBD100	150	是	-	-	-	256	144	-	-	-	-	-	是	FS + HS	64
LPC5528JEV98	150	是	-	-	-	512	256	-	-	-	-	-	是	FS + HS	64
LPC5526JEV98	150	是	-	-	-	256	144	-	-	-	-	-	是	FS + HS	64
LPC5528JBD64	150	是	-	-	-	512	256	-	-	-	-	-	是	FS + HS	36
LPC5526JBD64	150	是	-	-	-	256	144	-	-	-	-	-	是	FS + HS	36

[1] 器件修订版 1B 的最大 CPU 频率高达 150 MHz。器件修订版 0A 的最大 CPU 频率高达 100 MHz。