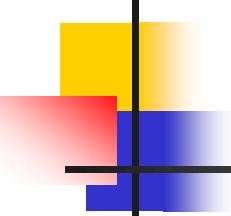


同期回路の設計1

例題5: 2bitアップ・カウンタ回路の記述

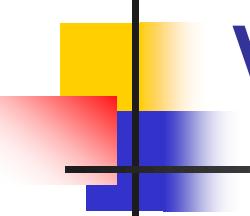
練習5: 3bitアップ・カウンタ回路の

記述・実装



同期回路とは

- FF(フリップ・フロップ、一時記憶回路)
+ 組合せ回路
- ある信号(クロック)の変化する瞬間に
同期して回路が動作する
※ フリップ・フロップ
クロックの立上り(もしくは立下り)時に
入力されているデータを保持する



VHDLによるFFの記述

```
process(CLK, RST)
begin
```

```
    if (RST = '1') then
        Q <= '0';
```

リセット入力があった場合、
保持したデータをクリアする

```
    elsif (CLK'event and CLK = '1') then
        Q <= D;
```

```
    end if;
```

```
end process;
```

クロックの立上り時、
入力Dを保持(出力)する

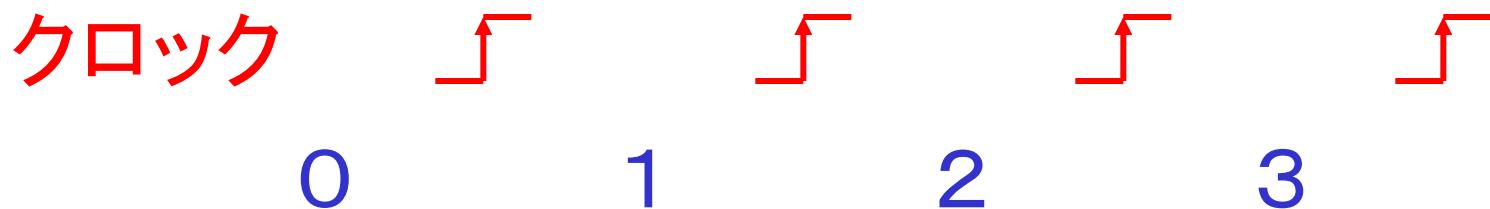
例題5

Counter_2bit.vhd

クロックの立上りに同期して

2bit分(0~3)のカウントを行う

(3の後は0に戻るロータリ・カウンタ)



例題5

architecture部

```
COUNT2 : process(CLK, RST)  
begin
```

```
    if (RST = '1') then  
        cnt_reg <= 0; ] 非同期リセット
```

```
    elsif (CLK'event and CLK = '1') then
```

```
        if (cnt_reg = 3) then
```

```
            cnt_reg <= 0;
```

3→0へ

```
        else
```

```
            cnt_reg <= cnt_reg + 1;
```

カウント

```
        end if;
```

```
    end if;
```

```
end process;
```

同期動作部分

練習5

Counter_Disp(1)

クロックの立上りに同期して3bit分(0~7)の
カウントを行う(7の後は0に戻る)

カウント値を7セグメントLEDに表示する

- 最上位層モジュール

Counter_Disp:上記を実現・組合わせる

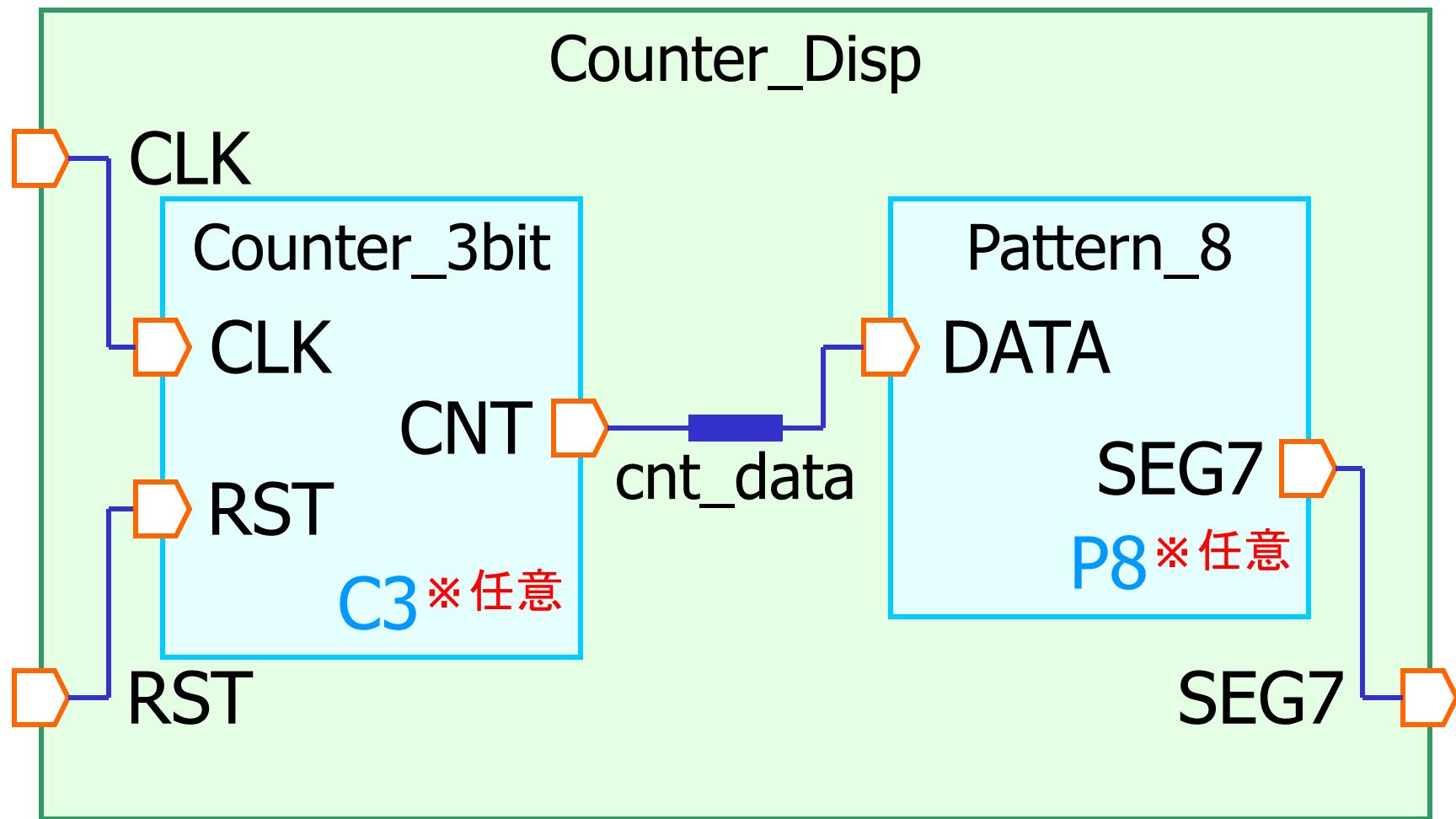
- 下位層モジュール

Counter_3bit:3bit・ループ・カウンタ

Pattern_8:演習4の回路を利用

練習5

Counter_Disp(2)



終

