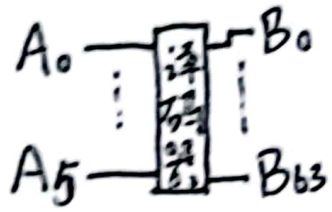
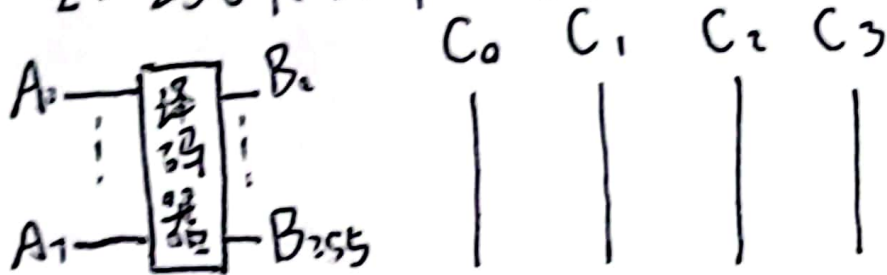


1. (1) $64\text{K} \times 1$: ⁶根地址线, 1根数据线.



1位. 共 64 个存储单元,
64 个存储元.
1 个存储块.

(2) $256\text{K} \times 4$: 8 根地址线; 4 根数据线.



共 $256 \times 4 = 1024$ 个存储单元,
256 个存储元.
1 个存储块.

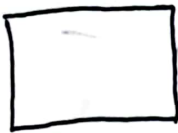
2. ROM实现两个3位二进制数相乘所需容量.

	C_5	C_4	C_3	C_2	C_1	C_0
B_2						
B_1						
B_0						
A_2						
A_1						
A_0						

至少 $6 \times 6 = 36$ 个存储单元.

3.

64



同一行存储单元同时执行刷新.

\therefore 最快: $64 \times 100 \text{ ns} = 6.4 \mu\text{s}$.

存取 集中刷新



整个DRAM的最长刷新周期为 $15.6 \times 64 \mu\text{s}$.

$$\therefore \text{占比: } \frac{6.4}{15.6 \times 64} = 0.641\%$$

4. 片选使能 \overline{CE} 在这儿没什么作用 (仅有一片 SRAM)

\overline{OE} 控制输出, 在本题不需要.

我们仅需保留 \overline{WE} 的功能, 控制读写即可达到存储的目的.

∴

	8	8	
8	00	01	8
8	10	11	8
	8	8	

\overline{CE}	\overline{OE}	写入
0	0	第1块
0	1	第2块
1	0	第3块
1	1	第4块

达到 $8 \times 8 \rightarrow 16 \times 16$ 的目的

∴ 原 SRAM 地址线: $A_7 \dots A_0$

数据线 $B_7 \dots B_0$.

新 $16K \times 16$ 位存储器.

地址线

$$\begin{matrix} C_7 \\ \vdots \\ C_0 \end{matrix} = CE \cap \begin{matrix} A_7 \\ \vdots \\ A_0 \end{matrix}$$

$$\begin{matrix} C_{15} \\ \vdots \\ C_8 \end{matrix} = \overline{CE} \cap \begin{matrix} A_7 \\ \vdots \\ A_0 \end{matrix}$$

数据线

$$\begin{matrix} D_7 \\ \vdots \\ D_0 \end{matrix} = OE \cap \begin{matrix} B_7 \\ \vdots \\ B_0 \end{matrix}$$

$$\begin{matrix} D_{15} \\ \vdots \\ D_8 \end{matrix} = \overline{OE} \cap \begin{matrix} B_7 \\ \vdots \\ B_0 \end{matrix}$$

