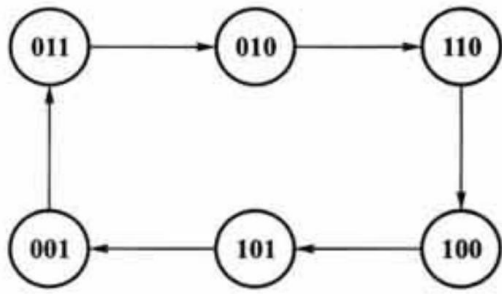


6.3.1 用 JK 触发器设计一同步时序电路,其转换表如表题 6.3.1 所示。

表题 6.3.1

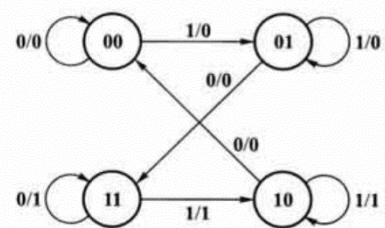
$Q_1^* Q_0^*$	$Q_1^{*+1} Q_0^{*+1} / Y$	
	$A = 0$	$A = 1$
00	01/0	11/0
01	10/0	00/0
10	11/0	01/0
11	00/1	10/1

6.3.2 某同步时序电路的状态图如图题 6.3.2 所示,试写出用 D 触发器设计时的最简激励方程组。



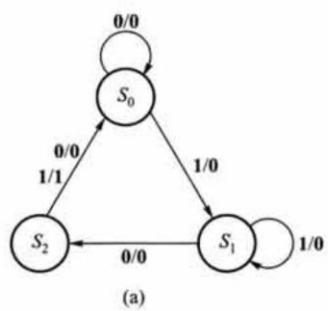
图题 6.3.2

6.3.3 试用上升沿触发的 JK 触发器设计一同步时序电路,其状态图如图题 6.3.3 所示,要求电路使用的门电路最少。



图题 6.3.3

6.3.4 试用下降沿触发的 D 触发器设计一同步时序电路,其状态图如图题 6.3.4(a)所示, S_0 、 S_1 、 S_2 的编码如图题 6.3.4(b)所示。



	Q_0	
	S_0	S_1
Q_1	S_2	\times

(b)