**数字逻辑与部件设计实验报告**

实验十一：数字钟



学生姓名：谢志康

学号：22307110187

日期：2023.11.27

1. 实验内容

掌握分频技术。在 NEXYS4 开发板上设计一个数字钟，显示时、分、秒，BTNC 清零。

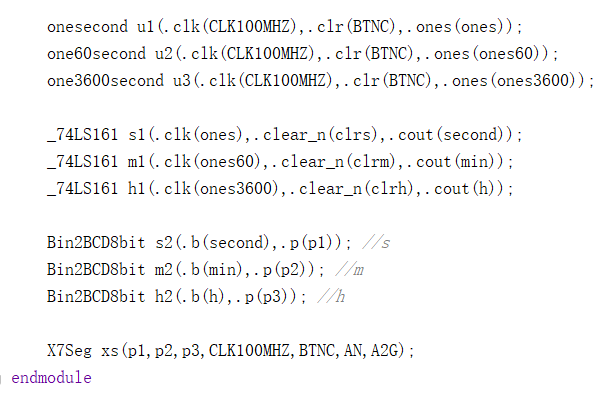
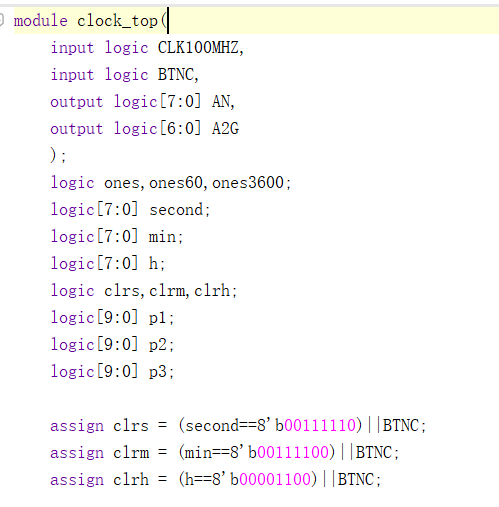


1. 实验方案

首先借助上次实验的分频做出1s，60s，3600s三个时钟信号的代码（其实可以传进位但是也没必要（）做三个时钟复制粘贴一下比较简单），接下来经过以前写过的二进制转十进制，最后再用x7seg在数码管显示即可。

1. 实验分析

顶层逻辑如下：



定义好变量，second, min, h分别计算秒分时的时间。规定好秒分时的clr（走到何处归零，即60s，60min，24h，这里秒的地方有点疑惑我在“总结与思考”中再做详细说明）

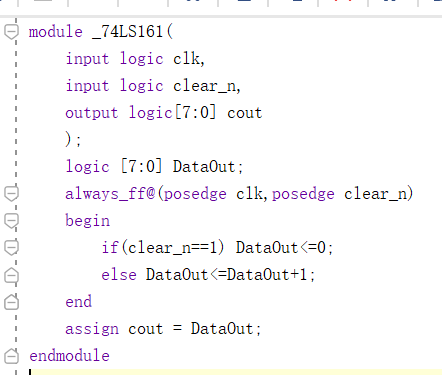
三个时钟1s，60s，3600s的分频，将结果传入（名不符其实的）\_74LS161来实现计数功能，将秒分时转为十进制输出即可。

接下来三个降频，1s的参考老师ppt代码、上次实验的clkdiv都行。

60s发现parameter不够大，搜到发现verilog最大也没36\*10^10，于是另辟蹊径——相当于两重循环，再开一个t来记录count走过的圈数——如果t小于60（count走过小于60圈（60s）），只t++，然后count归零。 3600s降频同理。

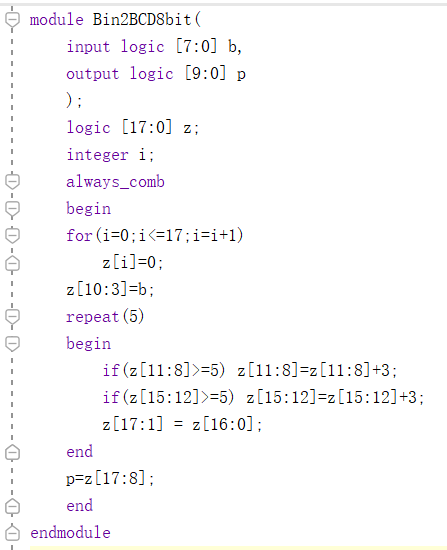


计数器代码如下：

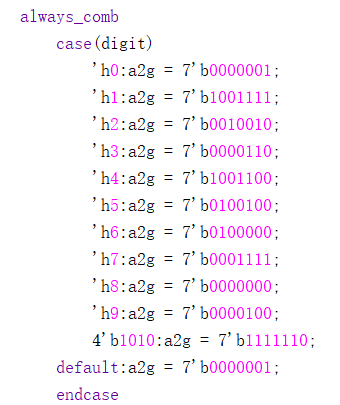
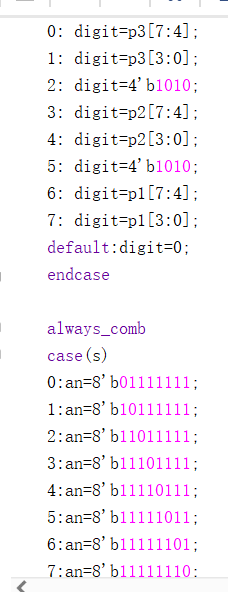


老师ppt是4位（相当于记录一位数字），我这里直接开8位也可以，记录两位数字（秒分时），cout传回当前时间的秒分时数字。（用于之后传入显示）

接下来实现二进制转十进制，借助以前的代码（移位加三算法）实现（最后结果p有10位，我们这里只用得到低8位分别是十进制的个十位）



最后实现简单的底层文件：



X7seg，中间两个分别显示“-”，其余摘录好数字在数码管上显示，注意时钟分频（最开始好久没写给忘了（）只亮一个数字，后来想起来了）。

实验开发板视频见附件。

1. 总结与思考

这次实验比较综合，用到了很多以前的知识如数码管操作和二进制转十进制的算法，好好复习了一下以前的。

中间碰到的许多困难，比如秒向分传值，不过这个想一想应该还是做得出来，不过也没有必要死磕它，多开两个分频也没事。有一个我还是很疑惑，就是秒的clr（走到59归零进位），我发现设置成60它到55就归零了，设置成64它到65归零（），最后我调成62，才发现它在刚好59-60时归零，而分时却没这个问题。我猜测是某处有延时，可能是我的时钟降频那块导致的（其实或许分时也有延时但是太小了看不出来）。最后还是完成了实验。