**数字逻辑与部件设计实验报告**

实验四：闰年计算器



学生姓名： 谢志康

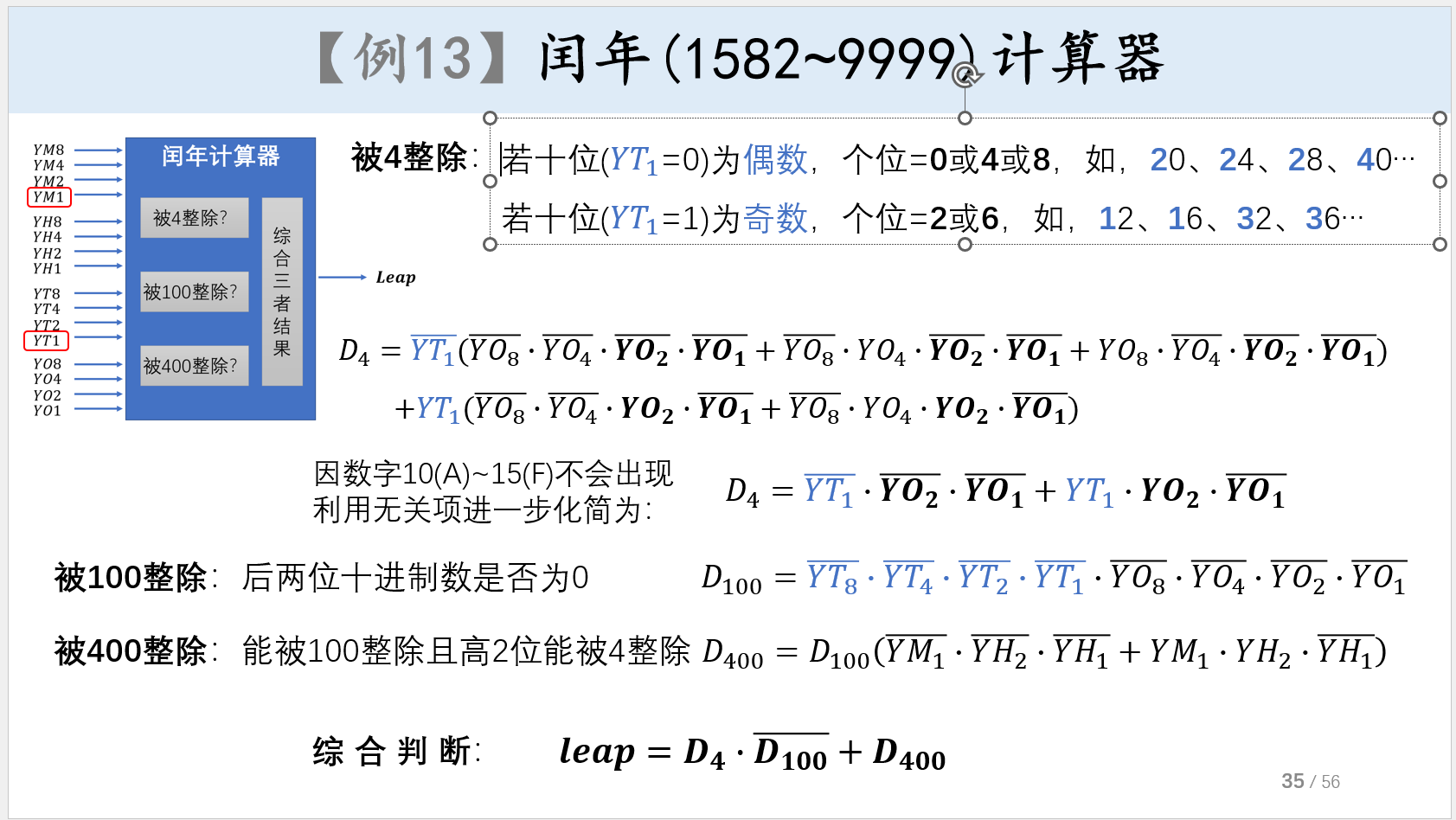
学号：22307110187

日期：2023.9.25

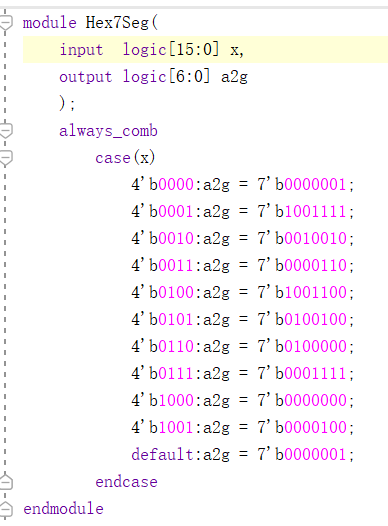
1. 实验内容

1) 采用行为级设计一个闰年计算器， 输入信号：16个SW拨码开关。 输出信号：16个LED灯与SW相对应； 右侧4个七段数码管显示SW的年份数据； 如果为闰年，一个彩灯为绿色；否则，这个彩灯为红色。

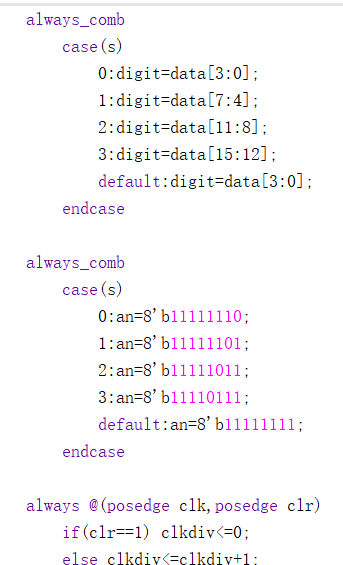
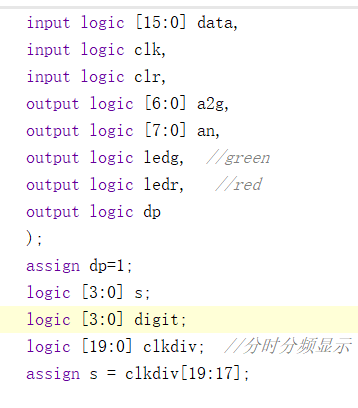
2) 采用课件ppt上的例题公式，重新做上面的题目。



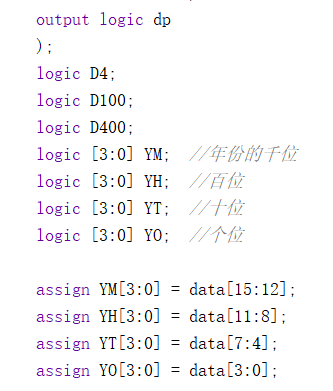
1. 实验方案
2. 第一道题，采用if else 逻辑语句实现：主要根据闰年判定规则实现——1582 年以来的置闰规则： ″ 普通闰年：公历年份是4的倍数，且不是100的倍数的，为闰年（如2004 年、2020年等就是闰年）。 ″ 世纪闰年：公历年份是整百数的，必须是400的倍数才是闰年（如1900 年不是闰年，2000年是闰年）。
3. 第二道题，根据ppt上的布尔运算化简后实现，实际上与第一道题同理。
4. 实验分析
5. 第一道题：我将总的框架还是做的四层嵌套。老师在课上说不要嵌套太多传值太多，我最开始尝试一层顶层文件调用其它三个，发现自己还是逻辑不清，后来还是一层套一层感觉逻辑清晰很多——最底层依旧是Hex7Seg

可以将10（A）-15（F）删去因为用不到

其次，第二层是X7Seg与第二次实验同理：代码如下图

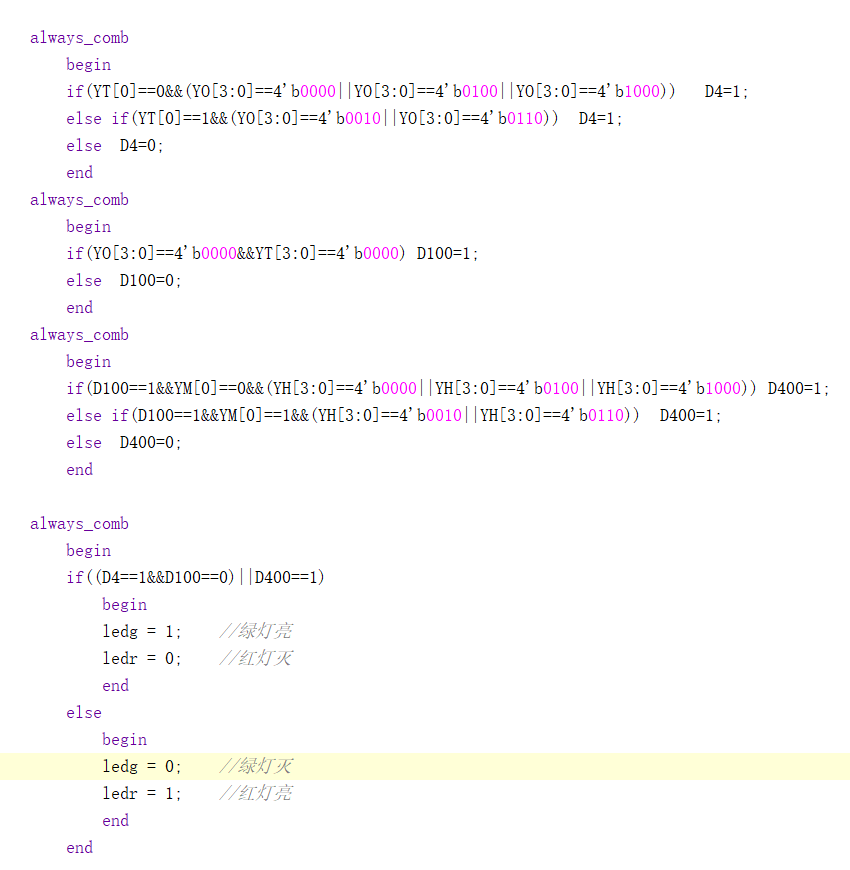


每四个switch开关控制一个数码管，同时，当switch打开时，对应的led亮起。Clk，clr实现分频显示，case（s）中只操作右侧四个数码管，左边四个默认关闭。第三层为主要实现：思路如下：

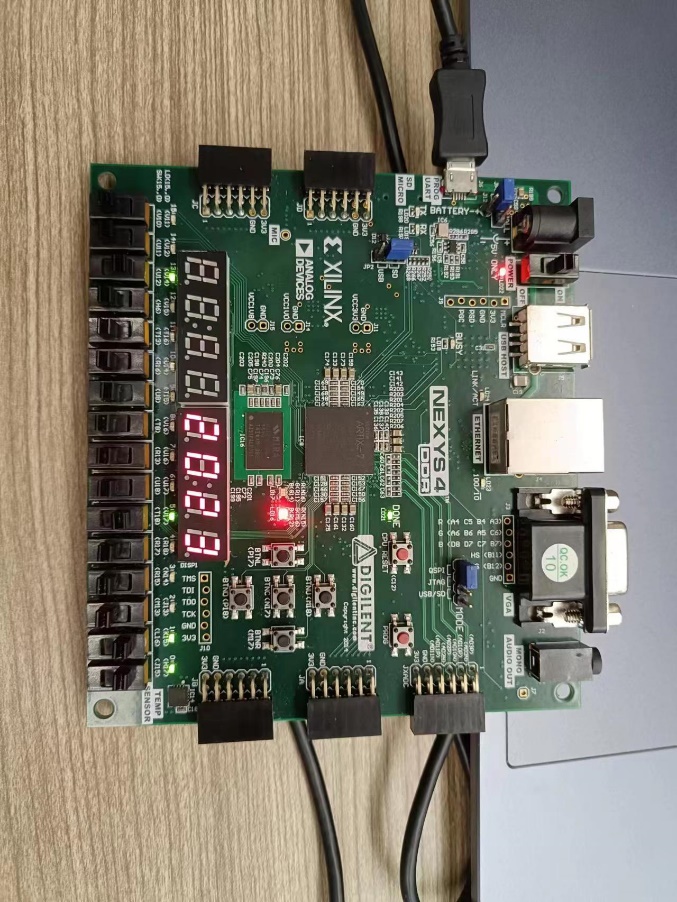


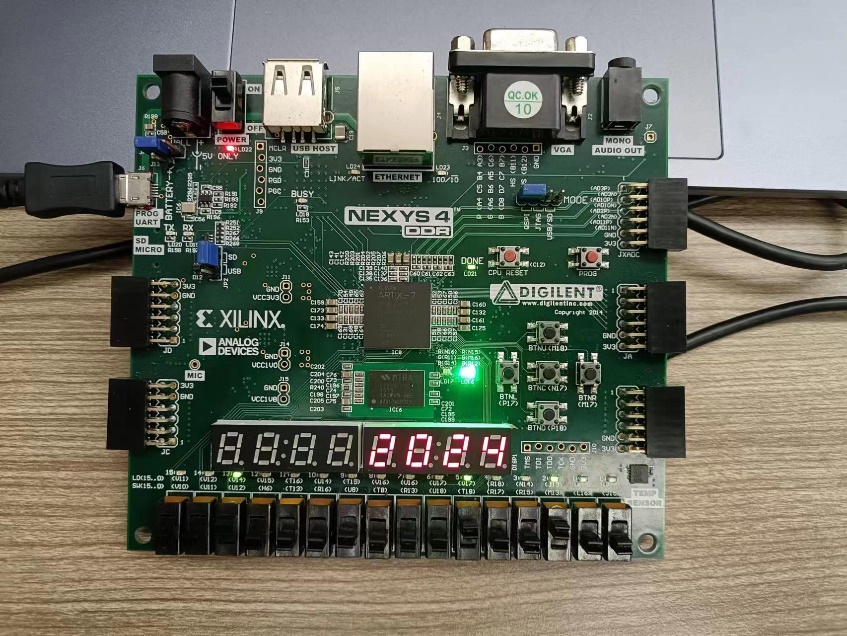
先开四个变量YM，YH，YT，YO，将其值分别赋为data的每四位，data是由sw传值的，也就实现了每个变量表示年份四个数字中的一个数字。

If else实现语句如下：主要逻辑就是根据闰年的判定规则。

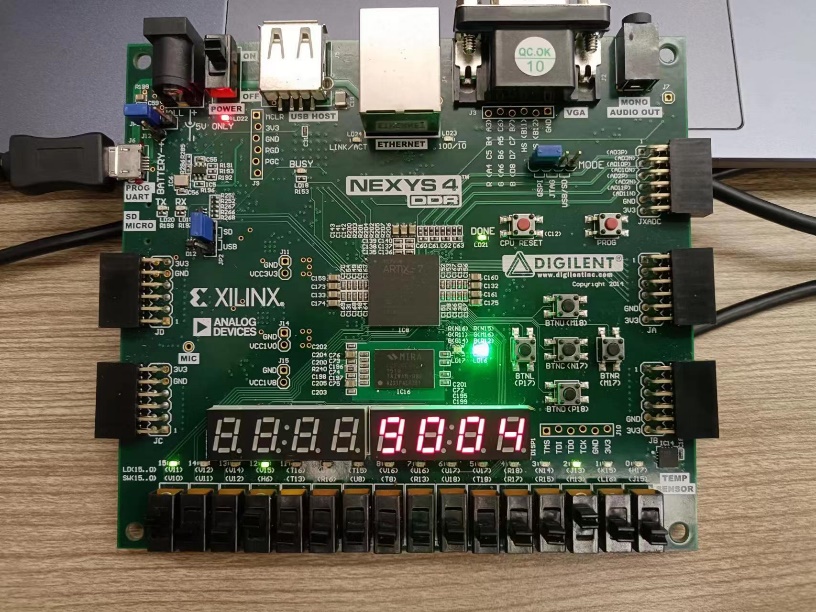


开发板图片如下：

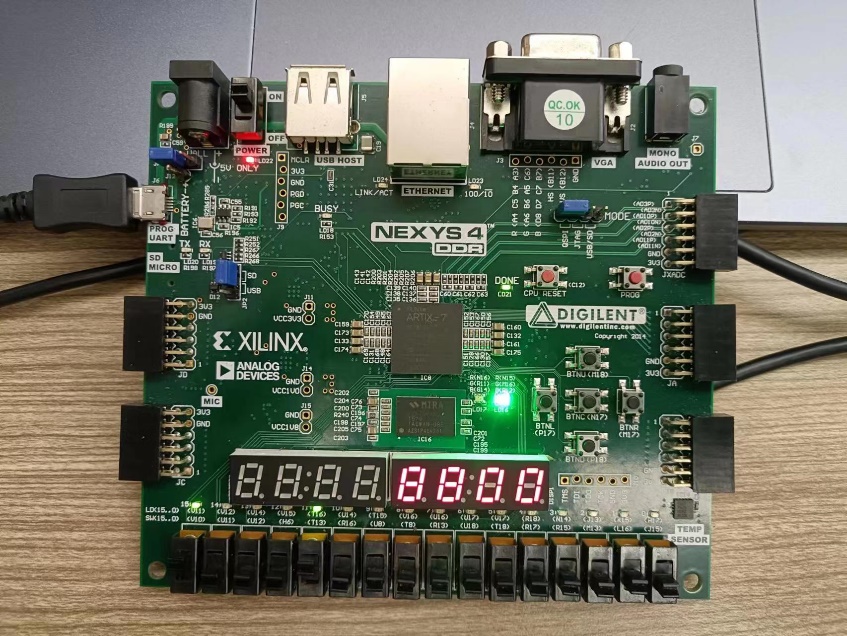
2023非闰年，红灯



2024不被100整除同时被4整除，是闰年，绿灯

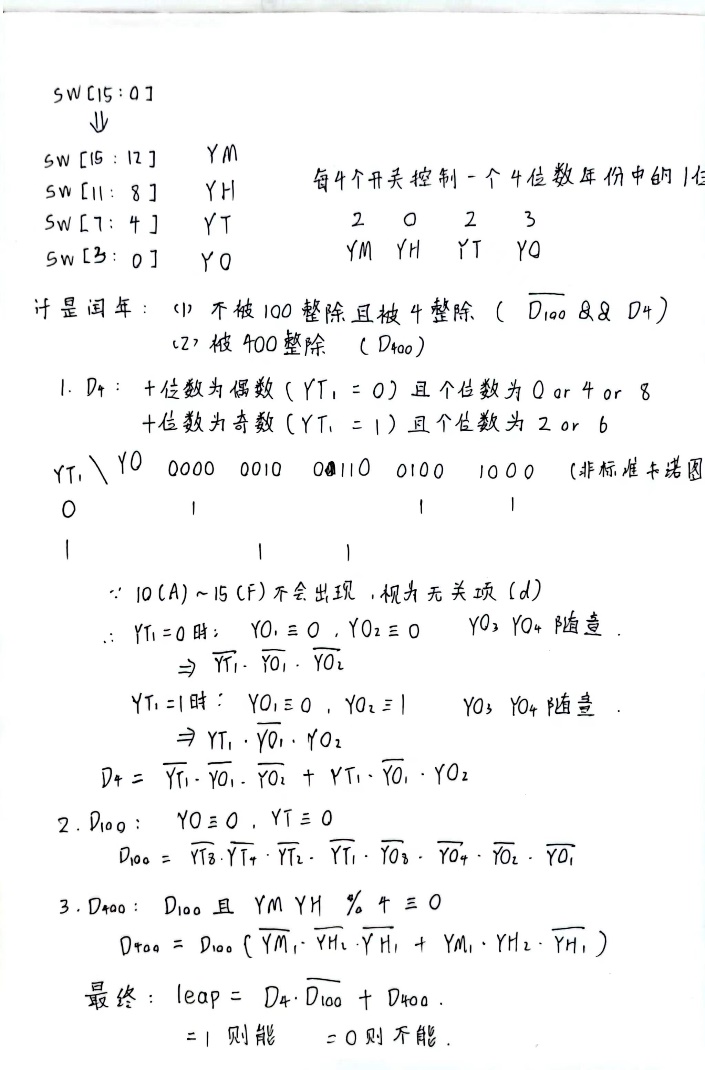


9004不被100整除同时被4整除，是闰年，绿灯

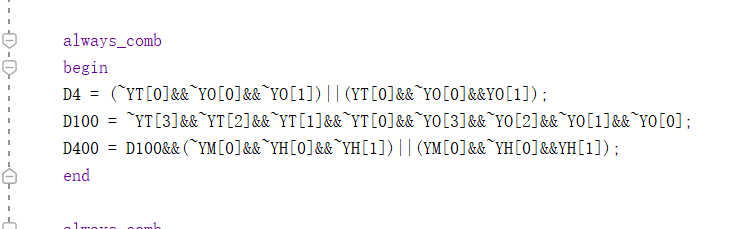


8800被400整除，是闰年，绿灯

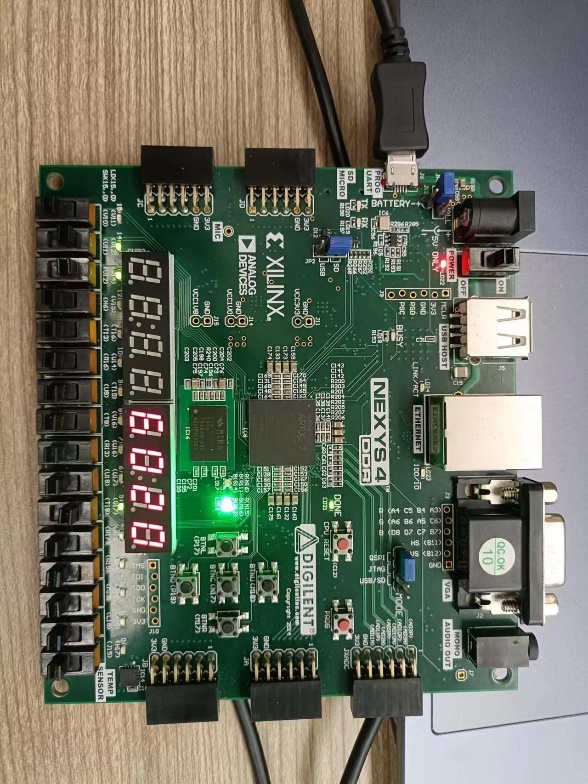
1. 第二大题，采用ppt上的布尔表达式化简后的逻辑实现，逻辑分析如下：



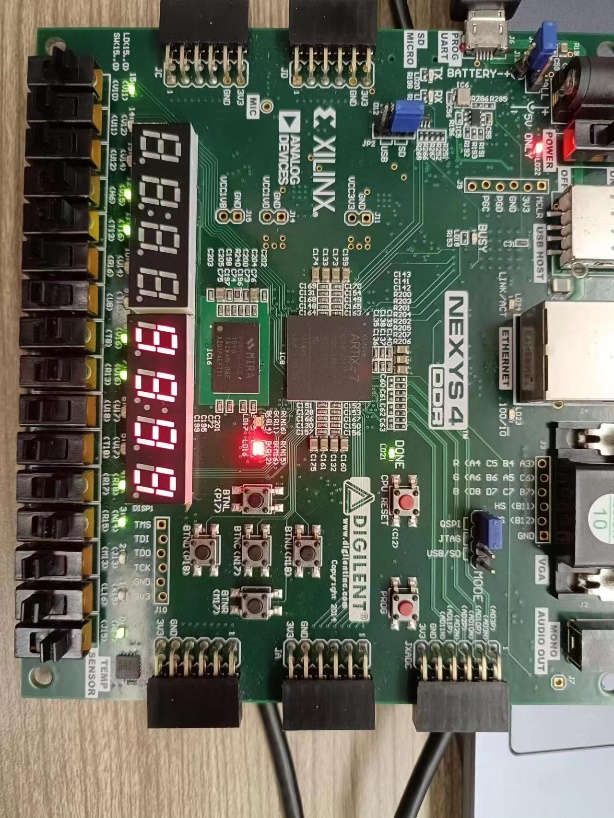
实现代码如下：这个逻辑清晰且十分简便



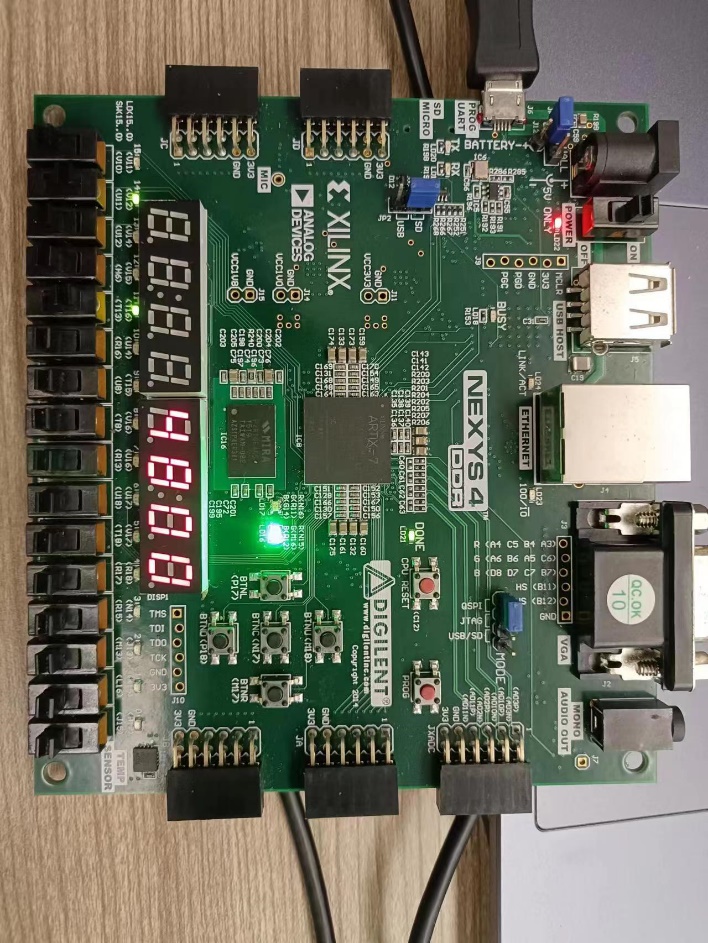
开发板图片如下：



6020被4整除不被100整除，是闰年，绿色



9999不是闰年，红色（题目最大可测年份）



4800被400整除，是闰年，绿色

四、总结与思考

这次实验也比较综合，前几次实验的内容都有用到，但难度不大，总共耗时3h左右，完全实现了所有功能。使我对行为级设计方法有了一个初步的理解。同时，if else语句的使用，我对自己进行组合逻辑设计与在Verilog中设计之间的区别有了一个更深的理解。最开始有一点小卡壳：在ledred和ledgreen那里，我写assign，这样子就无法把后续判定的值赋给这俩变量导致没有功能，然后：最开始忘记了没有写clr分频显示，导致一直只亮一个灯，后面好好复习了第二节课的实验内容，也比较顺利的完成了。