实验: 单周期 CPU lab2

实验人:谢志康 学号:22307110187 日期:2024.3.19

代码架构建立在 lab1 的基础上,仅新增了 Fetch 模块,并且修改了部分 Control.sv 和 MEM.sv 内容,其它部分基本不变,并将整个代码框架与测试环境相接来测试 CPU 运行状态。每个模块的接口功能以及 CPU 总流程图均与 lab1 所交实验报告中介绍相同。

解决内存访问冲突的总思路:利用 stall, stall_next_ibus, stall_this_dbus 三个使能来控制 PC。

stall_next_ibus: 当前指令执行阶段,判断下一条指令是否已经从内存中读取出来。stall_this_dbus: 当前指令执行阶段,判断访存操作是否已经完成。

stall = stall_next_ibus | stall_this_dbus

由于访存操作(主要是 MEM、FETCH 中涉及)需要多个周期,因此依靠这两个 stall 作为使能来控制 PC,只要有一个还没结束就把 PC 按在原地空转,没法把下一条指令取出来。

简述每个具有 stall 的模块的执行逻辑——

Fetch. sv: 取指,并依靠这个模块更新 ibus 总线的 iresp、ireq 信息。

NPC 模块计算完后给出的下个 pc 值还是直接赋给 ireq 地址就行,若被 stall, PC 会空转, NPC 不会继续往前更新。

若当前指令有访存操作,且未完成,则 stall_this_dbus 会被设为 1, ireq. valid 应置为无效, vice versa。(每个 CPU 周期从取指开始,把指令取出来之后经过一系列组合逻辑去译码,译码后如果发现有访存操作的话就需要把取指的 ireq. valid 先变成 0, 按住不让直接取下一条指令,然后等访存结束之后再重新把 ireq. valid 置成 1,等待下一条指令被取出,开始下一个 CPU 周期)

指令响应中,若 data 或 addr 任意一个没有准备好,都不应该访存取出下一个指令,否则会导致冲突,依靠 stall_next_ibus 来阻塞,将其置 1,不让取下一条指令。

PC. sv: 当 CPU 运行时若 stall 为 1,则表示之前的操作还没有执行完,这个时候 PC 不能再往后更新了,则在 PC 模块中设置让 PC 空转一段时间(PC<=PC),直到 stall 为 0,也即之前的操作全部做完,并且在时钟上升沿时,再将 PC 更新为 NPC 模块给出的下一个值。

(补充说一下: labl 交上去的代码 sext 中 u 型指令扩展错了不好意思……已经改正)

RegFile. sv: 传入 stall 信号,起阻塞作用,若 stall 为 1,则不对 Reg 执行写入操作,保持 regfile 的值不改变。

MEM. sv: 总线 dreq 的 data 和 addr 直接写入更新即可。若当前 CPU 周期解析的指令有访存操作,则在 control 模块中 dbus_wre 会被置为 1 表示读写内存使能,同时,当这个访存操作未完成时,dreq. valid 持续拉高,stall_this_dbus 被置为 1,表示当前指令执行阶段访存操作还未完成,CPU 应该空转一段时间等它完成。

Test-lab1 运行截图:

Test-lab2 运行截图: