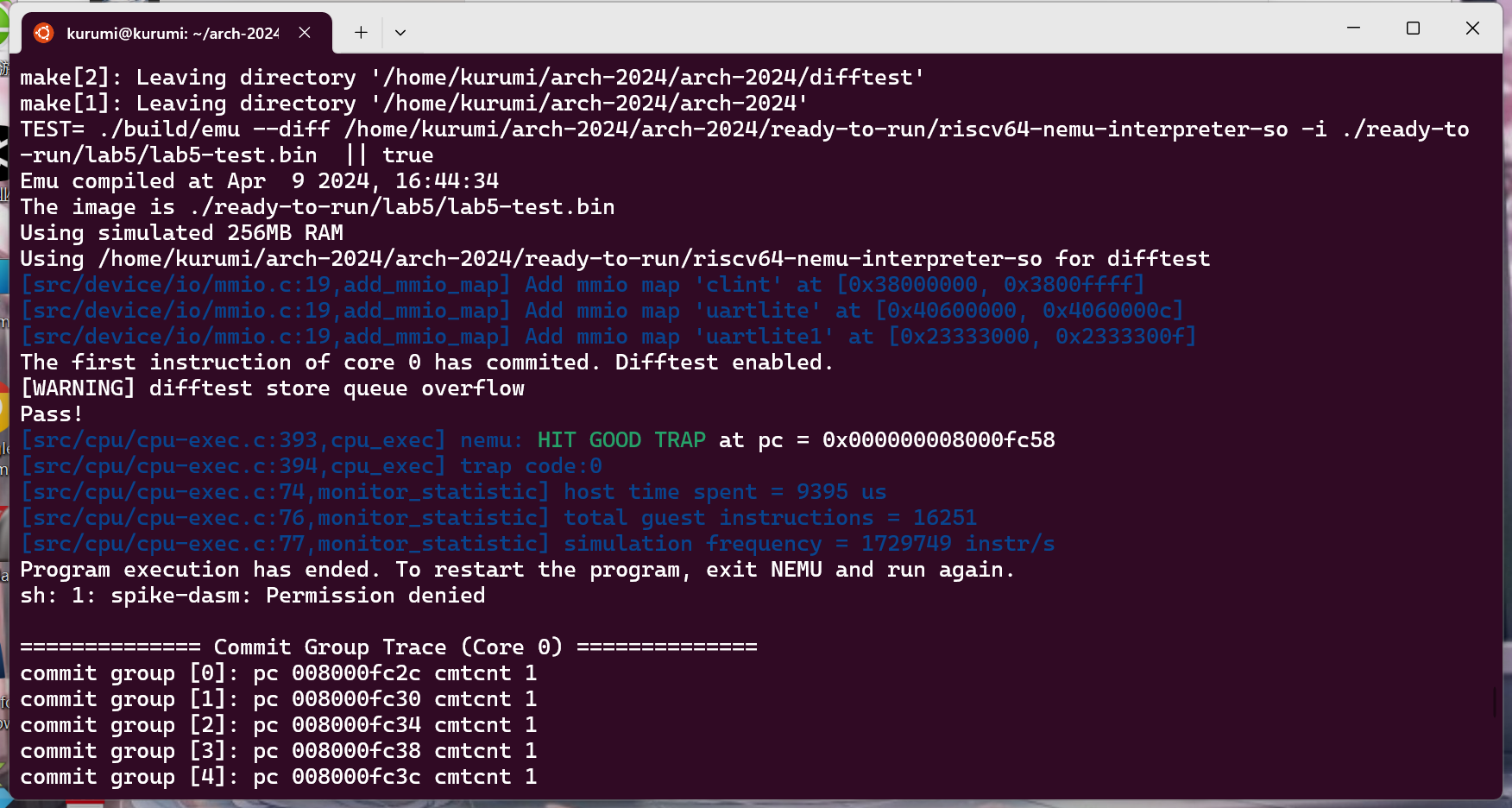
实验名称：CPU lab5

实验人：谢志康

学号：22307110187

实验时间：2024.4.9

Pass截图



计算模块：本次加了divw和mulw等word指令，其实和前面做的div，mul差不多。根据多周期原理和指令手册对应写即可。Divw等4个指令，我开了个新的divw模块，就是大体上将div模块分64个周期算改为32个周期算，没算完把cpu给stall住即可。Mulw模块直接在mul模块后面加，把结果低32位符号扩展即可。

遇到几个问题：1.特判问题，有的除0，除64’bf这种，各种奇怪的特殊情况，就是一个一个加特判解决的，具体我代码中特判部分有部分有标出在哪一条指令导致我加的特判。2.模块冲突问题，在我lab5跑到很后面的时候还突然div错了一个，很难理解，在谭学长的帮助下发现是前面count没有置0。就是在div上两条有个divw，count要到32才算算完嘛（分32个周期），然后我原本div模块count不为0就开始算div中的数了，导致到div的时候count并不是为0，就是没有完整算64个周期。后面加上不是div四个指令的时候div模块中count<=0，divw同理。3. 有点难理解的是阻塞与非阻塞赋值，mul模块我用非阻塞过不了，阻塞就对了。助教说想清楚组合逻辑还是上升沿逻辑。

内存模块：和前面访存操作基本同理，了解strobe的用法即可，根据地址的低三位设置offset将data写到正确地方。Load操作和lab2那个同理，没搞完（data\_ok）把cpu给stall住即可。