实验名称：计组lab7

实验人：谢志康

学号：22307110187

实验时间：24.5.17

目前使用单周期CPU完成了测试all-test-rv64im，verilator仿真，并且vivado上板通过。

Skip接入：assign skip = dbus\_wre && ~addr\_in[31];

其余就是之前的单周期CPU没有改动。

首先在verilator通过了all-test，其次按照教学视频上vivado跑仿真，奇慢无比，过了random-test我就停了，然后烧录上板，像群里说的一样把自己文件的warning全部解决了就好了。









