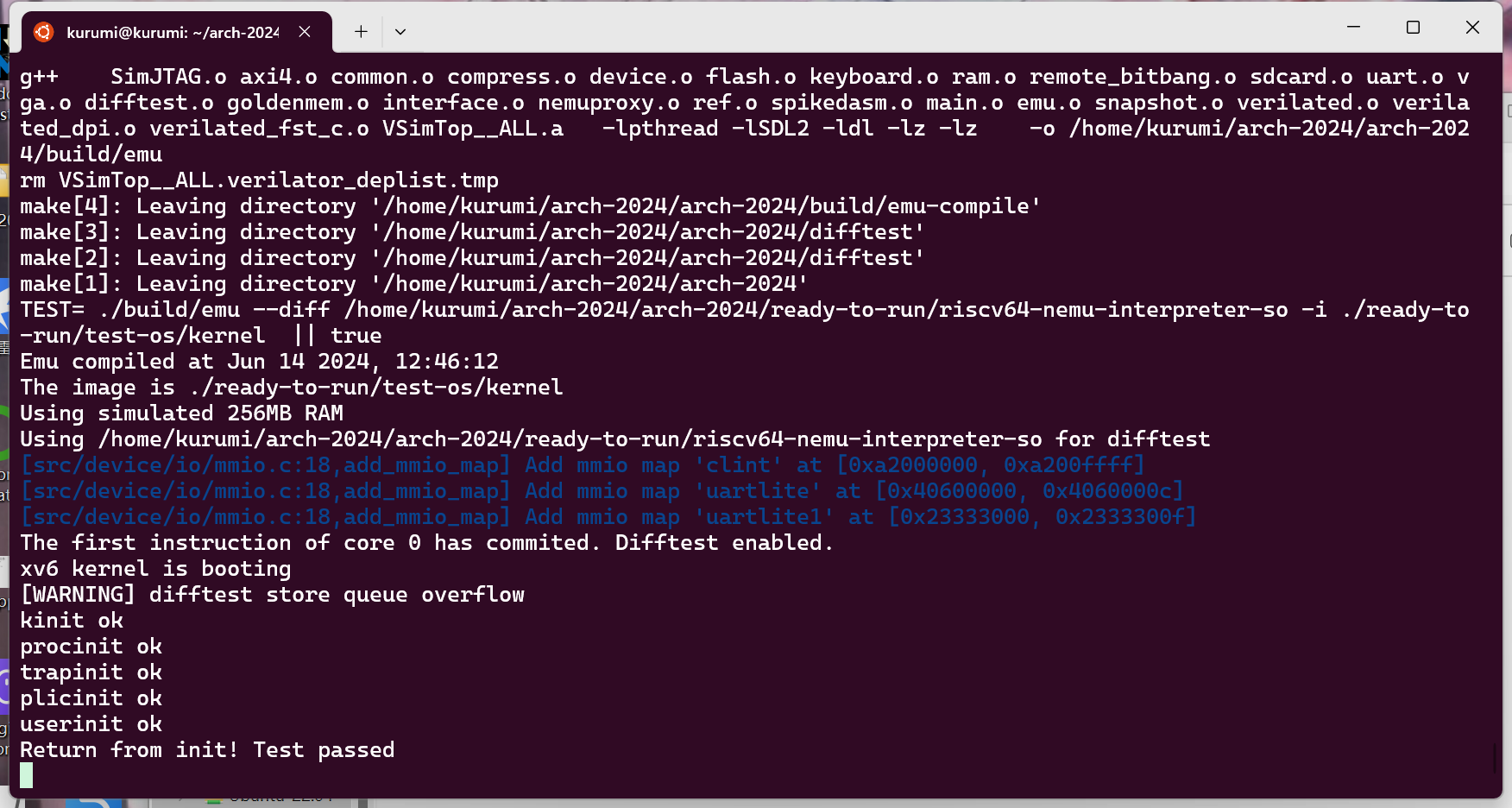
完成csr和实虚地址翻译相关实验：

新增alu\_csr模块



完成测试中的CSRRW和CSRRS相关指令，其余判为invalid指令，还有mret和ecall。

Csr寄存器实现逻辑和之前regfile一样，next周期和当前周期两块，提交next，模块内非阻塞传递更新，计算结果csr\_c和next周期写回csr寄存器阻塞更新。逻辑是比较简单，csrrw就是a+b，csrrs就是a|b。根据instr高12位控制写回的寄存器。

Mret和ecall的逻辑完全跟着gitlab的教学实现。

实虚地址翻译问题，在mem里新加两个阶段，如果判断要翻译实虚地址，则进入这两个阶段，继续把cpu给stall住，翻译完三次后才取出最终地址。翻译逻辑完全按谭学长的提示实现。

整体逻辑其实是简单的，就是代码实现上和debug真的麻烦……实虚地址最开始一直只翻译一次就提交了也不知道为什么，后面发现好像其实已经跑到7ffff008的位置，是因为没有实现ecall逻辑导致报错，一直说out of range，但是报错又没有告诉前面mret其实过了，也没有给当前正确值……看波形图看了好久最后发现问题。

这次lab思路整体上还行，就是比较耗时。