



Министерство науки и высшего образования Российской Федерации
Федеральное государственное бюджетное образовательное учреждение
высшего образования
«Московский государственный технический университет
имени Н.Э. Баумана
(национальный исследовательский университет)»
(МГТУ им. Н.Э. Баумана)

ФАКУЛЬТЕТ ИНФОРМАТИКА И СИСТЕМЫ УПРАВЛЕНИЯ

КАФЕДРА ПРОГРАММНОЕ ОБЕСПЕЧЕНИЕ ЭВМ И ИНФОРМАЦИОННЫЕ
ТЕХНОЛОГИИ

О Т Ч Е Т

по лабораторной работе № 1

Название: Проектирование систем на кристалле на основе
ПЛИС

Дисциплина: Архитектура ЭВМ

Студент	ИУ7 - 51Б			Кузнецова А. В.
	(Группа)		(Подпись, дата)	(И.О. Фамилия)
Преподаватель				
			(Подпись, дата)	(И.О. Фамилия)

Москва, 2022 г.

Цель работы - Изучение основ построения микропроцессорных систем на ПЛИС. В ходе работы студенты ознакомятся с принципами построения систем на кристалле (СНК) на основе ПЛИС, получат навыки проектирования СНК в САПР Altera Quartus II, выполнят проектирование и верификацию системы с использованием отладочного комплекта Altera DE1Board.

Функциональная схема разрабатываемой системы на кристалле

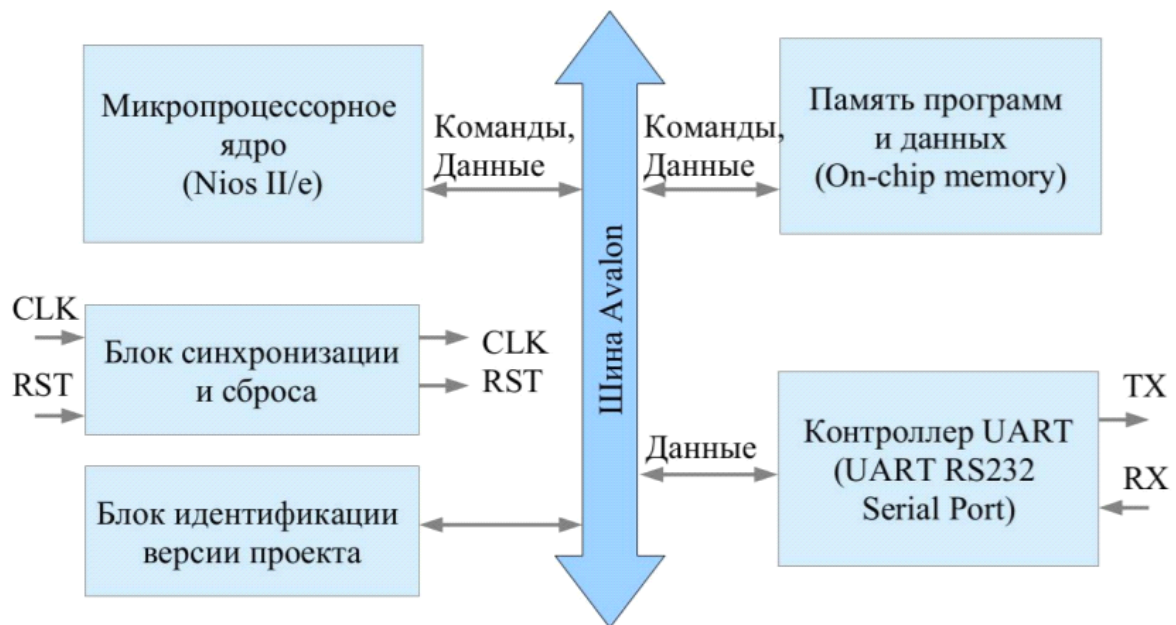


Рисунок 1 - функциональная схема разрабатываемой системы на кристалле

Система на кристалле состоит из следующих блоков:

Микропроцессорное ядро Nios II/e выполняет функции управления системой.

Внутренняя оперативная память СНК, используемая для хранения программы управления и данных.

Системная шина Avalon обеспечивает связность всех компонентов системы.

Блок синхронизации и сброса обеспечивает обработку входных сигналов сброса и синхронизации и распределение их в системе. Внутренний сигнал сброса синхронизирован и имеет необходимую для системы длительность. Блок идентификации версии проекта обеспечивает хранение и выдачу уникального идентификатора версии, который используется программой управления при инициализации системы.

Контроллер UART обеспечивает прием и передачу информации по интерфейсу RS232

Задание 1

Создание проекта в САПР Quartus II.

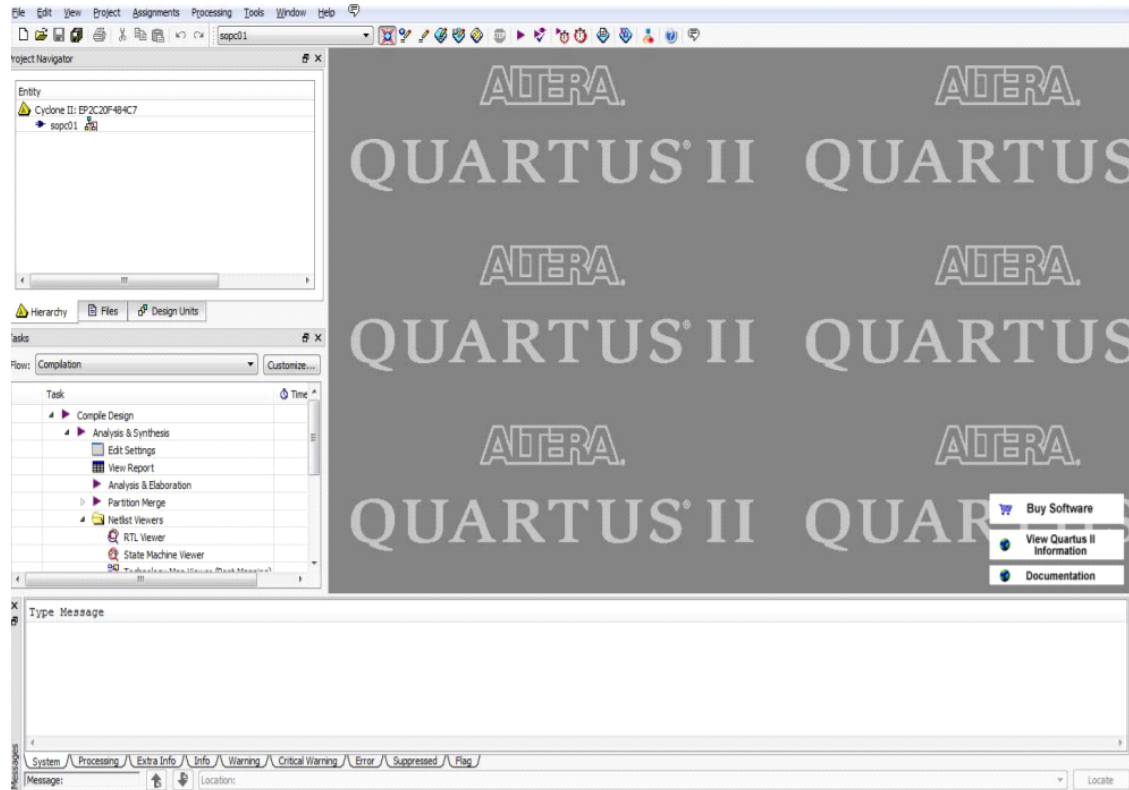


Рисунок 2 - настройка проекта

Задание 2

Создание нового модуля системы на кристалле QSYS.

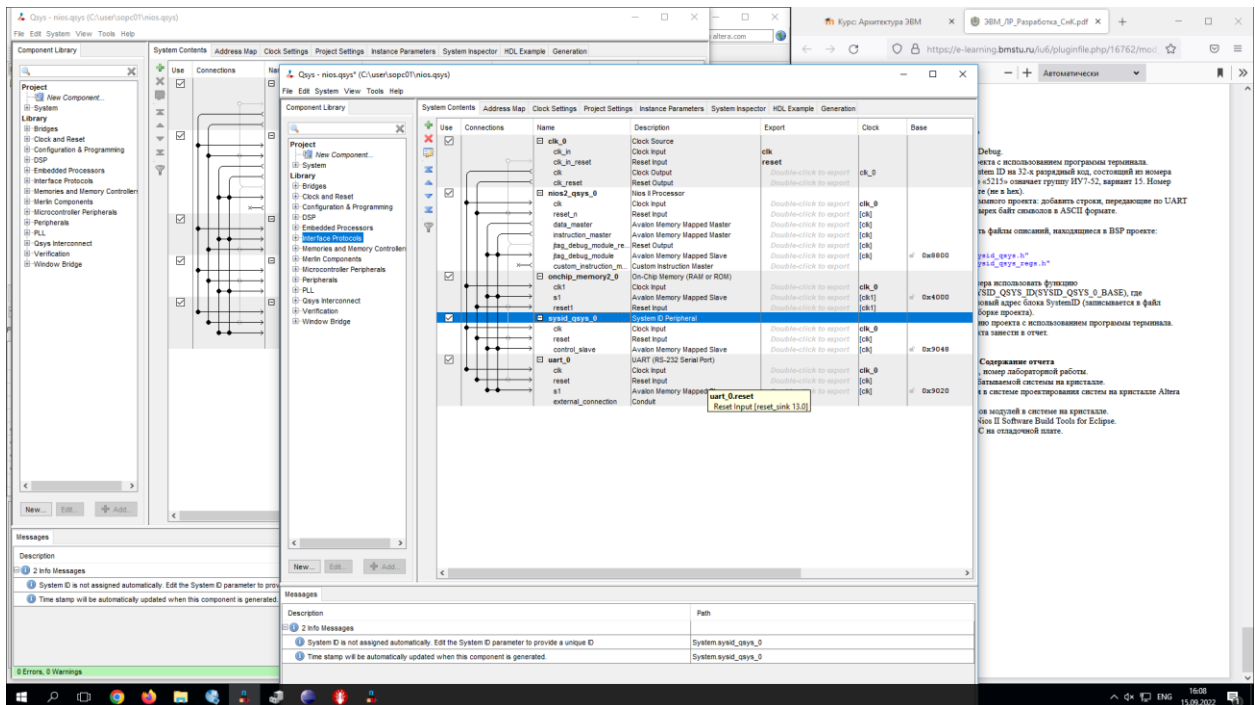


Рисунок 3 - Модуль QSYS после назначения базовых адресов.

Задание 3

Добавить модуль c:\user\sopc01\nios.qsys в проект socp01.

Задание 4

Назначить модуль nios.qsys в качестве модуля верхнего уровня.

Задание 5

Выполнить синтез проекта.

Задание 6

Назначить портам проекта контакты микросхемы.

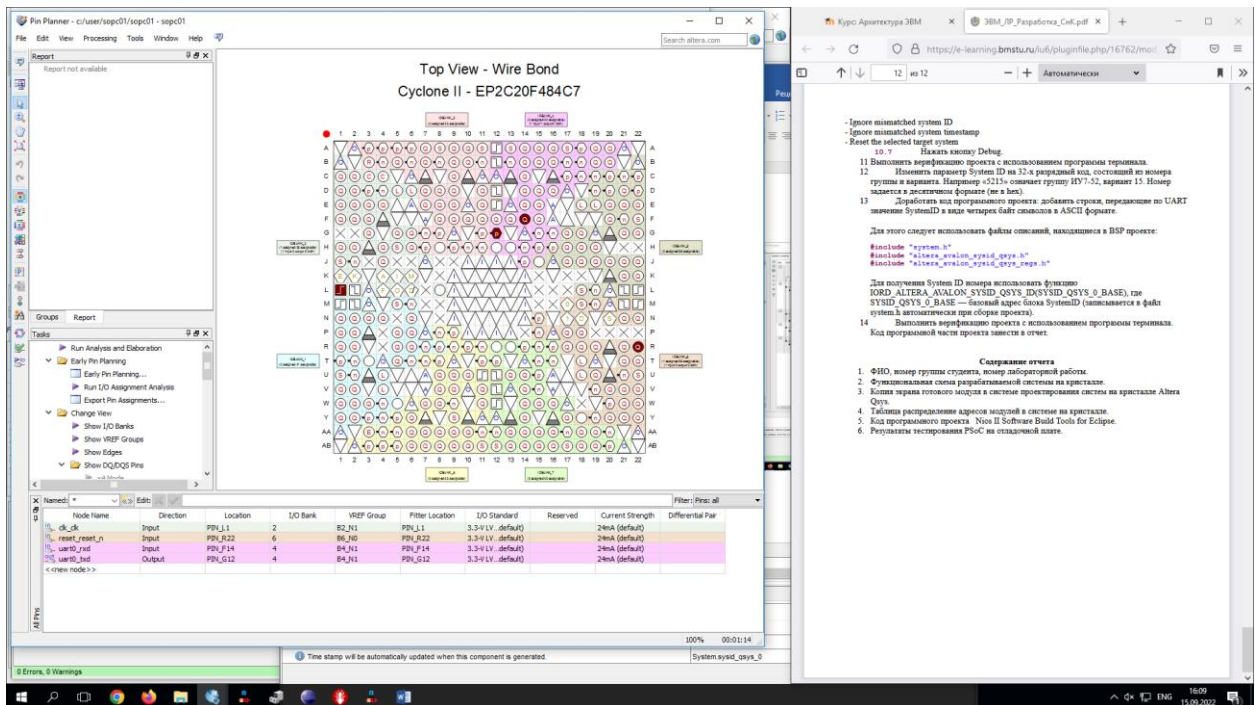


Рисунок 4 - Модуль Pin planner

Задание 7

Выполнить синтез проекта.

Задание 8

Создать программный проект Nios2.

Файл hello:

```
#include "sys/alt_stdio.h"

int main()
{
    char ch;
    alt_putstr("Hello from System on Chip\n");
    alt_putstr("Send any character\n");
    /* Event loop never exits. */
    while (1) {
        ch=alt_getchar();
        alt_putchar(ch);
    }
    return 0;
}
```

Задание 9

Выполнить прошивку проекта в ПЛИС.

Задание 10

Выполнить загрузку тестового программного проекта hello в ПЛИС с использованием Nios II Software Build Tools for Eclipse.

Задание 11

Выполнить верификацию проекта с использованием программы терминала.

Задание 12

Изменить параметр System ID на 32-х разрядный код, состоящий из номера группы и варианта.

Задание 13

Доработать код программного проекта: добавить строки, передающие по UART значение SystemID в виде четырех байт символов в ASCII формате.

Для этого следует использовать файлы описаний, находящиеся в BSP проекте:

```
#include "system.h"
#include "altera_avalon_sysid_qsys.h"
#include "altera_avalon_sysid_qsys_regs.h"
```

Для получения System ID номера использовать функцию
IORD_ALTERA_AVALON_SYSID_QSYS_ID(SYSID_QSYS_0_BASE),
где
SYSID_QSYS_0_BASE — базовый адрес блока SystemID
(записывается в файл
system.h автоматически при сборке проекта).

```
#include "sys/alt_stdio.h"
#include "system.h"
#include "altera_avalon_sysid_qsys.h"
#include "altera_avalon_sysid_qsys_regs.h"
```


Вывод

В ходе выполнения лабораторной работы были изучены основы построения микропроцессорных систем на ПЛИС, принципы построения систем на кристалле (СНК) на основе ПЛИС, получены навыки проектирования СНК в САПР Altera Quartus II, выполы проектирование и верификацию системы с использованием отладочного комплекта Altera DE1Board.