Московский Авиационный институт

(национальный исследовательский университет)

Институт №7 «Робототехнические и интеллектуальные системы»

Кафедра 702 «Системы приводов авиационно-космической техники»

**Отчет по Лабораторной работе №1**

**по курсу «Аналоговые, дискретные и микропроцессорные устройства систем приводов»**

**Вариант 4**

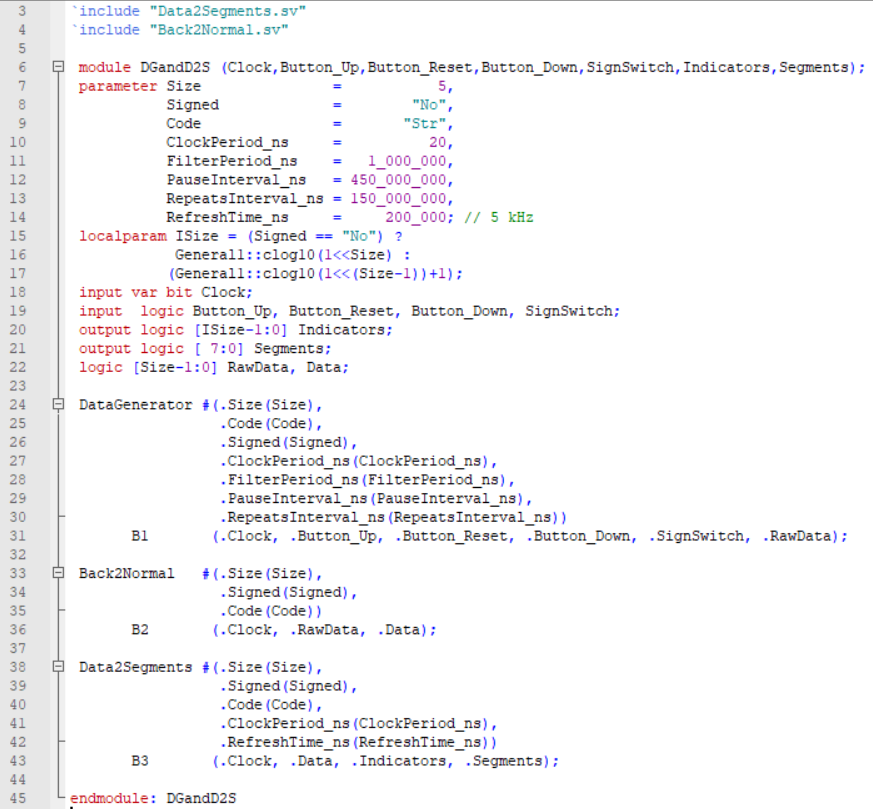
Выполнил студент гр.7О-404С-17:

Ковальджи К. В.

Проверил д.т.н., профессор каф.702:

Кривилёв А.В.

Москва 2021

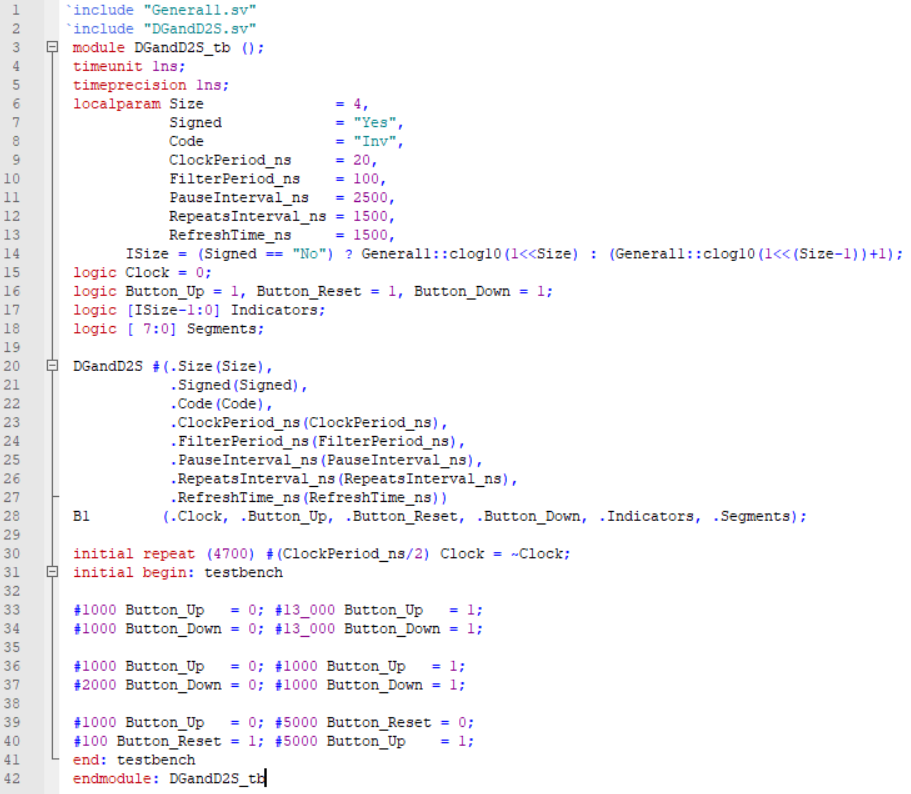


Описание главного модуля DGandD2s на SystemVerilog. В модуле присваиваются значения основным параметрам.

Создается экземпляр модуля DataGenerator, в который передаются значения параметров, а также тактовый сигнал Clock и сигналы, получаемые с четырёх кнопок. Модуль DataGenerator возвращает сигнал RawData, содержащий в себе сформированное значение в двоичном коде (прямом, обратном или дополнительном, в зависимости от значения параметра Code).

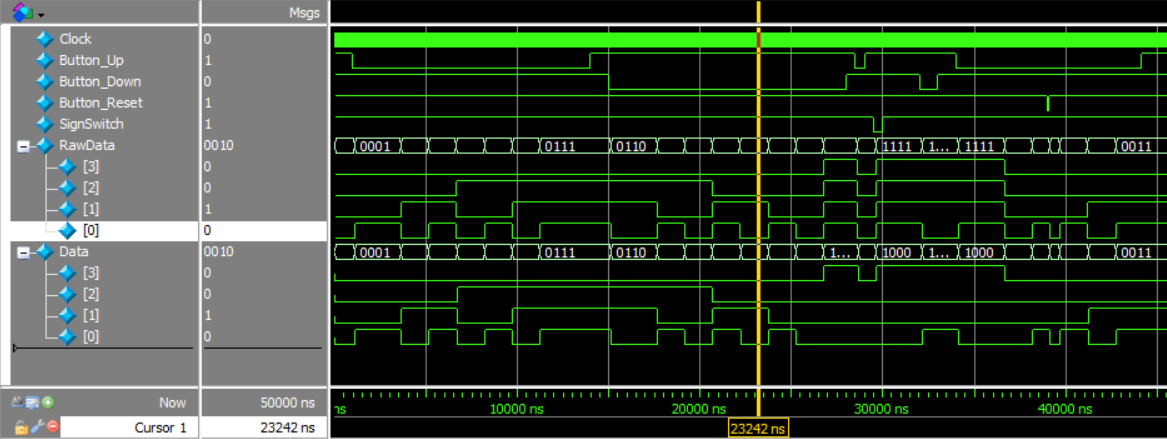
Происходит создание экземпляра модуля Back2Normal, в который передаются значения параметров, а также тактовый сигнал Clock, и сигнал RawData. Модуль возвращает сигнал Data, содержащий в себе сформированное значение в прямом двоичном коде.

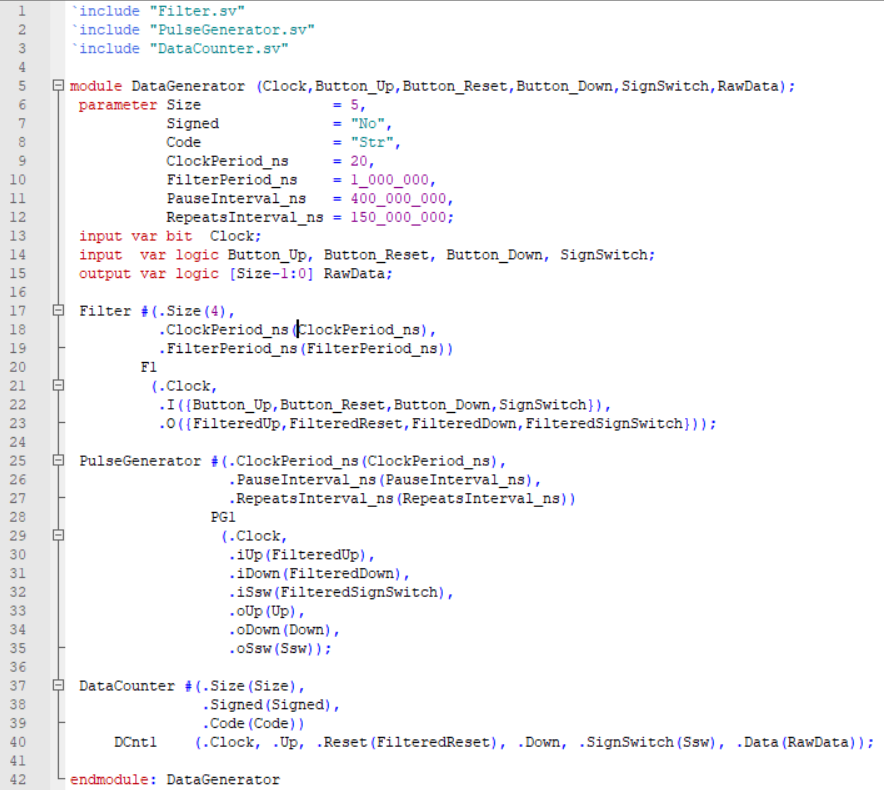
Создается экземпляр модуля Data2Segments, в который передаются значения параметров, а также тактовый сигнал Clock и сигнал Data. Модуль возвращает сигналы для отображения полученных данных на восьмисегментных индикаторах.



Испытательный стенд на SystemVerilog

Результаты моделирования в окне “Wave”



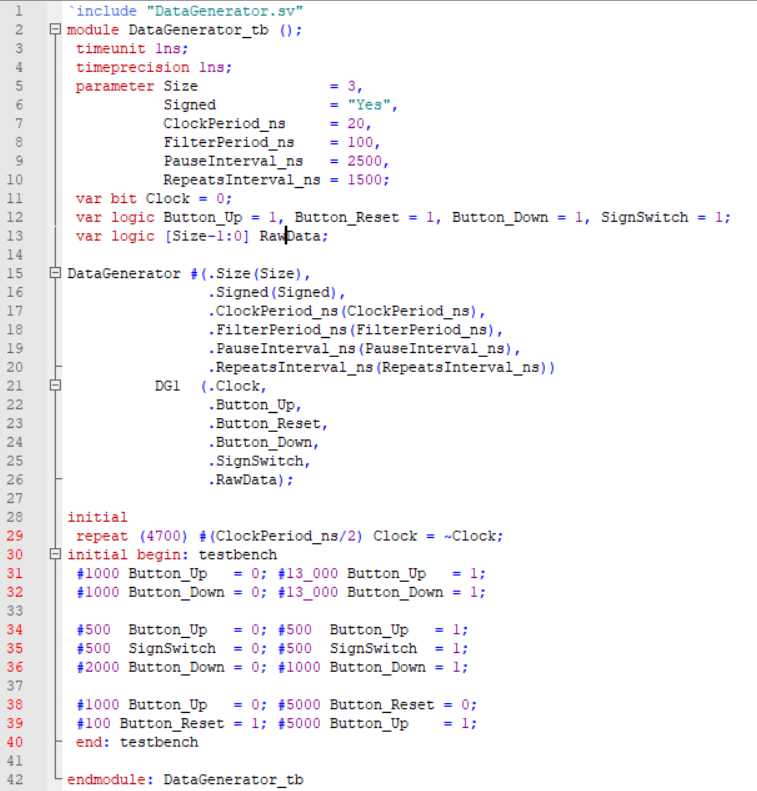


Описание модуля DataGenerator на SystemVerilog.

Создается экземпляр модуля Filter, в который передаются значения параметров, а также тактовый сигнал Clock и сигналы, получаемые с четырёх кнопок. Модуль Filter возвращает сигналы с кнопок, не содержащие дребезга, возникающего в момент нажатия и отпускания кнопок.

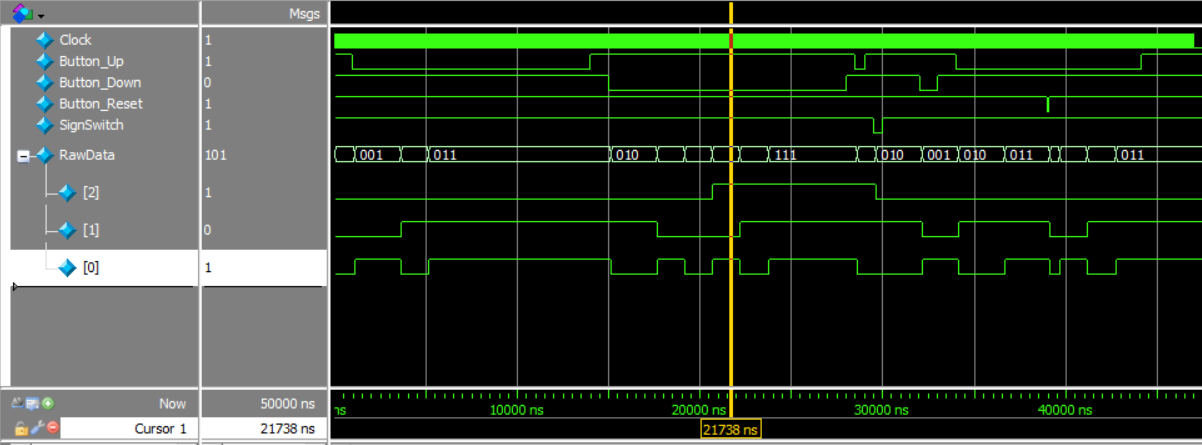
Происходит создание экземпляра модуля PulseGenerator, в который передаются значения параметров, а также тактовый сигнал Clock, и сигналы с кнопок, уже не содержащие дребезга, возникающего в момент нажатия и отпускания. Модуль возвращает сигналы, соответствующие однократному нажатию или нажатию с удержанием.

Создается экземпляр модуля DataCounter, в который передаются значения параметров, а также тактовый сигнал Clock и заранее обработанные сигналы с четырёх кнопок. Модуль возвращает сигнал RawData, содержащий в себе сформированное значение в двоичном коде (прямом, обратном или дополнительном, в зависимости от значения параметра Code).



Испытательный стенд на SystemVerilog

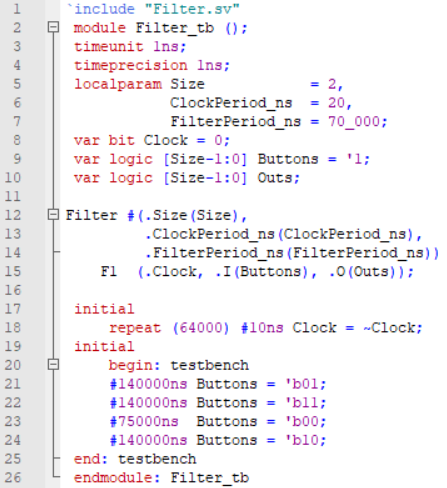
Результаты моделирования в окне “Wave”

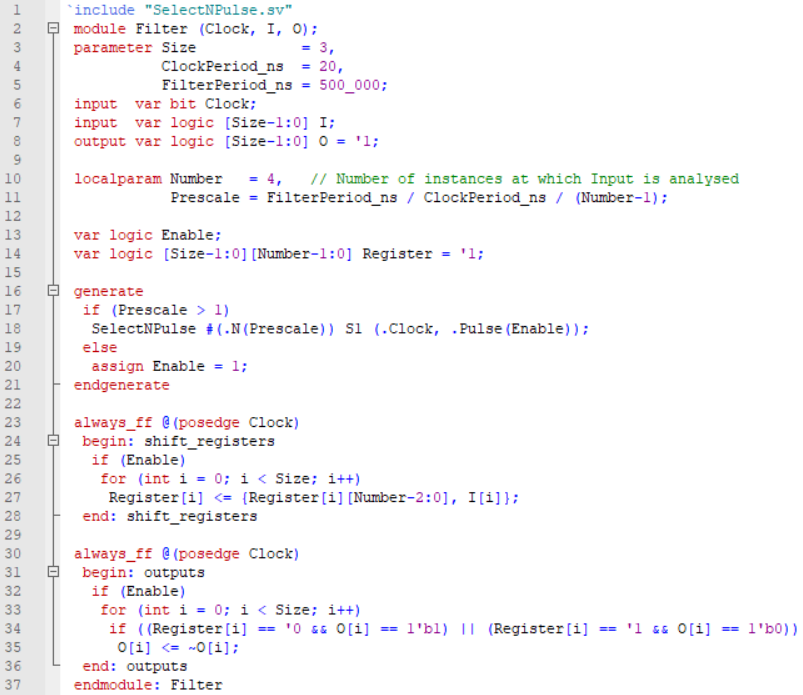


Описание модуля Filter на SystemVerilog.

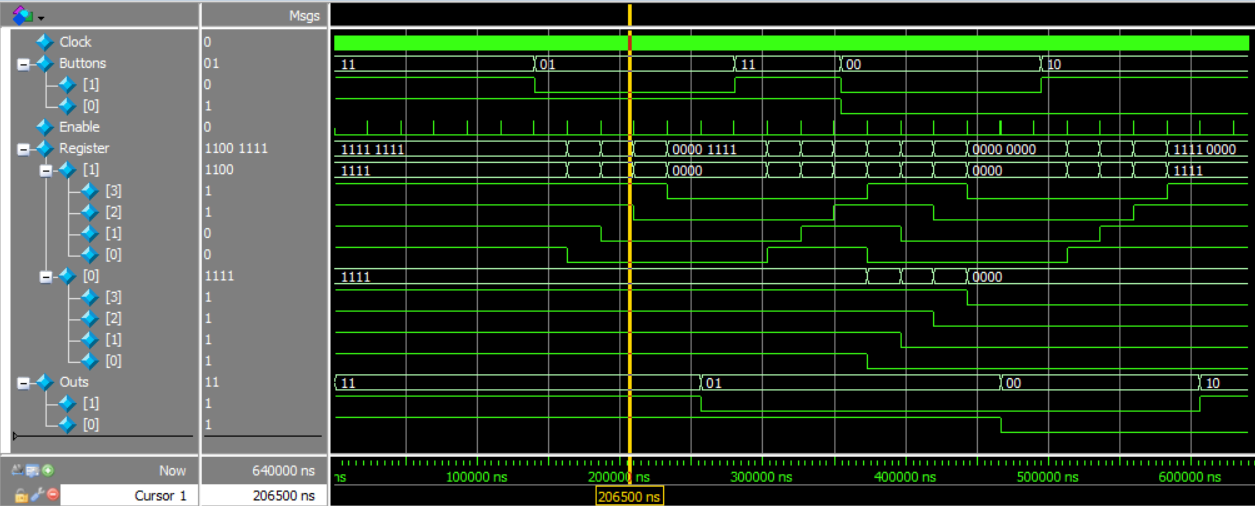
Модуль предназначен для фильтрации дребезга, возникающего в момент нажатия и отпускания кнопок.

Испытательный стенд на SystemVerilog



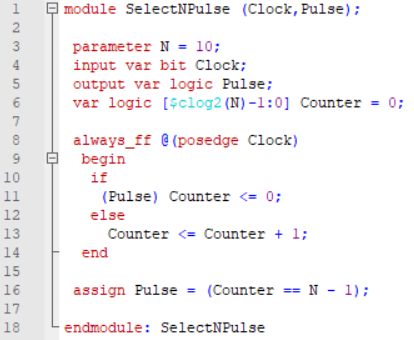
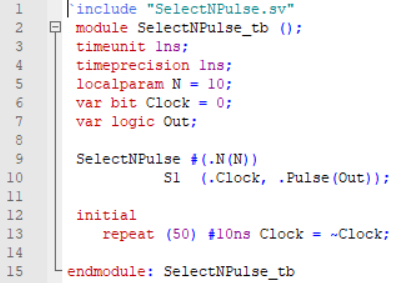


Результаты моделирования в окне “Wave”



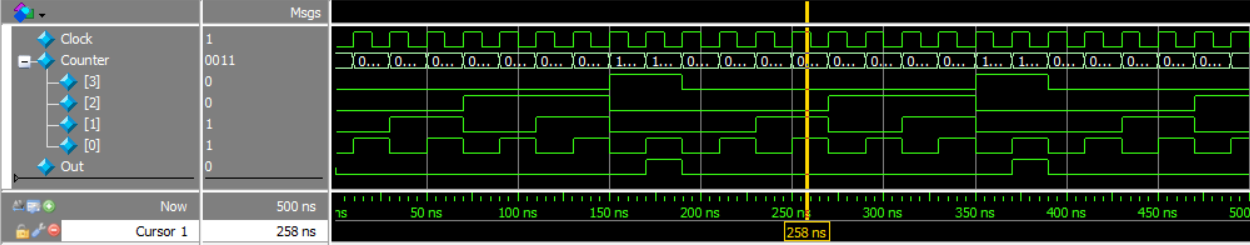
Описание модуля SelectNPulse на SystemVerilog.

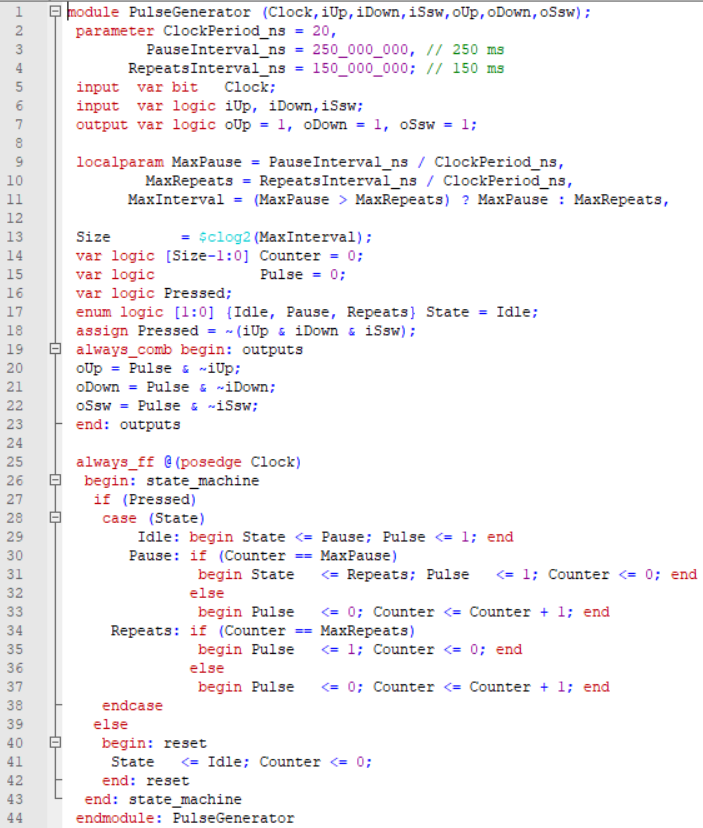
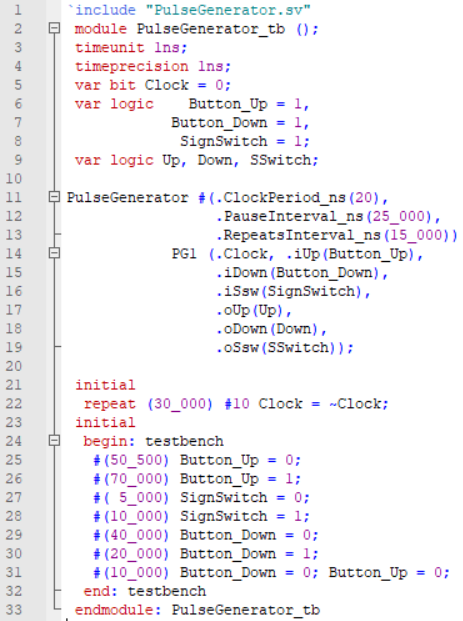
Модуль предназначен для выделения каждого N-го импульса.

Испытательный стенд на SystemVerilog

Результаты моделирования в окне “Wave”

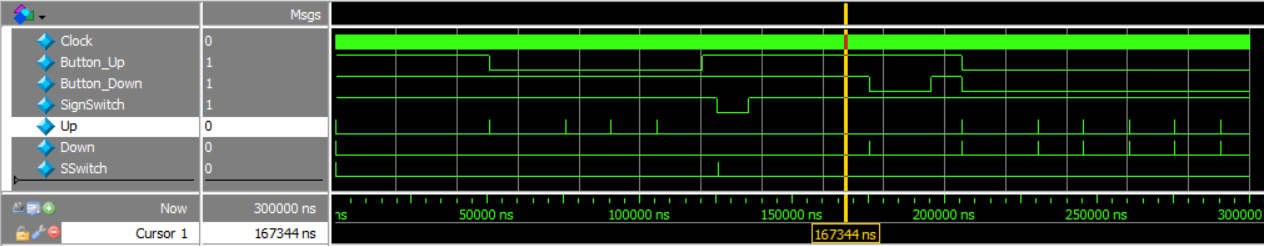


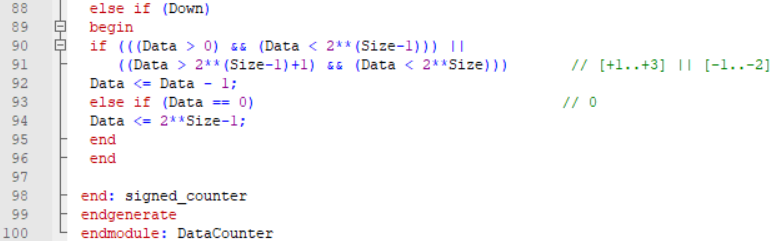
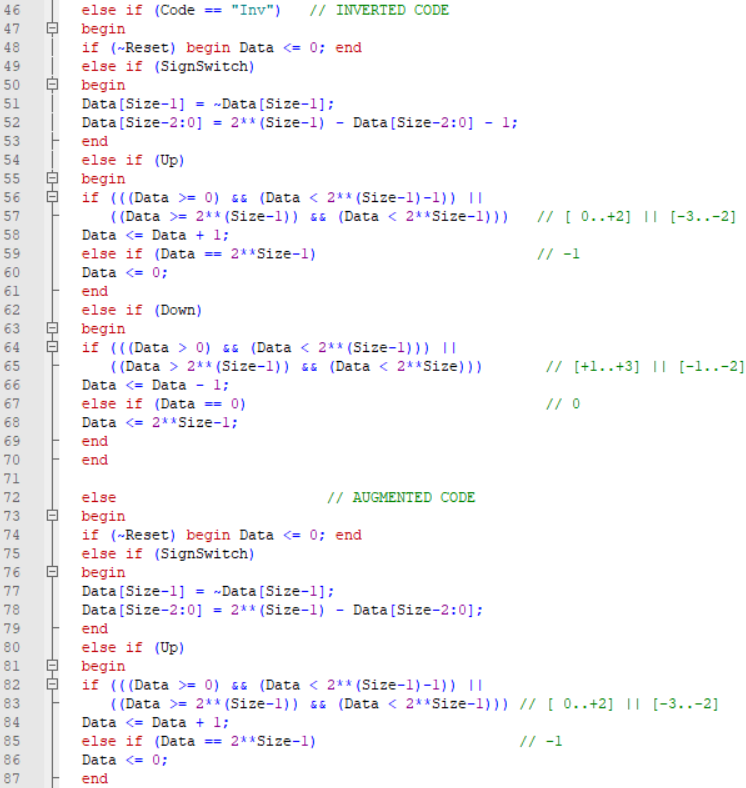
 

Описание блока генератора импульсов на SystemVerilog.

Испытательный стенд на SystemVerilog

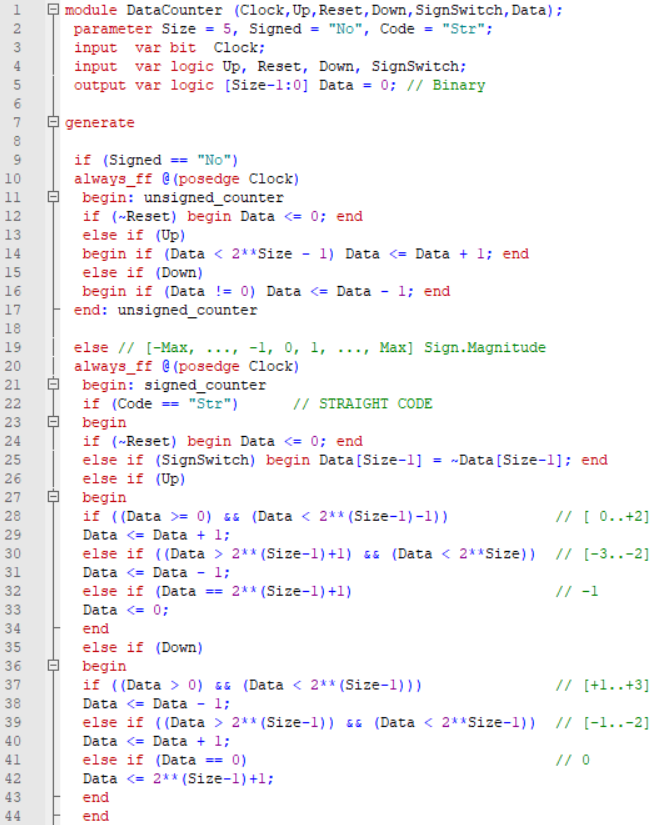
Результаты моделирования в окне “Wave”

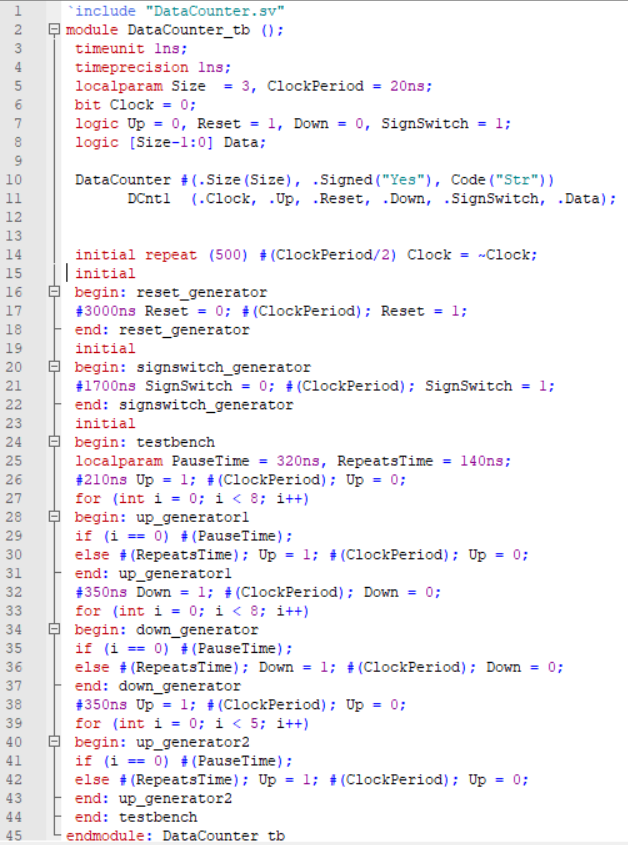




Описание блока данных на SystemVerilog.

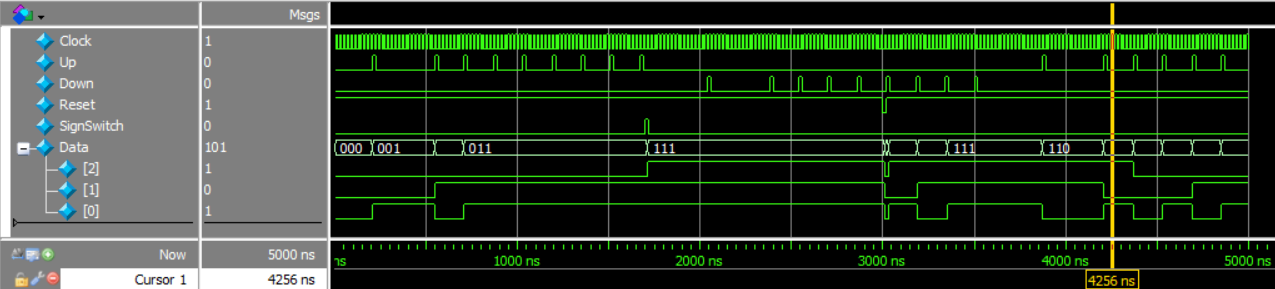
В зависимости от значения параметра Code, данные формируются в прямом, обратном или дополнительном коде.



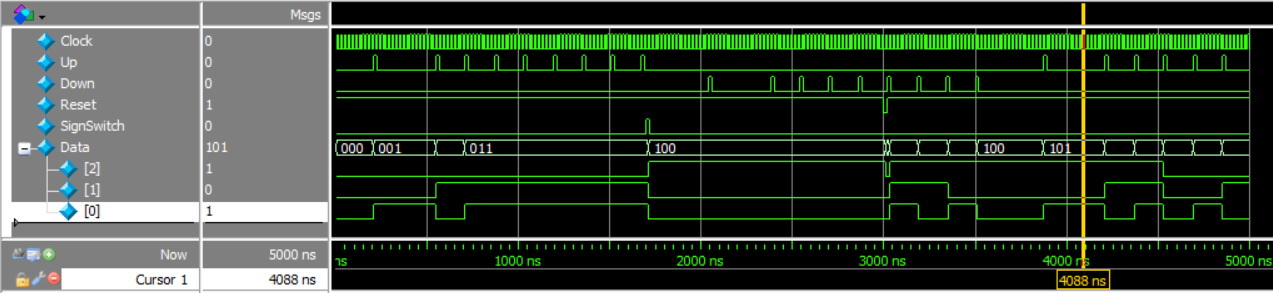


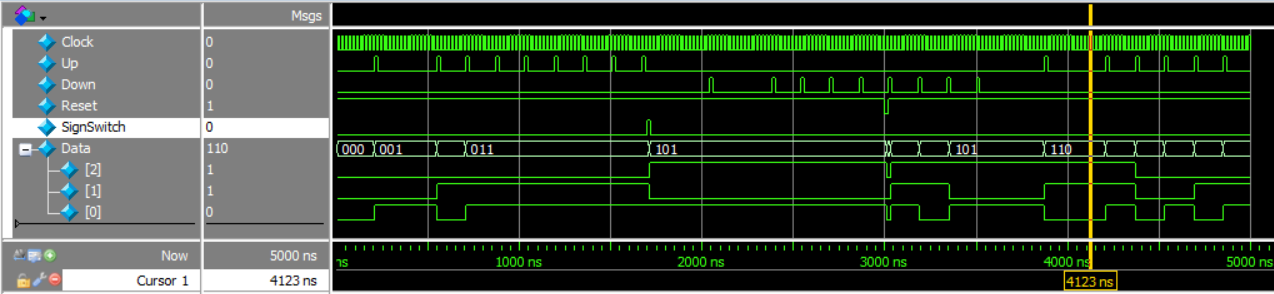
Испытательный стенд на SystemVerilog.

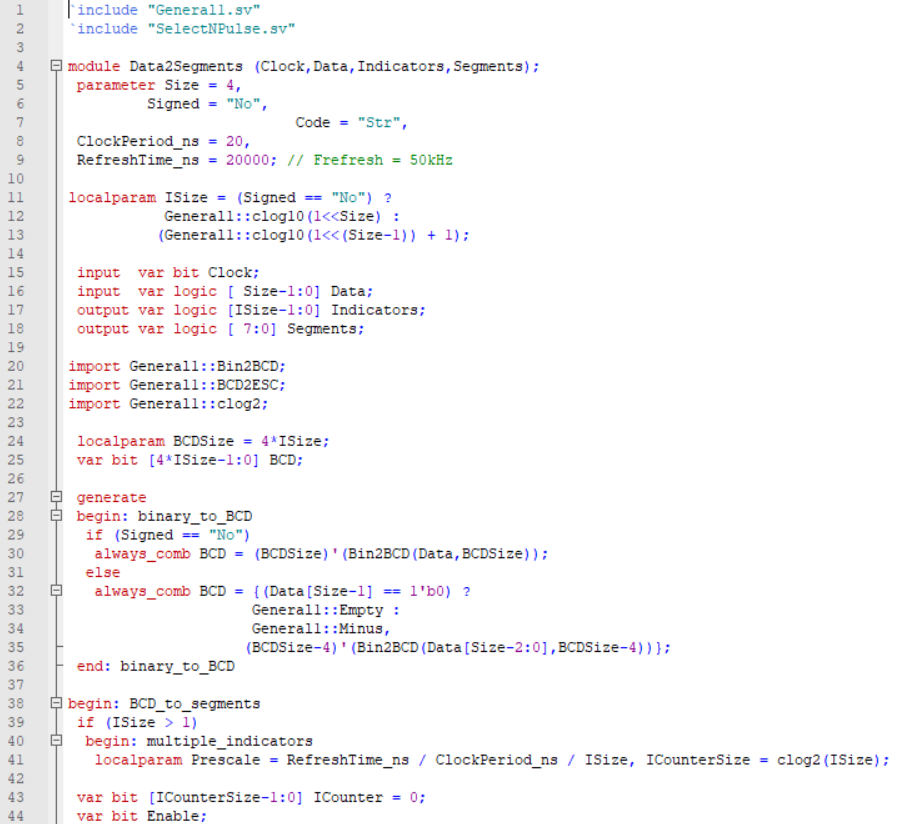
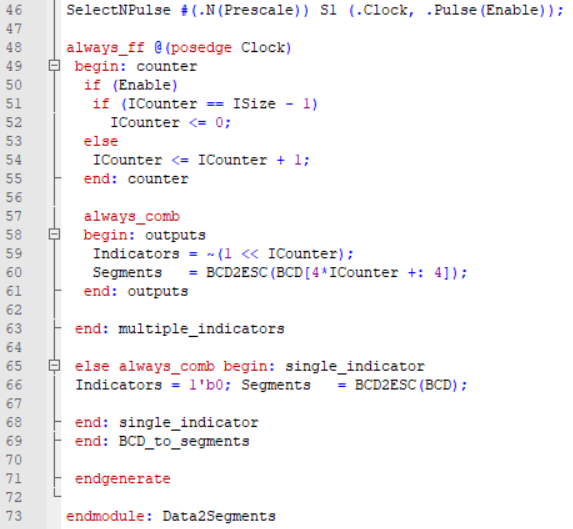
Результаты моделирования в окне “Wave” – прямой код



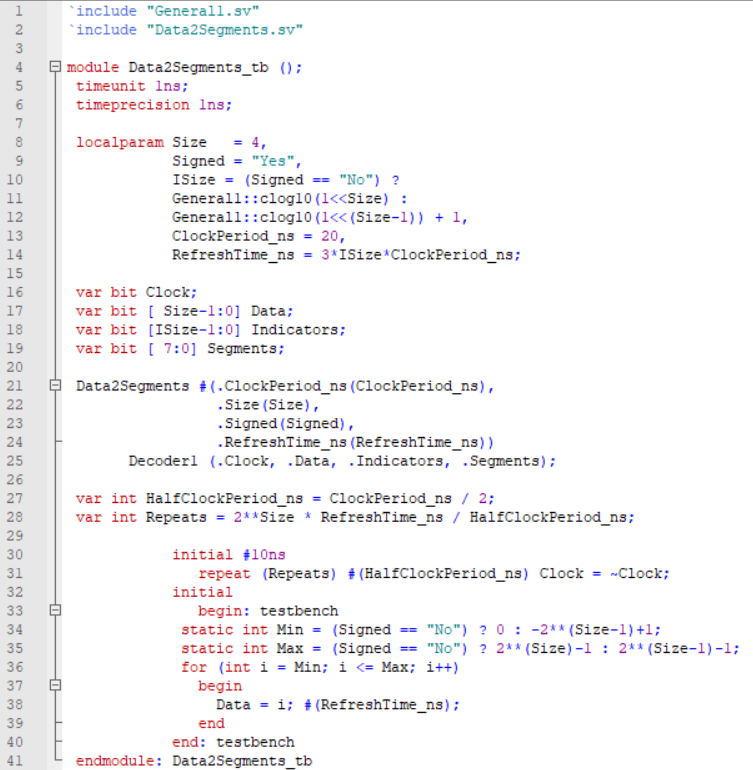
Результаты моделирования в окне “Wave” – обратный код



Результаты моделирования в окне “Wave” – дополнительный код

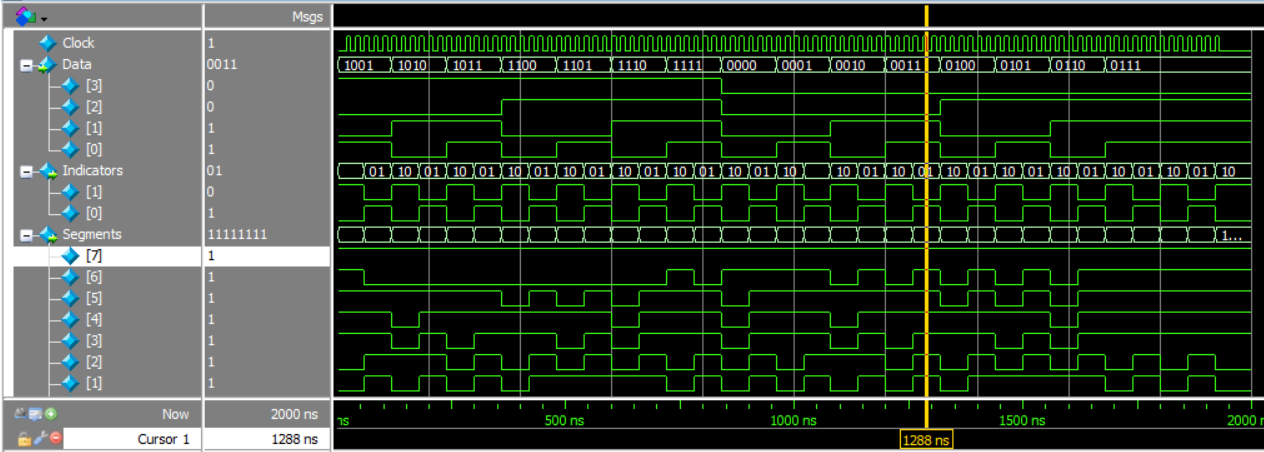


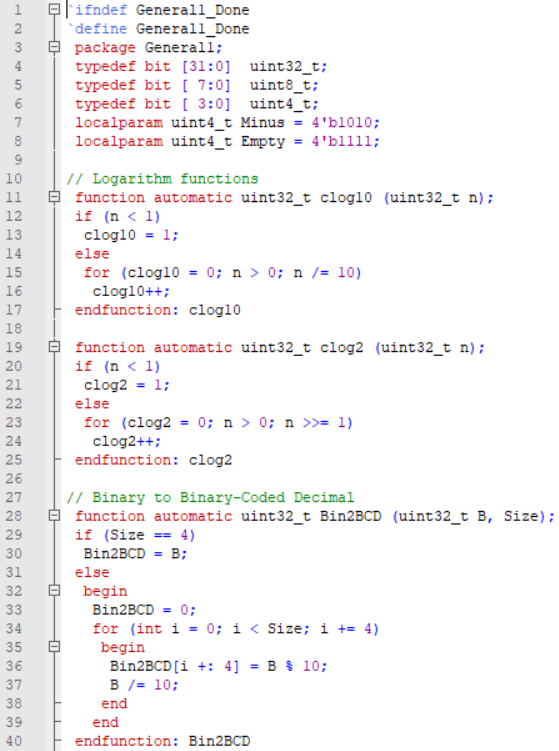
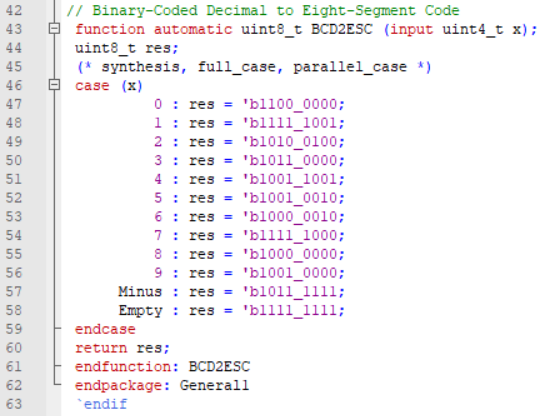
Описание на SystemVerilog модуля преобразователя из двоичного кода в многоразрядный восьмисегментный.



Испытательный стенд

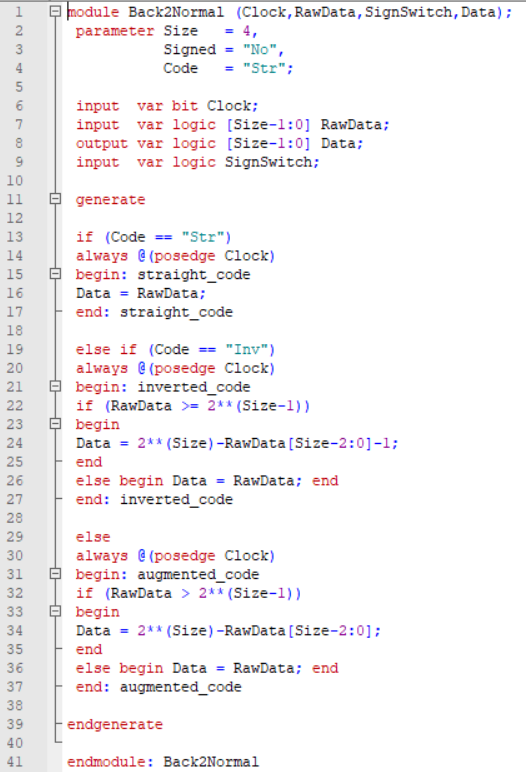
Результаты моделирования в окне “Wave”





Описание пакета General1 на SystemVerilog.

Пакет содержит функции вычисления логарифма по основанию10 и по основанию 2 с последующим округлением к +inf, а также функцию преобразования двоичного кода в двоично-десятичный и функцию преобразования двоично-десятичного кода в восьмисегментный код для индикации.



Описание модуля Back2Normal на SystemVerilog.

Данный модуль преобразует данные из одного из трех типов кода (прямой, обратный или дополнительный, в зависимости от значения параметра Code) в прямой двоичный код.

**Вывод**

На языке SystemVerilog был описан блок формирования данных при помощи нажимных кнопок. В сигнале, получаемом с кнопок, может возникать дребезг из-за неустойчивости электрического контакта во время переходного процесса. С помощью модуля Filter дребезг удалось практически полностью ликвидировать. Отфильтрованный сигнал поступает в блок формирования импульсов, где, в зависимости от длительности удержания кнопки, создается единичный импульс или серия из нескольких импульсов подряд. Сформированные импульсы поступают в блок данных, где, в зависимости от значения параметра Code, данные формируются в прямом, обратном или дополнительном коде.

Был описан пакет функций General1, содержащий в себе функции для вычисления логарифмов по основанию 10 и по основанию 2 с последующим округлением к +inf, а также функции преобразования прямого двоичного кода в двоично-десятичный код и двоично-десятичного кода в восьмисегментный код для индикации. С помощью обращения к функциям из General1, происходит преобразование данных из двоичного кода в восьмисегментный код для индикации.

**Литература**

1. [ru.wikipedia.org › wiki › Код\_Грея](https://ru.wikipedia.org/wiki/%D0%9A%D0%BE%D0%B4_%D0%93%D1%80%D0%B5%D1%8F" \l ":~:text=%D0%9A%D0%BE%D0%B4%20%D0%93%D1%80%D0%B5%CC%81%D1%8F%20%E2%80%94%20%D0%B4%D0%B2%D0%BE%D0%B8%D1%87%D0%BD%D1%8B%D0%B9%20%D0%BA%D0%BE%D0%B4%2C%20%D0%B8%D0%BD%D0%B0%D1%87%D0%B5,%D1%86%D0%B8%D1%84%D1%80%D0%BE%D0%B9%20%D0%B2%20%D0%BE%D0%B4%D0%BD%D0%BE%D0%BC%20%D0%B4%D0%B2%D0%BE%D0%B8%D1%87%D0%BD%D0%BE%D0%BC%20%D1%80%D0%B0%D0%B7%D1%80%D1%8F%D0%B4%D0%B5.)

2. [Иосиф Каршенбойм. «Краткий курс HDL»](http://iosifk.narod.ru/hdl_coding/verilog.htm)

3. <http://www.asic-world.com/>

4. [Chris Spear. «SystemVerilog for Verification»](http://www.amazon.com/SystemVerilog-Verification-Learning-Testbench-Language/dp/144194561X)

5. [Altera. «Quartus Handbook»](https://www.altera.com/en_US/pdfs/literature/hb/qts/qts-qps-handbook.pdf)