**选择题（每题2分）**

1.计算机与日常使用的袖珍计算器的本质区别在于 D 。

A.预算速度的高低 B.存储器容量的大小C.规模的大小 D.自动化程度的高低

2.某计算机的I/O设备采用异步串行传送方式传送字符信息，字符信息的格式为：一位起始位、七位数据位、一位检验位、一位停止位。若要求每秒钟传送480个字符，那么该I/O设备的数据传送率应为 B bps（位/秒）。

A. 1200 B. 4800

C. 9600 D. 480

3.指令系统中采用不同寻址方式的目的主要是　　B　　。

A．可降低指令译码难度

B．缩短指令字长，扩大寻址空间，提高编程灵活性

C．实现程序控制

D. 提高寻址速度

4.允许中断触发器用于 ( C ) 。

A. 向CPU发中断请求 B. 指示正有中断在进行

C. 开放或关闭中断系统 D.中断保护

5.一般用途计算机比特殊用途计算机 (B) 。

A．价格高 B．用途广C．用途窄 D．速度慢

6.通道指令是由 B 组成。

A. I/O指令

B. 通道控制字（或称通道指令）

C. 通道状态字

D. CPU指令的一部分

7.寄存器间接寻址方式中，操作数在 C 中。

A．通用寄存器

B．堆栈

C．主存单元

D. ACC

8.电子计算机问世至今，新型机器不断推陈出新，不管怎么更新，依然具有“存储程序”的特点，最早提出这种概念的是 B 。

A.巴贝奇（Charles Babage） B.冯·诺依曼（von Neumann）

C.帕斯卡（Blaise Pascal） D.贝尔（Bell）

9.采用变址寻址可扩大寻址范围，且 D 。

A．变址寄存器内容由用户确定，在程序执行过程中不可变

B．变址寄存器内容由操作系统确定，在程序执行过程中可变

C．变址寄存器内容由操作系统确定，在程序执行过程中不可变

D．变址寄存器内容由用户确定，在程序执行过程中可变

10.个人计算机（PC）属于 C 类计算机。

A．大型计算机 B．小型机

C．微型计算机 D．超级计算机

11.以下描述PCI总线的基本概念中，正确的是 D 。

A．PCI速度较慢

B．PCI总线需要人工方式与系统配置

C．系统中只允许有一条PCI总线

D．PCI总线是一个与处理器时钟频率无关的高速外围总线

12.下述说法中 C 是正确的。

A. 半导体RAM信息可读可写，且断电后仍能保持记忆

B. 半导体RAM是易失性RAM，而静态RAM中的存储信息是不易失的

C. 半导体RAM是易失性RAM，而静态RAM只有在电源不掉电时，所存信息是不易丢失的

D． 以上都不对

13.程序控制类指令的功能是 C 。

A．进行主存和CPU之间的数据传送

B．进行CPU和设备之间的数据传送

C．改变程序执行的顺序

D. 读取数据

14.基址寻址方式中，操作数的有效地址是 A 。

A．基址寄存器内容加上形式地址（位移量）

B．程序计数器内容加上形式地址

C．变址寄存器内容加上形式地址

D. 该地址本身

15.异步控制常用于 A 。

A. CPU访问外围设备时

B. 微程序控制器中

C. 微型机的CPU控制中

D. 远程通信

16.完整的计算机系统应包括 D 。

A.运算器、存储器、控制器 B.外部设备和主机

C.主机和实用程序 D.配套的硬件设备和软件系统

17.某存储器容量为32K x 16位，则 C 。

A. 地址线为16根，数据线为32根

B. 地址线为32根，数据线为16根

C. 地址线为15根，数据线为16根

D. 地址线为16根，数据线为16根

18.设[ x ]原=1. x1x2x3x4，当满足下列 D 时，x>-1/2成立。

A．x1必为0，x2～ x4至少有一个为1

B．x1必为1，x2～ x4任意

C．x1必为1，x2～ x4任意

D．x1必为0，x2～ x4任意

19.设寄存器位数为8位，机器数采用补码形式（含1位符号位）。对应于十进制数 -27，寄存器内容为 C 。

A． 27H B. 9BH

C. E5H D. A5H

20.某一RAM芯片，其容量为128K x 8 位，除电源和接地端外，该芯片引出线的最少数目是 C 。

A. 33 B. 35

C. 25 D. 32

21.中断向量可提供 C 。

A．被选中设备的地址

B．传送数据的起始地址

C．终端服务程序的入口地址

D．主程序的断点地址

22.中断向量地址是 C 。

A. 子程序入口地址

B. 中断服务程序入口地址

C. 中断服务程序入口地址的地址

D．编程计算出的

23.采用基址寻址可扩大寻址范围，且 D 。

A．基址寄存器内容由用户确定，在程序执行过程中不可变

B．基址寄存器内容由用户确定，在程序执行过程中可变

C．基址寄存器内容由操作系统确定，在程序执行过程中可变

D．基址寄存器内容由操作系统确定，在程序执行过程中不可变

24.响应中断请求的条件是 B 。

A．外设提出中断

B．外设工作完成和系统允许时

C．外设工作完成和中断标记触发器为“1”时

D. CPU空闲时

25.总线中地址线的作用是 C 。

A．只用于选择存储器单元

B．由设备向主机提供地址

C．用于选择指定存储器单元和I/O设备接口电路的地址

D. 向主机提供设备号

26.用n+1位字长表示定点数（其中1位为符号位），它所能表示的整数范围是 A 。

A．0≦|N|≦2n-1 B．0≦|N|≦2n+1-1

C．0≦|N|≦1-2-(n+1)  D．0≦|N|≦1-2-n

27.运算型指令的寻址和转移型指令的寻址不同点在于　A　。

A. 前者取操作数，后者决定程序转移地址

B．前者是短指令，后者是长指令

C．后者是短指令，前者是长指令

D. 以上都不对

28.一个512KB的存储器，其地址线和数据线的总和是 D 。

A. 17 B. 19

C. 16 D. 27

29.主机与设备传送数据时，采用 A ，主机与设备时串行工作的。

A. 程序查询方式 B. 中断方式

C. DMA方式 D．挂起方式

下列描述中 B 是正确的。

A.控制器能理解、解释并执行所有的指令及存储结果

B.一台计算机包括输入、输出、控制、存储及算术逻辑运算五个部件

C.左右的数据运算都在CPU的控制器中完成

D.以上所有答案都正确

30.操作数在寄存器中的寻址方式称为 B 寻址。

A．直接

B．寄存器直接

C．寄存器间接

D. 寄存器

31.控制器的全部功能是 C 。

A. 产生时序信号

B. 从主存取出指令,并完成指令操作码译码

C. 从主存取出指令、分析指令并产生有关的操作控制信号

D. 控制计算机工作

32.在整数定点机中，正确的运算结果为 B 。

A． 原码和反码不能表示 -1，补码可以表示 -1

B． 三种机器数均可表示 -1

C． 三种机器数均可表示 -1，且三种机器数的表示范围相同

D. 以上都不对

33.指令周期是 C

A. CPU执行一条指令的时间

B. CPU从主存取出一条指令的时间

C. CPU从主存取出一条指令加上执行这条指令的时间

D. CPU主时钟周期

34.在取指令操作之后，程序计数器中存放的是 C

A. 当前指令的地址

B. 程序中指令的数量

C. 下一条指令的地址

D．本条指令的地址

35.下列说法中 B 是正确的

A. 指令周期等于机器周期 B. 指令周期大于机器周期

C. 指令周期是机器周期的两倍

D．以上都不对

36.在小数定点机中，下述说法正确的是 A 。

A．只有补码能表示 -1

B．只有原码不能表示 -1

C．三种机器数均不能表示 -1

D．以上都不对

37.某机字长8位，采用补码形式（其中1位为符号位），则机器数所能表示的范围是 C 。

A．-127～+127 B．-128～+128

C．-128～+127 D．-127～+128

38.变址寻址方式中，操作数的有效地址是 C 。

A. 基址寄存器内容加上形式地址（位移量）

B．程序计数器内容加上形式地址

C．变址寄存器内容加上形式地址

D. 该地址本身

39.CPU响应中断的时间是 A

A. 一条指令执行结束 B. 外设提出中断

C. 取指周期结束 D. 一条指令即将结束

40.大部分计算机内的减法是用 C 实现。

A. 将被减数加到减数中 B. 从被减数中减去减数

C. 补数的相加 D. 从减数中减去被减数

41.向量中断是 C 。

A．外设提出中断

B．由硬件形成中断服务程序入口地址

C．由硬件形成向量地址，再由向量地址找到中断服务程序入口地址

D．由程序计算出向量地址

42.微型计算机中控制总线提供的完整信息是 E 。

1. 存储器和I/O设备的地址码

B. 所有存储器和I/O设备的时序信号和控制信号

C. 来自I/O设备和存储器的响应信号

D. 上述各项

E. 上述B、C两项

F. 上述A、B两项

43.连接计算机与计算机之间的总线属于 C 总线。

A．内 B．系统 C．通信 D. 数据

44.和动态MOS存储器相比，双极型半导体存储器的性能是 D 。

A. 集成度高，存取周期快，位平均功耗少

B. 集成度高，存取周期快，位平均功耗大

C. 集成度低，存取周期慢，位平均功耗少

D. 集成度低，存取周期快，位平均功耗大

45.直接寻址的无条件转移指令功能是将指令中的地址码送入 A 。

A. PC B. 地址寄存器

C. 累加器 D. MAR

46.计算机使用总线结构便于增减外设，同时 C 。

A. 减少了信息传输量

B. 提高了信息的传输速度

C. 减少了信息传输线的条数

D. 降低了系统复杂度

47.某计算机字长是32位，它的存储器容量是256KB，按字编址，它的寻址范围是 B 。

A. 128K B. 64K

C. 64KB D. 128KB

48.CPU是指 B 。

A. 控制器 B. 运算器和控制器

C. 运算器、控制器和主存 D. 图像处理器

49.某一RAM芯片，其容量为32K x 8 位，除电源和接地端外该芯片引出线的最少数目是 C。

A. 25 B. 40

C. 23 D．20

50.十进制数56的十六进制表示为 D 。

A.D8 B.D9 C.56 D.38

51.1 KB= A 字节

A．210  B. 220  C. 230 D．232

52.十六进制数E5的十进制数表示为 D （负数用补码表示）。

A.-26 B.24 C.40 D.-27

53以真空管为主要器件的是 A 。

A．第一代计算机 B．第二代计算机

C．第三代计算机 D．第四代计算机

54.存取周期是指 D 。

A. 存储器的写入时间

B. 存储器进行连续写操作允许的最短时间

C. 存储器的读出时间

D. 存储器进行连续读或写操作所允许的最短间隔时间

55.在 A 的计算机系统中，外设可以和主存储单元统一编址，因此可以不使用I/O指令。

A. 单总线 B.双总线

C. 三总线 D.以上三种总线

56.指令的寻址方式有顺序和跳跃两种，采用跳跃寻址方式可以实现 C 。

A．程序浮动

B．程序的无条件转移和浮动

C．程序的条件转移和无条件转移

D. 进栈出栈

57.设x为整数，[ x ]反=1.1111，对应的真值是 C 。

A．-15 B．-1

C．-0 D.+0

58.下列数中最小的数为 A 。

A．(101001)二  B. (52)八

C. (28)十六 D. 55

59.微型机系统中，主机和高速硬盘进行数据交换一般采用 C 方式。

A. 程序查询 B. 程序中断

C. DMA D. RSIC

60.下列数中最大的数为 B 。

A．(10010101)二  B. (227)八

C. (96)十六  C. 96

61.CPU中的译码器主要用于 B 。

A. 地址译码

B．指令译码

C．选择多路数据至ALU

D. 编译高级语言程序

62.同步控制是 D 。

A. 只适用于CPU控制的方式

B. 所有指令执行时间都相同的方式

C. 同步通信中的时序控制

D. 由统一时序信号控制的方式

64.下述说法中 B 是正确的。

A. EPROM 是可改写的因而也是随机存储器的一种

B. EPROM 是可改写的，但它不能作为随机存储器

C. EPROM 只能改写一次，故不能作为随机存储器

D. EPROM 一旦写入，不可改写

65.设x为真值，x\*为其绝对值，则等式[-x\*]补=[-x ]补 D 。

A．成立 B.不成立

C. 不能确定 D.在某种条件下

66.在整数定点机中，机器数采用补码，双符号位，若它的十六进制表示为COH，则它对应的真值是 C .。

A. -1 B. +3

C. -64 D. C0

66.可编程的只读存储器 C 。

A. 不一定是可改写的

B. 一定是可改写的

C. 一定是不可改写的

D．以上都不对

67.当采用 A 输入操作情况下，除非计算机等待，否则无法传送数据给计算机。

A. 程序查询方式 B. 中断方式

C. DMA方式 D. 以上三种方式

68.I/O编址方式通常可分为统一编址和不统一编址， B 。

A. 统一编址就是将I/O地址看作是存储地址的一部分，可用专门的I/O指令对设备进行访问

B. 不统一编址就是指I/O地址和存储地址是分开的，所以对I/O访问必须有专门的I/O指令

C. 统一编址是指I/O地址和存储器地址分开的，所以可用访存指令实现CPU对设备的访问

D．以上都不对

69.计算机中所有信息以二进制表示，其主要理由是 C 。

A.节省器材 B.运算速度快

C.物理器件性能所致 D.程序员的习惯

70.设变址寄存器为X，形式地址为D，某机具有先间址后变址的寻址方式，则这种寻址方式的有效地址为 D 。

A．EA= （X）+D

B．EA= X＋D

C．EA＝（（X）+D）

D．EA=（X）＋（D）

71.在下列说法中 A 是错误的

A． 计算机的速度完全取决于主频

B． 计算机的速度不完全取决于主频

C． 计算机的速度与主频、机器周期内平均含时钟周期数及机器的平均指令执行速度有关

D.以上都不对

72.谓超大规模集成电路（VLSI）是指一片IC芯片上能容纳 D 元件。

A．数十个 B．数百个

C．数千个 D．数百万个以上

DMA方式中，周期窃取是窃取一个 A 。

A. 存取周期 B. 指令周期

C. CPU周期 D. 总线周期

73.当[ x ]反=1.1111时，对应的真值是 A 。

A． -0 B．-15/16

C．-1/16 D.不存在

74.堆栈寻址方式中，设A为累加器，SP为堆栈指示器，MSP为SP指示的栈顶单元，如果进展操作的动作顺序是,(SP)-1->SP，（A）—>MSP，那么出战操作的动作顺序应为　D　。

A．（MSP）—>A,(SP)-1—>SP

B．（SP）+1—>SP，（MSP）—>A

C．（SP）-1—>SP，（MSP）—>A

D．（MSP）—>A,(SP)+1—>SP

75.指令寄存器的位数取决于 B 。

A．存储器的容量

B．指令字长

C．机器字长

D．程序员设定

76.在控制器的控制方式中，局部控制 B

A．和异步控制相同，都不存在基准时标系统

B．属于同步控制，它与中央控制的基准时标是保持同步的

C．属于同步控制并有独立的系统，与中央控制的基准时标系统无关

D．以上都不对

77.在三种集中式总线控制中，独立请求方式响应时间最快，是以 B 为代价。

A．增加处理机的开销

B．增加控制线数

C．增加处理机的开销和增加控制线数

D. 增加程序复杂度

78.设x为整数，[ x ]补=1，x1x2x3x4x5，若要x<-16, x1～ x5应满足的条件是 D 。

A．x1～x5至少有一个为1

B．x1必须为0，x2～x5至少有一个为1

C．x1必须为1，x2～x5任意

D. x1必须为0，x2～x5任意

79.已知两个正浮点数，N1=2J1×S1 ，N2=2J2×S2 ，当下列 C 成立时，N1>N2。

A．S1>S2  B.J1>J2

C. S1和S2均为规格化数，且J1>J2

D. 不能确定

80.变址寻址和基址寻址的有效地址形成方式类似，但是 D 。

A．变址寄存器的内容在程序执行过程中是不可变的

B．在程序执行过程中，变址寄存器，基址寄存器和内容都是可变的

C．在程序执行过程中，基址寄存器的内容不可变，变址寄存器中的内容可变

D．以上都不对

81.计算机操作的最小单位时间是 D 。

A． 访存周期 B. 指令周期

C. CPU周期 D． 时钟周期

82.输入、输出装置以及外接的辅助存储器成为 D 。

A.操作系统 B.存储器

C.主机 D.外围设备

83.把电路中的所有元件如晶体管、电阻、二极管等都集成在一个芯片上的元件称为 B 。

A．Transisiter B．Integrated Circuit

C．Computers D．Vacuum Tube

84.某一RAM芯片，其容量为512 x 8 位，除电源和接地端外，该芯片引出线的最少数目是 B 。

A. 21 B. 17

C. 19 D. 21

85.在中断响应周期，置“0”允许中断触发器是由 A 完成的。

A. 硬件自动

B. 程序员在编制终端服务时设置的

C. 关中断指令

D. 高级语言程序

86.当用一个16位的二进制数表示浮点数时，下列方案中最好的是 B 。

A．阶码取4位（含阶符1位），尾数取12位（含数符1位）

B．阶码取5位（含阶符1位），尾数取11位（含数符1位）

C．阶码取8位（含阶符1位），尾数取8位（含数符1位）

D．阶码取6位（含阶符1位），尾数取10位（含数符1位）

87.扩展操作码是 C 。

A．操作码字段以外的辅助操作字段的代码

B．指令格式中不同字段设置的操作码

C．一种指令优化技术，即让操作码的长度随地址数的减少而增加，不同地址数的指令可以具有不用的操作码长度

D. 可以增加寻址范围

88.设相对寻址的转移指令占俩个字节，第一字节是操作码，第二字节是相对位移量（用补码表示），若CPU每当从存储器取出一个字节时，即自动完成（PC）+1—>PC ,设当前PC的内容为2000H，要求转移到2008H地址，则该转移指令第二字节的内容应为 D 。

A． 08H B． 02H

C. 0AH D. 06H

89.一地址指令中，为完成俩个数的算数运算，除地址编译码指明的一个操作数外，另一个数常采用 C 。

A．堆栈寻址方式

B．立即寻地址方式

C．隐含寻址方式

D．直接寻址方式

90.下列表达式中，正确的运算结果为 B 。

A．(10101)二×(2)十 = (20202)二

B．(10101)二×(2)十 = (20202)三

C．(10101)二×(3)十 = (30303)三

D．以上都不对

91.对真值0表示形式唯一的机器数是 B 。

A．原码 B． 补码和移码

C．反码 D． 以上都不对

92.主机与I/O设备传送数据时，采用 C ，CPU的效率最高。

A. 程序查询方式 B. 中断方式

C. DMA方式 D．挂起方式

93.在数据传送过程中，数据由串行变并行或由并行变串行，这种转换是通过接口电路中的 实现的。 D

A. 数据寄存器 B. 累加器

C. 锁存器 D. 位移寄存器

94.某计算机字长是16位，它的存储器容量是1MB，按字编址，它的寻址范围是 A 。

A. 512K

B. 1M

C. 512KB

D．256K

95.一个16K x 32位的存储器，其地址线和数据线的总和是 B 。

A. 48

B. 46

C. 36

D. 32

96.计算机使用总线结构的主要优点是便于实现积木化，缺点是 C 。

A. 地址信息、数据信息和控制信息不能同时出现

B. 地址信息与数据信息不能同时出现

C. 两种信息源的代码在总线中不能同时传送

D. 传输过程中误码率高

97.由于CPU内部操作的速度较快，而CPU访问一次存储器的时间较长，因此周期通常由 B 来确定。

A. 指令周期 B. 存取周期

C. 间址周期 D. 访问周期

98.中断标志触发器用于 D 。

A. 向CPU发中断请求 B.中断保护

C. 开放或关闭中断系统 D.指示CPU是否进入中断周期

99.零地址运算指令在指令格式中不给出操作数地址，它的操作数来自 C 。

A．立即数和栈顶

B．暂存器

C．栈顶和次栈顶

D．队列

100.运算器的主要功能是进行 C 。

A. 算术运算 B. 逻辑运算

C. 算术逻辑运算 D. 初等函数运算

101.计算机主机和终端串行传送数据时，要进行串一并或并一串转换，这样的转换 B 。

A. 只有通过专门的硬件来实现

B. 可以通过软件实现，并非一定用硬件实现

C. 只能用软件实现

D．很难实现

102.某计算机字长是16位，它的存储器容量是64KB，按字编址，它的寻址范围是 C 。

A. 64K

B. 32KB

C. 32K

D．16K

103.第三代计算机以 C 为主要器件。

A．晶体管 B．电子管

C．集成电路 D．超大规模集成电路

104.电子计算机的算术/逻辑单元、控制单元及主储存器合成为 A 。

A.CUP B.ALU

C.主机 D.UP

105.一个节拍信号的宽度是指 D

A. 指令周期 B. 机器周期

C. 中断时间 D. 时钟周期

106.1 GB= D 字节

A．210  B．220

C．232 C．230

107.中断发生时，程序计数器内容的保护和更新，是由 A 完成的。

A. 硬件自动 B. 进展指令和转移指令

C. 访存指令 D. 程序员编写的程序

108.下述 B 种情况会提出中断请求。

A. 产生存储周期窃取

B. 在键盘输入过程中，每按一次键

C. 两数相加结果为0

D. PC+1

109.和辅存相比，主存的特点是 A 。

A. 容量小，速度快，成本高

B. 容量小，速度快，成本低

C. 容量大，速度快，成本高

D. 容量小，速度慢，成本低

110.某计算机字长是32位，它的存储器容量是64KB，按字编址，它的寻址范围是 B 。

A. 16KB B. 16K

C. 32K D. 32KB

111.第四代计算机以 D 为主要器件。

A．集成电路 B．电子管

B．晶体管 D．大规模和超大规模集成电路

112.有些计算机将一部分软件永恒地存于只读存储器中，称之为 C 。

A. 硬件 B. 软件

C. 固件 D. 辅助存储器

113.计算机主频的周期是指 D

A. 指令周期 B.访问周期

C. 存取周期 D.时钟周期

114.程序计数器的位数取决于 A 。

A．存储器的容量 B. 机器字长

C. 指令字长 D. 程序员

115.[x]补=1，x1，x2，x3，x4，x5，若要x＜-16，x1～ x5应满足的条件是 C 。

A． -0 B．-1

C． +1 B．+0

116.将一个十进制数x= -8.192表示成补码时，至少采用 B 位二进制代码表示。

A．13 B. 14

C. 15 B. 16

117.在三种集中式总线控制中， C 方式响应时间最快。

A．链式查询 B．计数器定时查询

C．独立请求 D. 其他方式

118.在磁盘和磁带两种磁表面存储器中，存取时间与存储单元的物理位置有关，按存储方式分， B 。

A. 二者都是串行存取

B. 磁盘是部分串行存取，磁带是串行存取

C. 磁带是部分串行存取，磁盘是串行存取

D．以上都不对

119.隐指令是指 C 。

A．操作数隐含在操作码中的指令

B．在一个机器周期里完成全部的指令

C．指令系统中没有指令

D．程序员不能访问的指令

120.堆栈寻址方式中，设A为累加器，SP为堆栈指示器，MSP为SP指示的栈顶单元，如果进栈操作的动作顺序是（A）—>MSP,(SP)-1->SP,那么出栈操作的动作顺序应为 D 。

A．（MSP）—>A，（SP）+1—>SP

B．（MSP）—>A，（SP）-1—>SP

C．（SP）-1—>SP，（MSP）—>A

D．（SP）+1—>SP，（MSP）—>A

121.CPU中的通用寄存器 B 。

A．只能存放数据，不能存放地址

B．可以存放数据和地址

C．可以存放数据和地址，还可以代替指令寄存器

D. 可以存放各种数据，不能存放地址

122.用以指定待执行指令所在地址的是 C 。

A.指令寄存器 B.数据计数器

C.程序计数器 D.累加器

123.带有处理机的终端一般称为 A 。

A. 交互式终端 B. 智能终端

C. 远程终端 D. 云计算终端

124.目前在小型和微型计算机里最普遍采用的字母与字符编码是 B 。

A. BCD码 B. 十六进制代码

C. Unicode码 D. ASCII码

125.设x为真值，x\*为其绝对值，满足 [-x\*]补=[-x ]的条件是 D 。

A．x任意 B. x = 0

C. x为负数 D. x为正数

126.CPU不包括 C 。

A．地址寄存器

B．指令寄存器IR

C．地址译码器

D. 程序计数器

127.与具有n个并行部件的处理器相比，一个n段流水处理器 A 。

A．具备同等水平的吞吐能力

B．不具备同等水平的吞吐能力

C．吞吐能力大于前者的吞吐能力

D. 以上都不对

128.计算机系统中的存储系统是指 D。

A.RAM存储器 B.ROM存储器

C.主存 D.主存和辅存

129.目前被广泛使用的计算机是 A 。

A．数字计算机 B．模拟计算机

C．数字模拟混合式计算机 D．特殊用途计算机

130.三种集中式总线控制中， A 方式对电路故障最敏感。

A．链式查询

B．计数器定时查询

C．独立请求

D．同样敏感

131.EPROM 是指 C 。

A. 只读存储器

B. 可编程的只读存储器

C. 可擦洗可编程的只读存储器

D．U盘经常使用的存储器

132.设[ x ]补=1. x1x2x3x4 ，当满足下列 D 时，x>-1/2成立。

A．x1必须为0，x2～ x4至少有一个为1

B．x1必须为1，x2～ x4任意

C．x1必须为0，x2～ x4至少有一个为1

D．x1必须为1，x2～ x4至少有一个为1

133.[ x ]补=11.000000，它代表的真值是 B 。

A．+3 B. -1

C. -64 D. 0

134.设相对寻址的转移指令占俩个字节，第一字节是操作码，第二字节是相对位移量（可正可负）则转移的地址范围是 B 。

A．255 B．256

C．128 D. 512

135.CPU中的通用寄存器位数取决于 C 。

A．存储器的容量 B．指令的长度

C．机器字长 D. 程序员设定

136.程序计数器PC属于 B 。

A．运算器 B．控制器

C．存储器 D. 总线

137.所谓三总线结构的计算机是指 B 。

A．地址线、数据线和控制线三组传输线

B．I/O总线、主存总线和DMA总线三组传输线

C．I/O总线、主存总线和系统总线三组传输线

D．以上都不对

138.下列叙述中 A 是正确的 。

A. 主存可由RAM 和ROM组成

B. 主存只能由ROM组成

C. 主存只能由RAM组成

D. 主存只能由EPROM组成

139.DMA方式 B 。

A. 既然能用于告诉外围设备的信息传送，也就能代替中断方式

B. 不能取代中断方式

C. 也能向CPU请求中断处理数据传送

C. 传输时占用CPU资源较多

140.在中断周期中，由 B 将允许中断触发器置“0”。

A．关中断指令

B．中断隐指令

C．开中断指令

D．访存指令

141.计算机中有关ALU的描述， D 是正确的。

A.只做算术运算，不做逻辑运算 B.只做加法

C.能存放能存放运算结果 D.以上答案都不对

142.ENIAC所用的主要元件是 C 。

A．集成电路 B．晶体管

C．电子管 D．以上各项都不对

143.若主存每个存储单元为16位，则 B 。

A. 其地址线为16根

B. 其地址线数与16无关

C. 其地址线数与16有关

D．以上都不对

144.采用DMA方式传送数据时，每传送一个数据要占用 C 的时间。

A. 一个指令周期 B. 一个机器周期

C. 一个存储周期 D. 一个中断周期

145.周期挪用（窃取）方式常用于 A 中。

A. 直接存储器存储方式的输入输出

B. 直接程序传送方式的输入输出

C. 程序中断方式的输入输出

D．程序查询方式的输入输出

146.在浮点数中，当数的绝对值太小，以至于小于所能表示的数据时，称为浮点数的 B 。

A． 正下溢 B. 下溢

C． 负溢 D. 负上溢

**二、填空（每空2分）**

1.若RAM的容量为2M×8Bit，则地址线与数据线的数目分别为（ ）和（ ）条。

2.10110010算术右移一位的结果是（ ）逻辑右移一位的结果是（ ）。

3.操作码用来指定（ ），地址码用来指定操作数的（ ）。

4.单地址指令为完成两个数的算术运算除地址码给出一个操作数以外，还需要（ ）寻址方式。

5.只有操作码没有地址码的指令称为（ ）。

6.扩展操作码技术是一种优化技术，它使操作码的长度随地址码的减少而（ ），

使得不同地址的指令具有( )的操作码。

7.执行指令过程中，DBUS->MDR->IR所完成的功能是将从存储器中读取的指令经存储器送入( ),再通过总线送入( )。

\*8.建立高速缓存的理论依据是（），是为了解决CPU与主存之间（ ）不匹配的问题，现在发展为多级CACHE体系及（ ）与（ ）分设的体系。相联存储器是按（ ）进行访问的存储器，相联存储器与CACHE都需要（ ）查找。

9.控制器的两种组成方式是（ ）、（ ）。

9.CPU从主存中取出一条指令并执行的时间称为（ ），它常用若干个（）来表示，而后者又包括若干个（）。

10.DMA技术的出现使得（ ）可通过DMA控制器直接访问（ ）。

11.常用的校验码有奇偶校验码、海明码、CRC码，其中在大量的数据传输过程中常采用且有效的校验方法是（ ），只能检验错误不能纠正错误的是（ ）。

12.计算机系统是一个由硬件、软件组成的多级层次结构，它通常是由（ ）、一般机器级、操作系统级、汇编语言级别、( )、应用语言级组成。在每一级上都能进行程序设计。

13.磁表面存储器的记录方式有（ ）、改进的调频制、二次改进的调频制。

14.按指令长度编码方案有（ ）和（ ）两种编码方案。

17.-5.8D表示成浮点数，用移码表示则阶码为（）B，用补码表示尾数为（）B

18.通道是一个特殊功能的（ ），它通过自己的指令专门完成数据的传输。

19.后继地址的形成方式主要包括（ ）、（ ）。

20.相对寻址中操作数的地址由当前PC的值加（ ）产生。

21.只有操作码没有地址码的指令称为（ ）。

22.若RAM串联可以增加存储单元的（ ），并联可以增加（ ）。

23.浮点数表示的范围和精度分别取决于（ ）的位数和( )的位数

\*24.存储器保护是为了检查错误，有些错误是可以修正的。为了修正错误，就必须根据错误的类型产生异常。因此，保护是为了（ ）错误，异常是为了（ ）错误。保护功能分为（）及（ ）两种保护功能。

25.若主频时钟为200MHz，每个指令周期平均为2.5个CPU周期，每个CPU周期为包含2个时钟周期，则该机平均指令执行速度为（）MIPS。

26.不允许用户使用设置系统状态的指令是（）指令。

28.DMA技术的出现使得（ ）可通过DMA控制器直接访问（ ）。

29.为防止用户访问不是分配给这个用户的存储区域必须设置（ ）寄存器。

30.与微指令的执行周期对应的称为（ ）

32.浮点数加减运算时需要对阶，对阶时（ ）对齐，即当X的阶大于Y的阶时，Y的尾数部分向（ ）移动一位，并且Y的阶码（），直到X与Y的阶相等

34.若主频时钟为200MHz，每个指令周期平均为2.5个CPU周期，每个CPU周期为包含2个时钟周期，则该机平均指令执行速度为（ ）MIPS。。

\*51.接口的功能包括（ ）、（ ）、（ ）、（）、（）。

\*52.位操作类指令是对某一位进行（）。

53.控制存储器是存放（微程序和微指令）的只读存储器。

\*54.微程序设计技术是采用（）设计方法设计（）的一门技术。

55.根据IEEE754标准，-5.8D表示成浮点数，用4移码表示阶码为（ ）B，用8位补码表示尾数为（ ） B，符号位为（ ），其中第一位数值位为（ ），为隐含状态（）。

56.不允许用户使用设置系统状态的指令是（ ）指令。

\*60.两个BCD数相加，调整的方法是当结果（ ）时将结果（ ）进行调整

\*61.使用4位并行加法器74LS181构成一个16位的加法器需要（ ）片74LS181，各片之间通过（ ）进位实现加法运算。

\*63.CPU的四个主要功能是（）、（）、（）、（）。

**三、简答（每空5分）**

1.简述CPU的特权保护规则。

特权级显然是非常有效的管理和控制程序执行的手段，因此在硬件上对特权级做了很多支持，处理器通过识别CPL（当前特权）、DPL（描述符特权）、RPL（请求特权）这3种特权级别进行特权级别检查。

1.CPL(Current Privilege Level)

CPL是当前执行的程序或任务的特权级。它被存储在CS和SS的第0位和第1位上。在通常情况下，CPL等于代码所在的段的特权级。当程序转移到不同特权级的代码段时，处理器将改变CPL。

2.DPL(Descriptor Privilege level)

DPL表示段或者门的特权级。它被存储在段描述符或者门描述符的DPL中，当当前代码段试图访问一个段或者门时，DPL将会和CPL以及段或门选择子的RPL相比较。下面是各种类型的段或者门的情况：

3.RPL(Requested Privilege Level)

RPL是通过段选择子的第0位和第1位表现出来的。操作系统过程往往用RPL来避免低特权级应用程序访问高特权级段内的数据。当操作系统过程（被调用过程）从一个应用程序(调用过程)接受选择子时，将会把选择子的RPL设成调用者的特权级。于是，当操作系统用这个选择子区访问相应的段时，处理器将会用调用过程的特权级(RPL)，而不是更高的操作系统过程的特权级(CPL)进行特权检验。这样，RPL就保证了操作系统不会越俎代庖的代表一个程序区访问一个段，除非这个程序本身是有权限的。

2.简述DMA的功能。

A.接受外设请求，并向CPU发出DMA请求（HOLD）

B.CPU发出HLDA后，DMA接管总线并进入DMA方式

C.进行地址译码，即访问内存与外设

D.控制传送的字节数，判断DMA是否结束

DMA结束后释放总线，将总线控制权交还给CPU

3.微程序控制方式下，一条指令执行的过是什么

A.从控制存储器中取出一条“取指令”用的微指令，送到微指令寄存器。这是一条公用微指令，一般放在0号微地址单元。

B.操作码通过微指令地址形成电路形成对应的微程序入口地址，并送到微地址寄存器。

C.逐条取出微指令，每一条微指令提供一个微命令序列，控制有关的微操作。

D.执行完一条机器指令后（一段微程序），返回0号微地址单元，以便取下一条指令。

4.静态存储器与动态存储器的特点。

静态存储器的特点：

A.不需要刷新线路，因此外围线路简单

B.结构简单，可靠性高，速度快

C.电路中管子多，面积大，功耗大，因此不利于提高集成度

动态存储器的特点：

A.需要刷新电路，外围电路复杂

B.速度慢，功耗低，容易提高集成度

C.需要时序控制线路来协调读写周期的各个操作

5.已知 x = - 0.01111 ，y = +0.11001，

求 [ x ]补 ，[ -x ]补 ，[ y ]补 ，[ -y ]补 ，x + y = ？ ，x – y = ？

6.什么是闪速存储器？它有那些特点？

闪速存储器（Flash Memory）是一类非易失性存储器NVM（Non-Volatile Memory）即使在供电电源关闭后仍能保持片内信息；而诸如DRAM、SRAM这类易失性存储器，当供电电源关闭时片内信息随即丢失。 Flash Memory集其它类非易失性存储器的特点：与EPROM相比较，闪速存储器具有明显的优势——在系统电可擦除和可重复编程，而不需要特殊的高电压（某些第一代闪速存储器也要求高电压来完成擦除和/或编程操作）；与EEPROM相比较，闪速存储器具有成本低、密度大的特点。其独特的性能使其广泛地运用于各个领域，包括嵌入式系统，如PC及外设、电信交换机、蜂窝电话、网络互联设备、仪器仪表和汽车器件，同时还包括新兴的语音、图像、数据存储类产品，如数字相机、数字录音机和个人数字助理（PDA）

7.某加法器进位链小组信号为C3C2C1，低位来的进位信号为C0，请

分别按下述两种方式写出C3C2C1的逻辑表达式。

（1）串行进位方式

（2）并行进位方式

7.简述动态存储器的刷新方式：（假设刷新一般需要2ms内刷新一次）

动态存储器的刷新方式有（刷新一般需要2ms内刷新一次）：

集中式刷新：集中一段时间来刷新，刷新期间禁止读写，此间为死区

分散式刷新：将存取周期分为两个阶段，读写后马上刷新，此种方式存在过多的不必要的刷新，没有充分利用最大的刷新间隔，如果芯片存取时间为500ns，则存储器周期应设置为1us，在2ms内刷新2000次。

异步式刷新：每隔一段最大允许时间间隔，刷新一行。重复不断的进行刷新操作。即在2ms内分散的将各行刷新一次，则行与行之间的刷新时间间隔为2ms/行数。这样刷新控制电路每隔2ms/行数产生一次刷新信号，刷新期间禁止读写。这样就把死区分散了。将异步刷新方法进行改进，即在规定的2ms/行数时间内，利用没有访问主存的时间进行刷新，这就完全解决了死区问题。但这种线路极其复杂。

9.某机字长32位，定位表示，尾数31位，数符1位，问：

1）定点原码整数表示时，最大正数是多少？最小负数是多少？

2）定点原码小数表示时，最大正数是多少？最小负数是多少？

1）011111111111111111111111111111=232-1

11111111111111111111111111111=-232-1

2）0.11111111111111111111111111111(尾数31位)

1.11111111111111111111111111111(尾数31位)

10.某机字长32位，常规设计的存储空间≤32M ，若将存储空间扩至256M，请提出一种可能方案。

分时复用方式

AD0-AD24为常规内存空间32M

AD25-AD27为扩展控件，接入38译码器，分别选中一片常规内存芯片

11.简述接口的功能。

A.地址译码

B.数据缓冲

C.信息转换

D.提供外设状态及接受主机命令

E.提供时序控制

12.简述微指令的编码方式。

**A．直接控制法（不译码法）**

微指令操作控制字段的每一位都直接表示一个微命令，该位为“1”，表示执行这个微命令。

优点：结构简单，并行性强，无需译码，速度快。

缺点：微指令字太长，信息效率低。

特点：直观、硬件实现简单，执行速度快，具有高度的并行操作能力。

**B．最短编码法**  
将所有的微命令进行统一编码，每条微指令只定义一个微命令。若微命令总数为N，则最短编码法中操作控制字段的长度L，应满足:L≥log2N

优点：使微指令字长大大缩短

缺点：需译码，各微命令不能并行，使微程序很长  
\*\*\*典型的垂直型微指令\*\*

**C. 字段直接编码法**  
将微指令操作控制字段划分为若干个子字段，每个子字段内的所有微命令进行统一编码。

① 把互斥的微命令划分在同一字段内，如存储器的读和写。相容的微命令划分在不同字段内，如ALU和存储器之间的微命令。

② 一般每个子字段应留出一个编码状态，表示本字段不发任何微命令。（参考计算机操作系统的控制信号）  
③每个子字段所定义的微命令数不宜太多，否则将使微命令译码复杂。

**D.字段间接编码方式**

微命令的产生并不是直接从一个字段译码得到，而是需要另一个字段的编码加以解释 。

有效地压缩了微指令字长，不仅组内的微命令是相斥的，组与组之间也成为互斥的，降低了微指令的并行操作能力，接近于垂直型微指令格式。

13.简述水平型微指令与垂直型微指令的区别

A.水平型微指令

微指令的字长比较长

在一条微指令中可以产生较多的微命令

操作的并行性较高

B.垂直型微指令

微指令的字长比较短

操作的并行性不高

微程序比水平型的要长

14.有4级流水线，分别完成取指、译码并取数、运算、送结果4个操作，假设完成各个操作的时间依次为100ns，100 ns，80 ns，50 ns，则

1)流水线的操作周期应设计为多少?

100+100+80+50+3\*100=630

2）若相邻两条指令发生数据相关，且在硬件上不采取措施，那么，第二条指令要推迟多少时间？330ns

3）若对硬件加以改进，那么，第2条指令至少要推迟多少时间?

100+80=180（直接到运算器中取得结果)

15．简述静态程序设计和动态程序设计。

通常指令系统是固定的，一条机器指令的微程序是实现编制好的，无需改动，这种技术称为静态程序设计。采用EPROM作为控制存储器，可以根据需要，通过改变微指令和微程序来改变机器的指令系统，从而在一台机器上实现不同的指令系统，有利于仿真，这种技术称为动态程序设计，但技术要求高。

16．指令流水线中的超流水技术。

超流水线是指某型CPU内部的流水线超过通常的5~6步以上，例如奔腾4的流水线就长达20步。将流水线设计的步(级)数越多，其完成一条指令的速度越快，因此才能适应工作主频更高的CPU。超标量是指在一个时钟周期内CPU可以执行一条以上的指令。这在486或者以前的CPU上是很难想象的，只有奔腾级以上CPU才具有这种超标量结构；这是因为现代的CPU越来越多的采用了RISC技术，所以才会有超标量的CPU。

1. DMA操作的方法

A.周期挪用，DMA将CPU不访问内存的周期用来进行DMA操作，这种方式不通知CPU也不影响CPU，但DMA控制器必须识别哪些周期可以被挪用，因此线路复杂

B.周期扩展，DMA必须使用专用的CLK，这时，提供给CPU的CLK加宽，这期间CPU停止使用总线，而DMA的CLK不变，当CLK停止加宽后，CPU恢复工作

C.CPU停机方式，DMA工作时，向CPU发出请求，当CPU发出HLDA信号后停止工作，一般情况下采用这种方式

18．什么是数据相关，其常采用的解决办法是什么？

数据相关：是指后续指令所需的操作数是当前指令最后保存的结果，因此后续指令不能正常向下执行，为了改善这种相关带来的流水阻塞，常常设置专用线路，直接从运算部件取得数据，而不必等到保存后在取数。可见，流水线级数越多，越容产生易阻塞。

**四、综合应用（第一小题10分，第二小题20分）**

1. 设浮点数字长16位，其中阶码5位（含1位阶符），尾数11位（含1位数符），将（11/128）十 转换成二进制规格化浮点数及机器数（其中阶码采用移码，基值为2，尾数采用补码），并回答此浮点格式的规格化数表示范围。

答：（11/128）十 = 0. 0001011 = 2-3 \* 0. 1011000

按题目要求的机器数形式为0,1101；0. 1011000000。

2. 设某计算机采用直接映像Cache，已知主存容量为4MB，Cache容量4096B,字块长度为8个字（32位/字）。

（1）画出反映主存与Cache映像关系的主存地址各字段分配框图，并说明每个字段的名称及位数。

|  |  |  |
| --- | --- | --- |
| 2\*\*10=主存块号 | 2\*\*7=128缓存块号 | 2\*\*5=32B |

主存第X(222)块取余128块=Y(94)块，所以主存的第222块会映射到cache的第94块

(X MOD Y)

（2）设Cache初态为空，若CPU依次从主存第0，1，……，99号单元读出100个字（主存一次读出一个字），并重复按此次序读10次，问命中率为多少h？

0-99共100个单元分共12.5=13块，第一次都未命中,为0，其余13\*9次均命中，h=13\*9/130=90%

（3）如果Cache的存取时间是50ns，主存的存取时间是500ns根据（2）求出的命中率，求出平均存取时间。50\*0.9+500\*(1-0.9)=95ns或(500\*100\*1+50\*100\*9)/1000=95ns

（4）计算Cache——主存系统的效率。E:效率，tc:访问缓存时间，tm:访问主存时间1-h，ta:访问主存及缓存时间，则效率E=tc/ta=50/95=53%

3. 设浮点数字长16位，其中阶码5位（含1位阶符），尾数11位（含1位数符），将（-13/64）十 转换成二进制规格化浮点数及机器数（其中阶码采用移码，基值为2，尾数采用补码），并回答此浮点格式的规格化数表示范围。

答：（-13/64）十 = - 0. 001101 = 2-2 \*（- 0. 1101000）

按题目要求的机器数形式为0,110；1. 0011000000。

4. CPU有16根地址线，8根数据线，现有8K×8位RAM与CPU相连， 为访存控制信号

（1）用74LS138译码器画出CPU与存储器芯片的连接图

（2）画出每片RAM的地址范围

（3）如果运行时不论向哪片RAM写入数据，以A000H位起始地址的芯片都有与其相同的数据，分析故障原因

（4）根据（1）的连接图，若出现地址线A13与CPU断线，并搭接到高电平上，将出现什么后果

138

A15

A14

A13

A12

A0

D0------D7

…..

…..

MREQ A0-A12

MREQ A0-A12

MREQ

A0-A12

RAM0 RAM1 …. RAM7

D0-D7

5. 设浮点数字长16位，其中阶码4位（含1位阶符），尾数12位（含1位数符），将（-43/128）十 转换成二进制规格化浮点数及机器数（其中阶码采用移码，基值为2，尾数采用补码），并回答此浮点格式的规格化数表示范围。

6.假设主存容量为：512KB，Cache容量为4KB，每个字块为16个字，每个字32位

（1）Cache地址有多少位？可容纳多少块？

（2）主存地址有多少位？可容纳多少块？

（3）在直接映射下，主存的第几块映射到Cache中的第5块（起始字块为第1块）

（4）画出直接映射方式主存地址字段中各段的位数

1．Cache地址12位，共64块

2．主存地址有19位，共8194块

3．主存中的第5,64+5,2\*64=5，……n\*64+5 可映射到Cache的第5块

4．

|  |  |  |
| --- | --- | --- |
| 主存字块标记（7位） | 缓存字块地址（6位） | 字块内地址（6位） |

7. 设浮点数字长16位，其中阶码8位（含1位阶符），尾数8位（含1位数符），阶码采用移码表示，基值为2，尾数采用补码表示，计算：

（1）机器数位81D0H的十进制数值；答：81D0H = 1000 0001 1101 0000，十进制数为 21 \*（- 0.011）二 =（- 0.75）十 。

（2）此浮点格式的规格化表示范围。

8. 设CPU共有16根地址线，8根数据线，并用作为访存控制信号（低电平有效），用作为读/写控制信号（高电平为读，低电平为写）。现有下列存储芯片：1K×4位RAM，4K×8位RAM，2K×8位ROM以及74138译码器和各种门电路，如图所示。画出CPU与存储芯片的连接图，要求：

(1). 主存地址空间分配：8000H～87FFH为系统程序区；8800H～87FFH为用户程序区

(2).合理选用上述存储芯片，说明各选几片。

(3).详细画出存储芯片的片选逻辑。

解：A15 … A11 … A7 … A3 … A0

1 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

1 0 0 0 0 1 1 1 1 1 1 1 1 1 1 1 2K × 8位 ROM 1片

1 0 0 0 1 0 0 0 0 0 0 0 0 0 0 0

1 0 0 0 1 0 1 1 1 1 1 1 1 1 1 1 1K × 4位 RAM 2片

CPU与存储芯片的连接图如下所示。



9. 设浮点数字长16位，其中阶码8位（含1位阶符），尾数8位（含1位数符），阶码采用移码表示，基值为2，尾数采用补码表示，计算：

（1）机器数位83BCH的十进制数值；答：83BCH = 1000 0011 1011 1100，十进制数为23 \*（- 0.10001）二 =（- 4.25）十

（2）此浮点格式的规格化表示范围。

10. 设CPU共有16根地址线，8根数据线，并用作为访存控制信号（低电平有效），用作为读/写控制信号（高电平为读，低电平为写）。现有下列存储芯片：1K×4位RAM，4K×8位RAM，2K×8位ROM以及74138译码器和各种门电路，如图所示。画出CPU与存储芯片的连接图，要求：

(1).主存地址空间分配：A000H～A7FFH为系统程序区；A800H～AFFFH为用户程序区。

(2).合理选用上述存储芯片，说明各选几片,并写出每片存储芯片的二进制地址范围。

(3).详细画出存储芯片的片选逻辑。

解：A15 … A11 … A7 … A3 … A0

1 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

1 0 0 0 0 1 1 1 1 1 1 1 1 1 1 1 2K × 8位 ROM 1片

1 0 0 0 1 0 0 0 0 0 0 0 0 0 0 0

1 0 0 0 1 0 1 1 1 1 1 1 1 1 1 1 1K × 4位 RAM 2片

CPU与存储芯片的连接图如下所示。



11. 设浮点数字长16位，其中阶码8位（含1位阶符），尾数8位（含1位数符），阶码采用移码表示，基值为2，尾数采用补码表示，计算：

（1）机器数位7E60H的十进制数值；

答：7E60H = 0111 1110 0110 0000，十进制数为 2-2 \*（0.11）二 =（0.1875）

（2）此浮点格式的规格化表示范围。

12. 设CPU共有16根地址线，8根数据线，并用作为访存控制信号（低电平有效），用作为读/写控制信号（高电平为读，低电平为写）。现有下列存储芯片：1K×4位RAM，4K×8位RAM，2K×8位ROM以及74138译码器和各种门电路，如图所示。画出CPU与存储芯片的连接图，要求：

(1).主存地址空间分配：最小2K地址空间为系统程序区；相邻2K地址空间为用户程序区。

(2).合理选用上述存储芯片，说明各选几片。

(3).详细画出存储芯片的片选逻辑。

解：很据主存地址空间分配，最小2K地址为系统程序区，选用1片2K×8位ROM芯片；相邻2K地址为用户程序区，选用4片1K×4位RAM芯片，即

A15 … A11 … A7  … A3 … A0

0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

0 0 0 0 0 1 1 1 1 1 1 1 1 1 1 1 2K × 8位 ROM 1片

0 0 0 0 1 0 0 0 0 0 0 0 0 0 0 0

0 0 0 0 1 1 1 1 1 1 1 1 1 1 1 1 1K × 4位 RAM 4片

存储芯片的片选逻辑图如图所示



13. 设浮点数字长16位，其中阶码4位（含1位阶符），尾数12位（含1位数符），将（51/128）十 转换成二进制规格化浮点数及机器数（其中阶码采用移码，基值为2，尾数采用补码），并回答此浮点格式的规格化数表示范围。

14. 某8位微机地址码为18位，若使用4K×4位RAM芯片组成的模块板结构的存储器，则：

（1）该机允许的最大主存空间为多少？

（2）若每个模块板为32K×8位，共需要几个模块板？

（3）每个模块板共有多少片RAM？

（4）共有多少片RAM？

（5）CPU如何选择各个模块板与其相连？

15. 设浮点数字长16位，其中阶码8位（含1位阶符），尾数8位（含1位数符），阶码采用移码表示，基值为2，尾数采用补码表示，计算：

（1）机器数位7FC0H的十进制数值；

答：7FC0H = 0111 1111 1100 0000，十进制数为 2-21\*（- 0.1）二 =（- 0.25）十

（2）此浮点格式的规格化表示范围。

16. 设CPU共有16根地址线，8根数据线，并用作为访存控制信号（低电平有效），用作为读/写控制信号（高电平为读，低电平为写）。现有下列存储芯片：1K×4位RAM，4K×8位RAM，2K×8位ROM以及74138译码器和各种门电路，如图所示。画出CPU与存储芯片的连接图，要求：

(1).主存地址空间分配： 最大2K地址空间为系统程序区；相邻2K地址空间为用户程序区。

(2).合理选用上述存储芯片，说明各选几片。

(3).详细画出存储芯片的偏序逻辑。

解：根据主存地址空间分配，最大2K地址为系统程序区，选用1片2K × 8位ROM芯片；相邻2K 地址为用户程序区，选用4片1K ×4位RAM芯片，即

A15 … A11 … A7  … A3 … A0

1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1

1 1 1 1 1 0 0 0 0 0 0 0 0 0 0 0 2K ×8位 ROM 1片

1 1 1 1 0 1 1 1 1 1 1 1 1 1 1 1

1 1 1 1 0 0 0 0 0 0 0 0 0 0 0 0 1K ×4位 RAM 4片

存储芯片的片选逻辑图如图所示，



1. 根据IEEE754标准，用浮点数二进制补码表示并计算运算：1/4+5/7，尾数长8位，阶码长8位。

1/4:尾数=0.01000000，规格化后：0.100000000

阶码=-1 按IEEE754标准阶码=11111111

5/7:尾数=0.10111xxx

阶码=0 按IEEE754标准阶码=10000000

对阶后1/4:尾数=0.01000000，规格化后：0.100000000

相加:0.01000000

0.10111011

0.11111011 阶码：10000000

十进制：0.9xxxx\*2的0次方

1. 一个磁盘组共有11片，每片有203道，数据传输率为983040Bps，磁盘组转速为3600rpm，假定每个记录块有1024B，且系统可挂16台这样的磁盘机，计算磁盘存储器的总容量并设计磁盘地址格式。

转数=3600/60=60rps

扇区数=983040/60/1024=16

总容量：磁盘机数\*面数\*磁道数\*扇区数\*字节数=16\*10\*2\*203\*16\*1024

地址格式：4位磁盘机号+5位盘面号+8位磁道号+4位扇区号

19. S、E、M三个域组成的一个32位二进制字所表示的非零规格化浮点数X，其值表示为：X=（-1）S×（1.M）×2E-128，问它所表示的规格化的最大正数，最小正数，最大负数，最小负数。

20. 一个磁盘存储器共有6个盘片，第面有204条磁道，每条磁道有12个扇区，每个扇区有512B，磁盘机以7200rpm速度旋转，平均定位（寻道）时间为8ms。

（1）计算该磁盘存储器的存储容量。

（2）计算该磁盘存储器的平均寻址时间。

解：（1）6个磁盘共有10个记录面，磁盘存储容量

512B×12×204×10＝12533760B

（2）平均等待时间＝[60s/(7200rpm)] ×0.5≈4.165ms

平均等待时间＝8ms＋4.165ms＝12.165ms