

Міністерство освіти та науки України

Одеська національна академія зв'язку ім. О.С. Попова

---

Кафедра комп'ютерно-інтегрованих технологічних процесів  
та виробництв

О.М. Воробйова, І.П. Панфілов, М.П. Савицька, Ю.В. Флейта

# **ЕЛЕКТРОНІКА ТА МІКРОСХЕМОТЕХНІКА**

**Підручник**

Одеса – 2015

УДК 621.37

ББК

Е

План НМВ 2015 р.

**Рецензенти:**

Е Електроніка та мікросхемотехніка: підручник / О.М. Воробйова,  
І.П. Панфілов, М.П. Савицька, Ю.В. Флейта. – Одеса:  
ОНАЗ ім. О.С. Попова, 2015. – 298 с.

**ISBN 978-617-582-026-1**

У підручнику розглянуто принципи роботи, параметри та характеристики напів-провідникових, електровакуумних й оптоелектронних приладів.

Наведено принципи побудови, схеми, характеристики і методика розрахунку аналогових пристроїв на дискретних компонентах та на аналогових інтегральних мікросхемах.

Наведено принципи побудови, схеми, характеристики і методика розрахунку цифрових інтегральних мікросхем та пристроїв на них. Серед них: логічні елементи, тригери, лічильники, регістри, шифратори, дешифратори, мультиплексори, демультіплексори, програмовані логічні матриці, запам'ятовувальні пристрої, цифро-аналогові, аналого-цифрові перетворювачі тощо.

Підручник призначений для студентів, які вивчають дисципліну «Електроніка та мікросхемотехніка». Він містить матеріал, необхідний студентам для закріплення лекцій при підготовці і виконанні лабораторних робіт та практичних занять, при виконанні курсової роботи, а також для самостійної роботи.

Підручник може бути корисним для студентів та спеціалістів з технічного фаху.

ISBN

Ухвалено  
на засіданні кафедри КІТНіП  
і рекомендовано до друку.  
Протокол № 13 від 24.03.2015 р.

Затверджено  
методичною радою академії  
зв'язку.  
Протокол № 3 від 24.03.2015 р.

УДК 621.37  
ББК

**ISBN 978-617-582-026-1**

© Воробйова О.М., Панфілов І.П.,  
Савицька М.П., Флейта Ю.В., 2015

## ЗМІСТ

Передмова.....	7
Розділ 1. Пасивні компоненти .....	8
1.1. Резистори.....	8
1.2. Конденсатори.....	10
1.3. Котушки індуктивності .....	11
1.4. Трансформатори .....	12
1.5. Подільники напруги .....	14
1.6. Регулятори напруги .....	16
1.7. Гасники напруги .....	17
Розділ 2. Напівпровідникові діоди.....	19
2.1. Принцип дії напівпровідникових діодів.....	19
2.2. Напівпровідникові діоди .....	23
2.3. Основні типи напівпровідникових діодів.....	26
2.4. Випрямлячі.....	29
2.5. Параметричний стабілізатор постійної напруги .....	36
2.6. Амплітудні обмежувачі напруги.....	39
Розділ 3. Біполярні транзистори.....	44
3.1. Загальні відомості.....	44
3.2. Принцип дії біполярного транзистора.....	45
3.3. Статичні вольтамперні характеристики біполярного транзистора .....	47
3.3.1. Вольтамперні характеристики транзистора у схемі зі спільним емітером .....	48
3.3.2. Вольтамперні характеристики транзистора у схемі зі спільною базою .....	50
3.3.3. Граничні експлуатаційні параметри біполярного транзистора. Залежність параметрів транзистора від температури .....	51
3.4. Моделі біполярного транзистора .....	52
3.4.1. Нелінійні моделі біполярного транзистора.....	52
3.4.2. Лінійні моделі біполярного транзистора .....	53
3.5. Робота біполярного транзистора у схемі.....	58
3.5.1. Електронні підсилювачі. Основні технічні показники підсилювачів.....	58
3.5.2. Зворотний зв'язок у підсилювачах .....	63
3.5.3. Схеми включення біполярного транзистора за змінним струмом та їх властивості .....	69
3.5.4. Режими роботи підсилювального елемента у схемі.....	71
3.5.5. Кола живлення підсилювачів на біполярних транзисторах....	75
3.5.6. Розрахунок підсилювача зі спільним емітером .....	78
3.5.7. Резисторні підсилювачі на біполярних транзисторах та емітерною схемою стабілізації режиму.....	82

3.5.8. Двотактні вихідні підсилювачі на біполярних транзисторах .	84
3.5.9. Ключі на біполярних транзисторах .....	88
Розділ 4. Польові транзистори.....	95
4.1. Польові транзистори з керуючим <i>p-n</i> -переходом .....	95
4.2. Польові транзистори з ізольованим затвором.....	98
4.3. Граничні експлуатаційні параметри польових транзисторів .....	101
4.4. Лінійні моделі польового транзистора .....	102
4.5. Робота польового транзистора у схемі .....	104
4.5.1. Схеми включення польового транзистора за змінним струмом та їх властивості .....	104
4.5.2. Підсилювачі на польових транзисторах.....	106
4.5.3. Ключі на польових транзисторах .....	110
Розділ 5. Тиристори .....	114
5.1. Принцип дії тиристора .....	114
5.2. Робота тиристора у схемі .....	117
Розділ 6. Електровакуумні прилади .....	121
6.1. Електронні лампи .....	121
6.1.1. Діод .....	123
6.1.2. Тріод.....	123
6.1.3. Тетрод .....	126
6.1.4. Пентод.....	127
6.2. Резисторні підсилювачі на електронних лампах .....	127
Розділ 7. Власні шуми компонентів .....	131
Розділ 8. Аналогові інтегральні мікросхеми .....	134
8.1. Загальні відомості .....	134
8.2. Операційні підсилювачі .....	135
8.3. Характеристики операційного підсилювача .....	138
8.4. Диференціальні підсилювачі.....	142
8.4.1. Диференціальний підсилювач з резистивним навантаженням	142
8.4.2. Диференціальний підсилювач з динамічним навантаженням	144
8.5. Кола живлення аналогових інтегральних мікросхем.....	146
8.6. Схемотехніка операційних підсилювачів.....	148
8.7. Функціональні пристрої на операційних підсилювачах.....	149
8.7.1. Інвертуючий підсилювач .....	149
8.7.2. Неінвертуючий підсилювач. Повторювач напруги.....	151
8.7.3. Аналогові суматори.....	152
8.7.4. Інтегратор .....	154
8.7.5. Диференціатор.....	155
8.7.6. Логарифмічні схеми .....	156
8.7.7. Компаратори. Тригер Шмітта.....	159
8.7.8. Аналогові перемножувачі .....	162
8.8. Електронні генератори .....	164
8.8.1. Основні поняття .....	164
8.8.2. Генератори гармонічних коливань .....	164
8.9. Компенсація помилок операційного підсилювача.....	168

Розділ 9. Цифрові інтегральні мікросхеми .....	172
9.1. Загальні відомості .....	172
9.2. Основи алгебри логіки .....	172
9.3. Реалізація логічних функцій бульового базису .....	175
9.3.1. Функція логічного заперечення НЕ .....	175
9.3.2. Функція логічного множення І .....	176
9.3.3. Функція логічного додавання АБО .....	177
9.3.4. Комбіновані логічні функції .....	178
9.4. Логічні елементи .....	182
9.4.1. Транзисторно-транзисторні логічні елементи (ТТЛ) .....	183
9.4.2. Транзисторно-транзисторні логічні елементи з транзисторами Шоттки (ТТЛШ) .....	185
9.4.3. Елементи емітерно-зв'язаної логіки (ЕЗЛ) .....	186
9.4.4. Елементи інтегрально-інжекційної логіки (І <sup>2</sup> Л) .....	188
9.4.5. Логічні елементи <i>n</i> МОН-логіки .....	190
9.4.6. Логічні елементи КМОН-логіки .....	191
9.4.7. Логічні елементи з трьома станами виходу .....	193
9.4.8. Порівняльна оцінка різних типів логічних елементів .....	195
9.4.9. Узгодження логічних елементів різних типів .....	196
9.5. Правила використання цифрових мікросхем .....	197
Розділ 10. Послідовнісні пристрої .....	200
10.1. Тригери .....	200
10.1.1. Асинхронний <i>RS</i> -тригер .....	202
10.1.2. Синхронний <i>RS</i> -тригер .....	204
10.1.3. <i>D</i> -тригер .....	206
10.1.4. <i>JK</i> -тригер .....	208
10.2. Формувачі тривалості фронтів .....	210
10.3. Лічильники імпульсів .....	212
10.3.1. Параметри лічильника .....	212
10.3.2. Класифікація лічильників .....	212
10.3.3. Послідовні лічильники .....	213
10.3.4. Десяткові лічильники .....	218
10.3.5. Збільшення розрядності лічильників .....	220
10.3.6. Швидкодія лічильників .....	221
10.4. Регістри .....	222
10.4.1. Класифікація регістрів .....	222
10.4.2. Послідовні регістри .....	222
10.4.3. Паралельні регістри .....	227
Розділ 11. Комбінаційні пристрої .....	229
11.1. Загальні відомості .....	229
11.2. Шифратори .....	229
11.3. Дешифратори .....	232
11.4. Мультиплексори .....	236
11.5. Демультіплексори .....	238
11.6. Програмовані логічні матриці .....	239

11.7. Цифрові компаратори .....	244
11.8. Цифрові суматори .....	245
11.9. Особливості роботи комбінаційних пристроїв .....	247
Розділ 12. Запам'ятовувальні пристрої .....	250
12.1. Класифікація запам'ятовувальних пристроїв (ЗП) .....	250
12.2. Параметри запам'ятовувальних пристроїв (ЗП) .....	250
12.3. Оперативні запам'ятовувальні пристрої (ОЗП) .....	251
12.31. Структура ВІС ОЗП .....	253
12.32. Інформаційні та керуючі сигнали ВІС ОЗП .....	257
12.4. Постійні запам'ятовувальні пристрої (ПЗП) .....	259
12.41. Класифікація ПЗП .....	259
12.42. Структура ВІС ПЗП .....	260
Розділ 13. Цифро-аналогові та аналого-цифрові перетворювачі .....	264
13.1. Загальні відомості .....	264
13.2. Цифро-аналогові перетворювачі (ЦАП) .....	264
13.2.1. Параметри ЦАП .....	265
13.2.2. Схеми ЦАП .....	265
13.3. Аналого-цифрові перетворювачі (АЦП) .....	271
13.3.1. Параметри АЦП .....	274
13.3.2. Схеми АЦП .....	275
Розділ 14. Оптиелектронні прилади .....	282
14.1. Загальні відомості .....	282
14.2. Оптрони .....	286
14.2.1. Структурна схема оптрона .....	287
14.2.2. Основні електричні параметри оптронів .....	288
14.2.3. Застосування оптронів .....	290
Список літератури .....	296

## ПЕРЕДМОВА

Підручник призначений для студентів, майбутніх фахівців, яким належить вирішувати проблеми автоматизації технологічних процесів у різних галузях.

Серед технічних дисциплін, які необхідні для базової підготовки фахівців з автоматизації технологічних процесів, однією з основних є «Електроніка та мікросхемотехніка», відповідно до програми якої написано цей підручник. Він містить відомості про напівпровідники, електровакуумні та оптоелектронні прилади, схемотехніку аналогових та цифрових пристроїв.

Особливості вивчення дисципліни «Електроніка та мікросхемотехніка» зумовлені тим, що це одна з перших дисциплін, що забезпечують спеціальну підготовку студентів. В результаті вивчення дисципліни студент повинен набути знань і навиків для побудови електронних пристроїв, які використовуються у системах автоматики та управління. У системах управління технологічними процесами використовуються як слабкострумові малопотужні електронні компоненти та пристрої у вигляді мікросхем, так і сильнострумові силові пристрої, які складаються з дискретних компонентів.

Даний підручник написано викладачами кафедри «Комп'ютерно-інтегрованих технологічних процесів і виробництв» Одеської національної академії зв'язку ім. О.С. Попова на підставі досвіду читання лекцій, проведення практичних та лабораторних занять. Автори вдячні співробітникам кафедри «Комп'ютерно-інтегрованих технологічних процесів і виробництв» за поради та зауваження, які були враховані при підготовці рукопису до видання.

## Розділ 1. ПАСИВНІ КОМПОНЕНТИ

Пасивними компонентами є *резистори, конденсатори, котушки індуктивності та трансформатори*.

### 1.1. Резистори

Резистори є найбільш розповсюдженими компонентами. Важко уявити електронний пристрій без резисторів.

Основною властивістю резистора є перетворення електричної енергії в теплову, хоча в більшості пристроїв ця властивість не тільки не використовується, а іноді є шкідливою.

Функціональним призначенням резисторів є регулювання і розподілення електричної енергії між колами й елементами електронного пристрою.

Резистори бувають постійними та змінними. Умовне позначення резисторів показано на рис. 1.1, а правила їхнього креслення на схемах пояснює рис. 1.2.

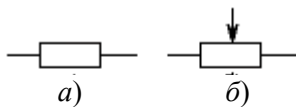


Рисунок 1.1 – Умовне позначення резисторів:  
а) постійного;  
б) змінного

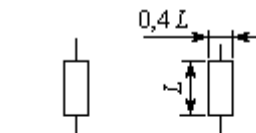


Рисунок 1.2 – Розміри умовного позначення резистора

Основним параметром резистора є його електричний *опір*  $R$ . Опір є коефіцієнтом пропорційності у співвідношенні між струмом  $I_R$ , який тече через резистор, та напругою  $U_R$ , яка прикладена до резистора  $R$ :

$$U_R = R \cdot I_R, \quad (1.1)$$

$$I_R = \frac{U_R}{R}. \quad (1.2)$$

Зі співвідношень (1.1) та (1.2), які є законом Ома, видно основну дію резистора, а саме: резистори перетворюють напругу у струм або струм у напругу.

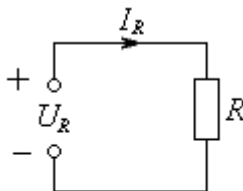


Рисунок 1.3 – Резистор  $R$  під напругою

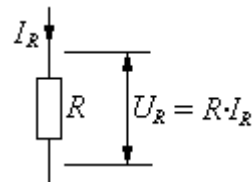


Рисунок 1.4 – Резистор  $R$  під струмом



Якщо до резистора з опором  $R$  прикладена напруга  $U_R$ , то через резистор тече струм  $I_R$  (рис. 1.3).

Навпаки, якщо через резистор з опором  $R$  тече струм  $I_R$ , то на резисторі виникає падіння напруги  $U_R$  (рис. 1.4).

Розмірністю й одиницею *опору* є ом (Ом). Опір 1 Ом є відносно малим і тому поруч з одиницею „Ом” застосовуються також найбільше розповсюджені одиниці *кілоом* (кОм) та *мегом* (МОм):

$$\begin{aligned} 1 \text{ кОм} &= 10^3 \text{ Ом}; \\ 1 \text{ МОм} &= 10^6 \text{ Ом}. \end{aligned} \quad (1.3)$$

Резистор під напругою завжди виділяє потужність у виді тепла

$$P = I_R \cdot U_R = \frac{U_R^2}{R} = I_R^2 R, \quad (1.4)$$

де  $U_R$  та  $I_R$  – середньоквадратичні значення відповідно до напруги й струму.

Резистор також характеризується *провідністю*, яка є зворотною величиною до опору:

$$G = \frac{1}{R}. \quad (1.5)$$

Розмірністю й одиницею *провідності* є *сименс* (См). Використовуються також *мілісименс* (мСм) та *мікросименс* (мкСм):

$$\begin{aligned} 1 \text{ мСм} &= 10^{-3} \text{ См}; \\ 1 \text{ мкСм} &= 10^{-6} \text{ См}. \end{aligned} \quad (1.6)$$

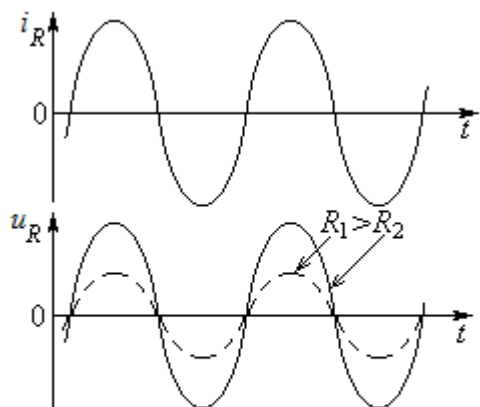


Рисунок 1.5 – Епюра напруги  $u_R$  та струму  $i_R$  резистора

На рис. 1.5 наведені епюри напруги  $U_R$ , яка прикладена до резистора, та струму  $I_R$  для двох значень опорів резисторів  $R_1$  і  $R_2 < R_1$ . З цього рисунку видно, що у резистивному колі (див. рис. 1.3) форма струму і напруги збігаються. Резистор не вносить фазового зсуву між струмом і напругою. Тому точки переходу через нуль напруги  $u_R$  та струму  $i_R$  завжди збігаються.

Основними *параметрами* резисторів є *номінальний опір*  $R$ , *допуск номінального опору* (точність виготовлення) та *номінальна потужність*  $P$  (1.4), яку вони можуть розсіювати при збереженні інших параметрів.

Умовні позначення цих параметрів наносяться на резистори. Вони стандартизовані і подані в табл. 1.1, 1.2, 1.3.



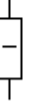
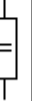
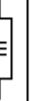


Таблиця 1.1 – Номінальні опори резисторів з допуском  $\pm 5\%$  (ряд Е 24)

1,0	1,5	2,2	3,3	4,7	6,8
1,1	1,6	2,4	3,6	5,1	7,5
1,2	1,8	2,7	3,9	5,6	8,2
1,3	2,0	3,0	4,3	6,2	9,1

Таблиця 1.2 – Допуски номіналів резисторів

Допуск, %	0,1	0,2	0,5	1	2	5	10	20	30
Позначення	Ж	У	Д	Р	Л	И	С	В	Ф

Таблиця 1.3 – Позначення потужностей резисторів на схемах

Потужність, Вт	0,25	0,5	1	2	3	4	5	---
Позначення на схемі								---

*Матеріали*, з яких виготовляють резистори, визначають їхній тип: *дротяні* та *недротяні*. Недротяні резистори підрозділяють на *тонкошарові* та *композиційні*. Тонкошарові у свою чергу підрозділяються на *металоокисні*, *металізовані*, *вуглецеві* та *боровуглецеві*. Композиційні резистори бувають *плівкові* та *об'ємні*.

Матеріал і технологія виготовлення резисторів суттєво впливають на параметри та властивості резисторів. Так, дротяні резистори мають високі точність виготовлення та температурну стабільність. Але поруч з цим вони відносно низькочастотні. На високих частотах слід використовувати недротяні резистори.

## 1.2. Конденсатори

*Конденсатор*, умовне позначення якого наведене на рис. 1.6, являє собою дві струмопровідні поверхні, які відділені одна від одної діелектриком. *Основною властивістю конденсатора є накопичення енергії електричного поля.*



Рисунок 1.6 – Умовне позначення конденсатора

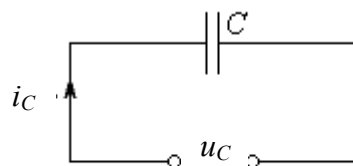


Рисунок 1.7 – Конденсатор під напругою

Конденсатори характеризуються *ємністю*

$$C = \frac{Q}{U_C}, \quad (1.7)$$

де  $Q$  – заряд, який накопичив конденсатор під прикладеною до нього напругою  $u_C$  (рис. 1.7).

Розмірністю й одиницею ємності є *фарада* (Ф). Ємність в 1 фараду дуже велика. Тому застосовуються десяткові дробові одиниці: *мікрофарада* (мкФ), *нанофарада* (нФ) та *пікофарада* (пФ):

$$\begin{aligned} 1 \text{ мкФ} &= 10^{-6} \text{ Ф}; \\ 1 \text{ нФ} &= 10^{-9} \text{ Ф}; \\ 1 \text{ пФ} &= 10^{-12} \text{ Ф}. \end{aligned} \quad (1.8)$$

Струм  $i_C$  в колі конденсатора (рис. 1.7) зв'язаний з напругою  $u_C$  на ньому через співвідношення

$$i_C = C \frac{du_C}{dt}, \quad (1.9)$$

тобто струм конденсатора є пропорційним до швидкості зміни напруги на ньому.

Після інтегрування (1.9) отримуємо співвідношення для напруги

$$u_C = \frac{1}{C} \int i_C dt. \quad (1.10)$$

Якщо до конденсатора прикладена постійна напруга  $u_C = \text{const}$ , то  $du_C = 0$  і, як видно з формули (1.9), струм  $i_C = 0$ : під *постійною* напругою струм у колі конденсатора не тече, тобто ємність для постійної напруги еквівалентна розриву кола. Реальна ємність має також низку паразитних параметрів, які можливо розглядати як еквівалентну індуктивність та опір втрат.

Якщо конденсатор знаходиться під гармонічною напругою, то в його колі тече змінний струм, як бачимо з формули (1.9). При цьому виникає зсув фаз між струмом і напругою, що дорівнює  $90^\circ = \pi/2$ : *напруга на ємності відстає за фазою від струму на  $\pi/2$*  (струм випереджає напругу на  $\pi/2$ ).

Конденсатор має частотно залежний опір, який дорівнює

$$|X_C| = \frac{1}{\omega C} = \frac{1}{2\pi f C}. \quad (1.11)$$

Основними параметрами конденсатора є *номінальна ємність* та *припустима напруга*. Номінальна ємність стандартизована і регламентується номіналами, що й резистори (див. табл. 1.1).

*Матеріал діелектрика* визначає і тип конденсатора, і його властивості. За типом діелектрика конденсатори бувають паперові, слюдяні, керамічні та електролітичні. Найбільшу ємність за інших рівних умов мають електролітичні конденсатори (сотні тисяч мкФ). Самими високочастотними конденсаторами є керамічні.

### 1.3. Котушки індуктивності

*Котушка індуктивності*, умовне позначення якої наведене на рис. 1.8, являє собою соленоїд з осердям (а) або без нього (б).

Рисунок 1.8 – Умовне позначення котушок:

а) з осердям; б) без осердя

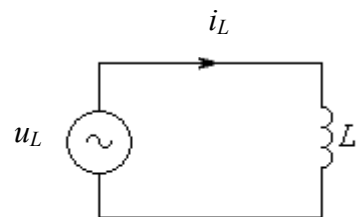
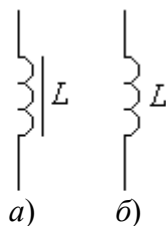


Рисунок 1.9 – Котушка під напругою

Осердя застосовується для збільшення індуктивності. Матеріалом для осердя частіше за все є пластини з трансформаторного заліза або ферит.

*Основною властивістю котушки є накопичення енергії магнітного поля.*

Основним параметром котушки є індуктивність  $L$ :

$$L = \frac{\Psi}{I_L}, \quad (1.12)$$

де  $\Psi$  – потокозчеплення самоіндукції, тобто сумарний магнітний потік, який викликається струмом котушки  $I_L$  (рис. 1.9).

Розмірністю й одиницею індуктивності є *генрі* (Гн). Існують також десяткові дробові одиниці:

$$\begin{aligned} 1 \text{ мГн} &= 10^{-3} \text{ Гн} - \text{мілігенрі}; \\ 1 \text{ мкГн} &= 10^{-6} \text{ Гн} - \text{мікрогенрі}; \\ 1 \text{ нГн} &= 10^{-9} \text{ Гн} - \text{наногенрі}; \\ 1 \text{ пГн} &= 10^{-12} \text{ Гн} - \text{пікогенрі}. \end{aligned} \quad (1.13)$$

Напруга  $u_L$  на котушці та її струм  $i_L$  (рис. 1.9) зв'язані співвідношеннями:

$$u_L = L \frac{di_L}{dt}, \quad (1.14)$$

$$i_L = \frac{1}{L} \int u_L dt. \quad (1.15)$$

Як впливає з формули (1.14), напруга на індуктивності прямо пропорційна швидкості зміні струму (похідної струму  $\frac{di_L}{dt}$ ).

При протіканні постійного струму  $i_L = \text{const}$ ,  $\frac{di_L}{dt} = 0$ ,  $u_L = 0$ , тобто індуктивність еквівалентна коротко замкнутій ділянці. Реальна котушка індуктивності має також низку паразитних параметрів, які можливо розглядати як еквівалентну ємність та опір втрат.

Якщо котушка індуктивності знаходиться під гармонічною напругою, то в її колі тече змінний струм, як видно з формули (1.15). При цьому виникає зсув фаз між струмом і напругою, що дорівнює  $-90^\circ = -\pi/2$ : *напруга на індуктивності випереджає за фазою струм на  $\pi/2$*  (струм відстає від напруги на  $\pi/2$ ).

Котушка індуктивності має частотно залежний опір, який дорівнює

$$|X_L| = \omega L = 2\pi f L. \quad (1.16)$$

*Параметри котушок не стандартизовані і можуть бути будь-якими на вимогу. Щодо матеріалу осердя, то ним є трансформаторне залізо або ферит. Трансформаторне залізо використовують на відносно низьких частотах, не перевищуючих верхню межу звукового діапазону. На вищих частотах використовують котушки з феритовим осердям.*

## 1.4. Трансформатори

Трансформатори призначені для перетворення так званої первинної перемінної напруги в іншу – вторинну перемінну напругу.

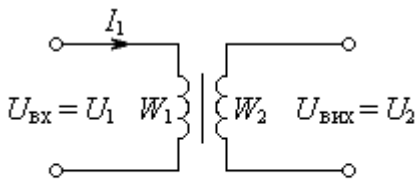


Рисунок 1.10 – Схема трансформатора

Трансформатор складається в найпростішому випадку з двох магнітно зв'язаних котушок:  $W_1$  та  $W_2$ , які називають *обмотками* (рис. 1.10).

Магнітні потоки цих котушок зчеплені, через що трансформатор перетворює *первинну* (вхідну) напругу  $U_1$  у *вторинну* (вихідну) напругу  $U_2$ .

Основним *параметром* трансформатора є *коефіцієнт трансформації*

$$n = \frac{W_2}{W_1}, \quad (1.17)$$

де  $W_1$  та  $W_2$  – число витків первинної та вторинної обмоток відповідно.

Через напруги коефіцієнт трансформації визначається як відношення

$$n = \frac{U_2}{U_1}. \quad (1.18)$$

Якщо  $n < 1$ , тобто  $U_2 < U_1$ , то трансформатор *знижуючий* (він зменшує напругу).

При  $n > 1$  ( $U_2 > U_1$ ), трансформатор *підвищуючий* (збільшує напругу).

При  $n = 1$  ( $U_2 = U_1$ ), трансформатор *розподільний*. Він гальванічно розриває первинне та вторинне кола, не змінюючи напруги.

Феромагнітне осердя застосовують для збільшення магнітного потоку і зв'язку між котушками, що приводить до зростання потужності, яка віддається у вторинне коло трансформатора. Коефіцієнт корисної дії трансформатора визначається при підключеному навантаженні  $R_n$  (рис. 1.11)

$$\eta = \frac{P_2}{P_1}, \quad (1.19)$$

де  $P_2$  – потужність, що віддається навантаженню;  $P_1$  – потужність, споживана трансформатором від мережі.

Втрати потужності в трансформаторі зумовлені втратами в міді обмоток і в осерді на вихрові струми та гістерезис. ККД малопотужних трансформаторів звичайно дорівнює  $\eta = 0,6 \dots 0,8$ . Потужні трансформатори конструюють таким чином, щоб отримати високий ККД, він може дорівнювати значенням  $\eta = 0,95 \dots 0,98$ .

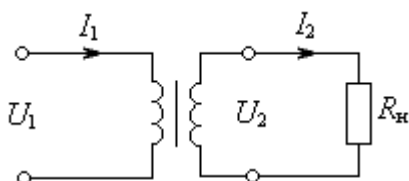


Рисунок 1.11 – Трансформатор під навантаженням

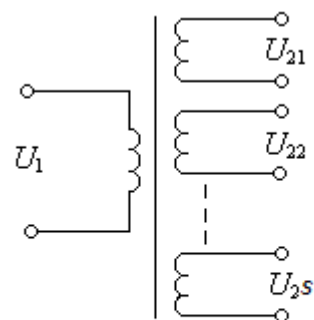


Рисунок 1.12 – Трансформатор з багатьма вторинними обмотками

Опір навантаження перераховується у первинну обмотку за формулою

$$R_{H1} = n^2 R_H,$$

де  $R_{H1}$  – опір, перерахований у первинну обмотку.

Якщо вторинна обмотка не одна (рис. 1.12), то потужність первинної обмотки  $P_1$  складається з суми потужностей усіх вторинних обмоток :

$$P_1 = P_{21} + P_{22} + \dots + P_{2s}. \quad (1.20)$$

Як *матеріал осердя* використовують *трансформаторне залізо* або *ферит*. Трансформаторне залізо використовують на відносно низьких частотах, не перевищуючих звукового діапазону. На вищих частотах використовують трансформатори з феритовим осердям.

Основними *параметрами* трансформатора є *коефіцієнт трансформації* та *потужність*. Коефіцієнт трансформації визначається співвідношенням витків вторинної та первинної обмоток, а потужність – об'ємом осердя. Чим більше об'єм, тим потужніше трансформатор.

## 1.5. Подільники напруги

Застосування резисторів у більшості випадків можна звести до подільників напруги, регуляторів напруги та гасників напруги.

*Подільники напруги* набули найбільшого розповсюдження і складають основу різноманітних схемотехнічних пристроїв. *Подільники призначені для зменшення напруги, і саме тому називаються подільниками.*

Однак, слід зазначити, що застосування резисторів у подільниках за своїм призначенням не завжди тільки зменшує напругу. Комбінація резистора з іншими приладами створює різноманітні електронні пристрої.

Так, подільник з резистора та конденсатора створює фільтр вищих або нижніх частот. Подільник з резистора та діода створює випрямляч. Зі стабілітроном він є стабілізатором напруги. Подільник з резистора та транзистора створює підсилювач або ключ та ін.

Отже, без структури подільника напруги не можна уявити жодного найпростішого електронного пристрою. Тому вивчення подільників напруги є фундаментом для засвоєння подальших електронних пристроїв.

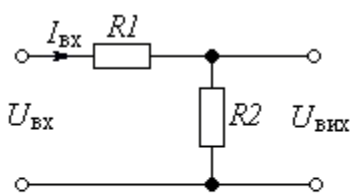


Рисунок 1.13 – Подільник напруги

Схема найпростішого резистивного подільника напруги без навантаження показана на рис. 1.13.

Резистори  $R1$  та  $R2$  називаються плечима:  $R1$  – верхнє плече,  $R2$  – нижнє.

Подільник працює наступним чином.

Послідовне з'єднання резисторів  $R1$  і  $R2$  перетворює вхідну напругу  $U_{BX}$  у струм

$$I_{BX} = \frac{U_{BX}}{R_1 + R_2}, \quad (1.21)$$

який створює падіння напруги на резисторах  $R1$  та  $R2$ . Вихідна напруга, яка знімається з резистора  $R2$ , становить

$$U_{\text{вих}} = I_{\text{вх}} R_2 = U_{\text{вх}} \frac{R_2}{R_1 + R_2}. \quad (1.22)$$

З формули (1.22) видно, що вихідна напруга  $U_{\text{вих}}$  менше вхідної в  $\frac{R_2}{R_1 + R_2}$  разів, тобто є поділеною. Це пояснюється законом Кірхгофа, за яким вхідна напруга  $U_{\text{вх}}$  розподіляється між резисторами  $R_1$  та  $R_2$ :

$$U_{\text{вх}} = U_{R1} + U_{R2}. \quad (1.23)$$

З формули (1.23) випливає, що напруга на кожному з резисторів менше вхідної.

Поділимо обидві частини формули (1.22) на  $U_{\text{вх}}$ , й отримуюємо *коефіцієнт передачі* подільника напруги

$$K = \frac{U_{\text{вих}}}{U_{\text{вх}}} = \frac{R_2}{R_1 + R_2}. \quad (1.24)$$

З формули (1.21) випливає, що *вхідний опір* подільника напруги дорівнює

$$R_{\text{вх}} = \frac{U_{\text{вх}}}{I_{\text{вх}}} = R_1 + R_2. \quad (1.25)$$

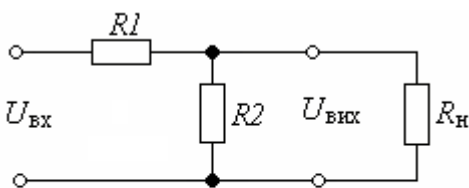


Рисунок 1.14 – Подільник напруги під навантаженням

Вихід подільника напруги, як і вихід будь-якого пристрою, завжди працює на якесь навантаження  $R_{\text{н}}$  (рис. 1.14). Тоді опір нижнього плеча визначається паралельним з'єднанням  $R_2$  та  $R_{\text{н}}$ :

$$R_{\text{екв}} = \frac{R_2 R_{\text{н}}}{R_2 + R_{\text{н}}}. \quad (1.26)$$

Нижнім плечем у цьому випадку є  $R_{\text{екв}}$  і тому коефіцієнт передачі подільника напруги під навантаженням дорівнює:

$$K_{\text{н}} = \frac{R_{\text{екв}}}{R_1 + R_{\text{екв}}}. \quad (1.27)$$

Одним з пояснень дії подільника, як і інших пристроїв, є *часова діаграма роботи*, тобто епюри вхідної та вихідної напруг. Часову діаграму роботи подільника напруги наведено на рис. 1.15 на постійному (а) та змінному (б) струмах.

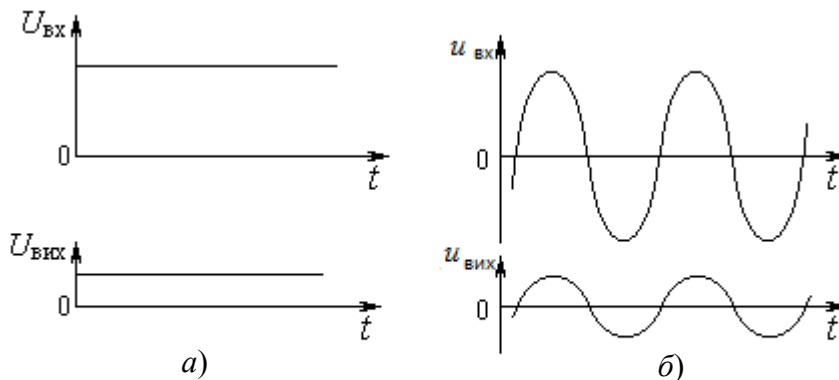


Рисунок 1.15 – Часова діаграма роботи подільника напруги:  
а) на постійному струмі; б) – на змінному струмі

Ця діаграма роботи показує, що вихідна напруга  $U_{\text{вих}}$  як на постійному а), так і на змінному б) струмах менше за вхідну  $U_{\text{вх}}$ , причому форми  $u_{\text{вх}}$  та  $u_{\text{вих}}$  завжди збігаються.

Основними параметрами подільника напруги є коефіцієнт передачі, вхідний та вихідний опори. Коефіцієнт передачі подільника без навантаження визначається формулою (1.24), а вхідний опір – формулою (1.25).

Вихідний опір без навантаження дорівнює опору паралельного з'єднання  $R_1$  та  $R_2$ :

$$R_{\text{вих}} = \frac{R_1 R_2}{R_1 + R_2}. \quad (1.28)$$

## 1.6. Регулятори напруги

Найпростішим, але разом з тим значно розповсюдженим регулятором є подільник, у плечах якого стоять змінні резистори (рис. 1.16).

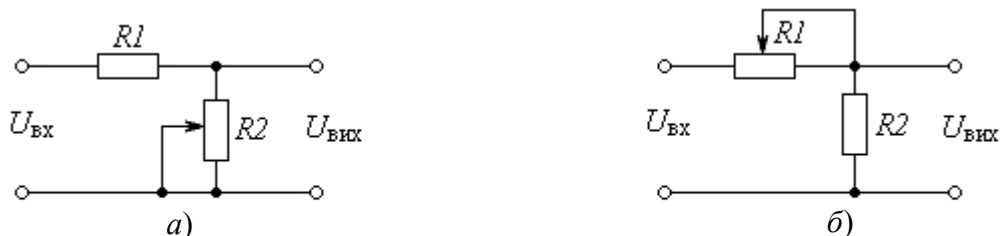


Рисунок 1.16 – Схеми регуляторів напруги

Оскільки коефіцієнт передачі подільника напруги однозначно визначається співвідношенням опорів резисторів  $R_1$  та  $R_2$ , то змінюючи будь-який з них, можна регулювати коефіцієнт передачі і саме тим змінювати вихідну напругу.

Якщо регулювати нижнє плече  $R_2$  (рис. 1.16,а), то межі регулювання вихідної напруги становитимуть

$$0 \leq U_{\text{вих}} \leq U_{\text{вх}} \frac{R_2}{R_1 + R_2}. \quad (1.29)$$

У верхньому положенні повзунка  $U_{\text{вих}} = U_{\text{вх}} \frac{R_2}{R_1 + R_2}$ , а у нижньому  $U_{\text{вих}} = 0$ .

При регулюванні верхнього плеча  $R_1$  (рис. 1.16,б) межі регулювання вихідної напруги становитимуть

$$U_{\text{вх}} \frac{R_2}{R_1 + R_2} \leq U_{\text{вих}} \leq U_{\text{вх}}. \quad (1.30)$$

Коли повзунок знаходиться ліворуч, то  $U_{\text{вих}} = U_{\text{вх}}$ , а коли праворуч, то

$$U_{\text{вих}} = U_{\text{вх}} \frac{R_2}{R_1 + R_2}. \quad (1.31)$$



Якщо треба регулювати  $U_{\text{вих}}$  у межах від нуля до вхідної напруги:  $0 \leq U_{\text{вих}} \leq U_{\text{вх}}$ , то змінний резистор слід включити за схемою потенціометра (рис. 1.17).

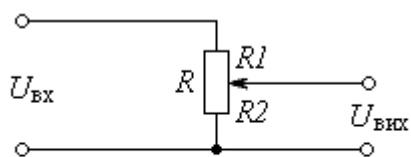


Рисунок 1.17 –  
Потенціометричний регулятор

У верхньому стані повзунка  $U_{\text{вих}} = U_{\text{вх}}$ , а у нижньому  $U_{\text{вих}} = 0$ .

Робота регулятора стане зрозумілою, якщо весь опір  $R$  розділити на дві частини:  $R1$  та  $R2$ . Тоді маємо подільник напруги з опором  $R1$  у верхньому плечі та  $R2$  – у нижньому. Коefіцієнт передачі регулятора (рис. 1.17) визначається формулою (1.24), як і будь-якого подільника. Перевагою регулятора (рис. 1.17) є широкий діапазон регулювання, який дорівнює усій вхідній напрузі. Недоліком є грубе регулювання.

## 1.7. Гасники напруги

Часто виникає необхідність живлення каскадів напругами різних значень. Якщо ці каскади енергоємні, то доцільно кожний каскад живити від окремого джерела напруги.

Однак є випадки, коли потужність, споживана каскадами, невелика і доцільно для їхнього живлення використовувати тільки одне джерело з найбільшою потрібною напругою, а надлишок напруги для інших каскадів десь гасити. Для цієї мети використовують так звані *резистори гасіння*, які включають послідовно з каскадом, що живиться (рис. 1.18).

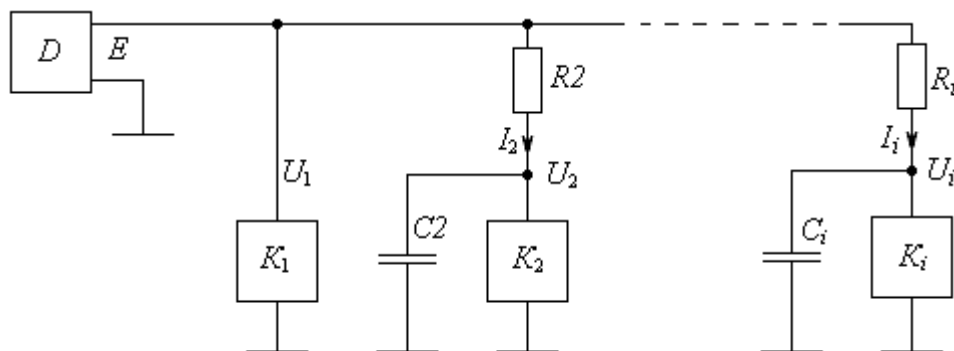


Рисунок 1.18 – Живлення каскадів через гасильні резистори

Схема живлення працює наступним чином.

Джерело напруги  $D$  виробляє напругу  $E$ , яка призначена для живлення каскаду  $K_1$  з напругою  $U_1 = E$ .

Інші каскади  $K_i$  живляться напругами  $U_i$  і споживають струми  $I_i$ . Струм  $I_i$  створює на резисторі  $R_i$  падіння напруги, яке дорівнює надлишку  $(E - U_i)$ .

Тоді опір резистора  $R_i$  визначається формулою

$$R_i = \frac{E - U_i}{I_i}. \quad (1.32)$$

Бувають випадки, коли струм споживання  $I_i$  не залишається постійним, наприклад, цей струм зазнає пульсацій. Через це з'являться пульсації падіння напруги  $I_i R_i$ . Тому буде пульсуючим і  $U_i$ . Для усунення пульсацій  $U_i$  їх “згладжують” конденсаторами  $C_i$ .

### Контрольні питання

1. Назвіть пасивні компоненти та їхні основні властивості.
2. Назвіть призначення резисторів.
3. Назвіть основні параметри резисторів.
4. Поясніть вплив опору резистора на струм в його колі.
5. Наведіть епюри напруги та струму у колі резистора.
6. Назвіть основні електричні параметри конденсатора.
7. Назвіть основні електричні параметри котушки індуктивності.
8. Дайте визначення трансформатора.
9. Назвіть основні електричні параметри трансформатора.
10. Накресліть схему резистивного подільника напруги та поясніть його роботу на холостому ході.
11. Поясніть вплив опору навантаження на вихідну напругу резистивного подільника.
12. Накресліть епюри напруг резистивного подільника напруги.
13. Накресліть схему регулятора для змінення вихідної напруги від нуля.
14. Накресліть схему регулятора для змінення вихідної напруги від вхідної.
15. Накресліть схему регулятора для змінення вихідної напруги від нуля до вхідної.

## Розділ 2. НАПІВПРОВІДНИКОВІ ДІОДИ

### 2.1. Принцип дії напівпровідникових діодів

*Напівпровідниковими* називаються прилади, дія яких заснована на використанні властивостей речовин, що займають за електропровідністю проміжне положення між провідниками і діелектриками. Характерною особливістю напівпровідників є підвищення їх електропровідності при введенні домішок, а також при зміні температури. Як речовини, що використовуються для виготовлення напівпровідникових приладів, широко використовуються: *Ge* – германій, *Si* – кремній, *GaAs* – арсенід галію, *GaP* – фосфід галію, *SiC* – карбід кремнію і низка інших.

Уведення домішок у напівпровідник суттєво змінює його провідність. Якщо увести у чотиривалентний напівпровідник п'ятивалентну домішку, отримаємо *донорну* провідність (*n*-типу), тому що донор віддає свої електрони. Якщо увести тривалентну домішку, отримаємо *акцепторну* провідність (*p*-типу), тому що акцептор захоплює електрони з решітки основного кристала, створюючи діркову провідність. Таким чином, у напівпровіднику *n*-типу *основними* носіями заряду є *електрони*, а *дірки* – *неосновними*. У напівпровіднику *p*-типу *основними* носіями заряду є *дірки*, а *електрони* – *неосновними*.

Під дією електричного поля, тепла, світла, іонізуючого випромінювання та інших факторів відбувається *генерація пар носіїв заряду*, тобто виникають пари електрон–дірка. Внаслідок того, що електрони і дірки здійснюють хаотичний тепловий рух, відбувається зворотний процес, пара електрон–дірка зникає. *Зникнення пар носіїв називається рекомбінацією носіїв заряду*.

У напівпровідникових приладах можуть протікати дрейфовий і дифузійний струми. *Дрейфовим називається струм, зумовлений електричним полем*. Якщо до напівпровідника прикласти зовнішнє електричне поле, то в ньому спостерігається спрямований рух дірок уздовж поля і спрямований рух електронів у протилежному напрямку. *Дифузійним називається струм, зумовлений переміщенням носіїв заряду з області з високою концентрацією в область з більш низькою концентрацією*.

#### **Електронно-дірковий перехід**

*Електронно-дірковим (*p-n*) називається такий перехід, який утворений двома областями напівпровідника з різними типами провідності*.

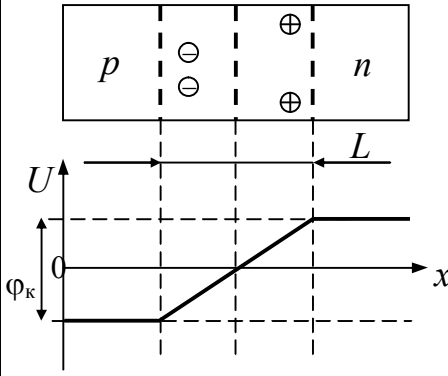
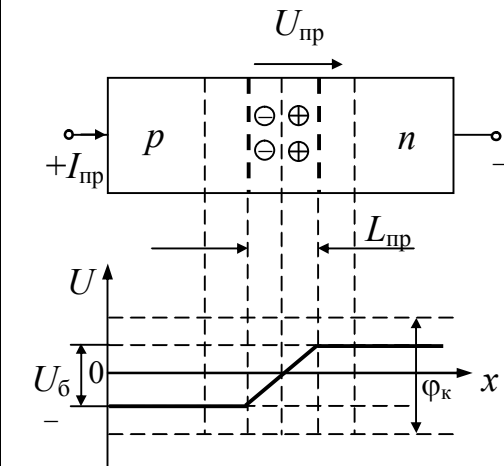
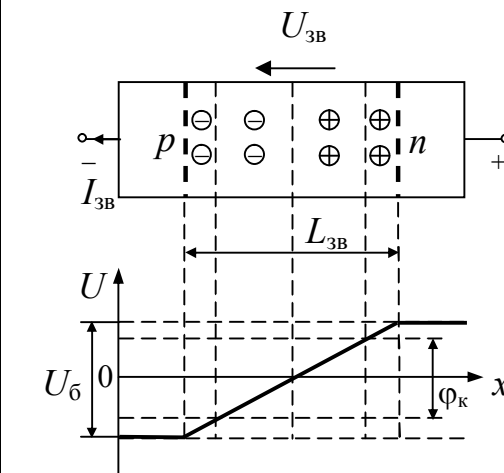
Електронно-діркові переходи використовуються у більшості напівпровідникових приладів. У діодах і польових транзисторах використовують один *p-n*-перехід, у біполярних транзисторах – два *p-n*-переходи, у тиристорах – три і більше *p-n*-переходів. Тому дуже важливим є розуміння фізичних явищ і електричних властивостей *p-n*-переходу.

Розглянемо фізичні процеси у площинному *p-n*-переході за умови, що напівпровідники *p*- і *n*-типу мають однакову концентрацію домішок.

**Нехай зовнішня напруга на *p-n*-переході відсутня.** Перехід зображений у табл. 2.1,а. Оскільки концентрація електронів в *n*-області набагато більша

концентрації електронів у  $p$ -області, а концентрація дірок в  $p$ -області набагато більша концентрації дірок у  $n$ -області, на межі розподілу напівпровідників виникає *дифузійний струм*. В результаті дифузії електрони з  $n$ -області переміщуються до  $p$ -області, а дірки з  $p$ -області до  $n$ -області. При протіканні дифузійного струму граничний прошарок збіднюється рухомими носіями заряду.

Таблиця 2.1 – Електронно-дірковий перехід

а) $p$ - $n$ -перехід за відсутності зовнішньої напруги	
	<p>Струм дорівнює нулю, встановлюється потенційний бар'єр.  <math>L</math> – товщина <math>p</math>-<math>n</math>-переходу;  <math>\phi_k</math> – контактна різниця потенціалів:  для <math>Ge</math> – <math>\phi_k = (0,3 \dots 0,4) \text{ В}</math>;  для <math>Si</math> – <math>\phi_k = (0,6 \dots 0,8) \text{ В} \cong 0,7 \text{ В}</math>.</p>
б) $p$ - $n$ -перехід при прямій напрузі	
	<p><math>U_{пр}</math> – пряма напруга на переході;  <math>U_6 = \phi_k - U_{пр}</math> – напруга на бар'єрі;  1) знижується потенційний бар'єр;  2) зменшується товщина запірного прошарку (<math>L_{пр} &lt; L</math>);  3) при <math>U_{пр} = \phi_k</math> бар'єра немає, опір переходу різко зменшується, струм <math>I_{пр}</math> різко зростає.</p>
в) $p$ - $n$ -перехід при зворотній напрузі	
	<p><math>U_{зв}</math> – зворотна напруга на переході;  <math>U_6 = \phi_k + U_{зв}</math> – напруга на бар'єрі;  1) зростає потенційний бар'єр;  2) збільшується товщина запірного прошарку (<math>L_{зв} &gt; L</math>);  3) опір переходу значний;  4) зворотний струм малий (струм неосновних носіїв), <math>I_{зв} = \text{const}</math>.</p>

Пригранична *p*-область набуває некомпенсованого негативного об'ємного заряду, який утворений негативними іонами акцепторної домішки. Пригранична *n*-область набуває некомпенсованого позитивного об'ємного заряду, який утворений позитивними іонами донорної домішки. У *p-n*-переході утворюється електричне поле, спрямоване від *n*-області до *p*-області. Це поле є гальмуючим для основних носіїв заряду. Тепер, будь-який електрон, що надходить з *n*-області до *p*-області, потрапляє в електричне поле, що прагне повернути його назад до електронної області. Аналогічно будь-яка дірка, що надходить з *p*-області до *n*-області, також потрапляє в електричне поле, яке прагне повернути її назад у діркову область.

Внутрішнє поле є прискорюючим для неосновних носіїв заряду. Якщо електрони *p*-області внаслідок, наприклад, хаотичного теплового руху потрапляють до зони *p-n*-переходу, то внутрішнє поле забезпечить їх швидкий перехід через приграничну область. Аналогічно будуть долати *p-n*-перехід дірки *n*-області. Таким чином, внутрішнє електричне поле *p-n*-переходу створює дрейфовий струм неосновних носіїв заряду. Цей струм спрямований назустріч дифузійному струму основних носіїв заряду.

Якщо до напівпровідника не прикладається зовнішня напруга, то результуючий струм через *p-n*-перехід відсутній.

$$I = I_{\text{диф}_n} + I_{\text{диф}_p} - I_{\text{др}_n} - I_{\text{др}_p} = 0.$$

Ця рівність встановлюється за певної **контактної різниці потенціалів**  $\phi_k$  (табл. 2.1,а), яка утворена об'ємними зарядами. Значення  $\phi_k$  залежить від типу напівпровідника. Ця різниця потенціалів  $\phi_k$  перешкоджає переміщенню основних носіїв заряду, тобто створює **потенційний бар'єр**. Товщина шару  $L$ , в якому діє внутрішнє електричне поле, мала і визначає товщину *p-n*-переходу (зазвичай  $L < 10^{-6}$  м). Однак опір цього шару значний, оскільки він збіднений основними носіями заряду. Тому його часто називають **запірним**.

При підключенні до *p-n*-переходу зовнішнього електричного поля динамічна рівновага струмів порушується. Поведінка *p-n*-переходу при цьому залежить від полярності зовнішньої прикладеної напруги. Розрізняють пряме і зворотне включення *p-n*-переходу.

**Розглянемо пряме включення *p-n*-переходу.** Включення, за якого до *p-n*-переходу прикладається зовнішня напруга  $U_{np}$  у протифазі з контактною різницею потенціалів  $\phi_k$ , називається **прямим**. Пряме включення *p-n*-переходу показано в табл. 2.1,б. Практично вся зовнішня напруга прикладається до запірного шару, оскільки його опір значно більший опору іншої частини напівпровідника. Потенційний бар'єр зменшується:  $U_b = \phi_k - U_{np}$ . Товщина *p-n*-переходу також зменшується:  $L_{np} < L$ . Дрейфовий струм зменшується, дифузійний струм різко зростає. Динамічна рівновага порушується і через *p-n*-перехід протікає **прямий струм**.

При прямій напрузі  $U_{np} = \phi_k$  потенційний бар'єр у *p-n*-переході зникає, тоді опір запірного шару стає близьким до нуля і ним можна знехтувати. Прямий струм у цьому випадку різко зростає і буде залежати тільки від опорів *p*- і *n*-областей. Тепер цими опорами не можна знехтувати, тому що саме вони зали-

шаються у колі і визначають значення прямого струму  $I_{пр}$ . Для зменшення значення прямого струму у коло  $p$ - $n$ -переходу включають обмежувальний резистор. Таким чином, **максимальне значення прямої напруги на  $p$ - $n$ -переході дорівнює  $U_{пр\ max} = \phi_k$** .

Уведення носіїв заряду через знижений під дією *прямої напруги* потенційний бар'єр в область, де ці носії заряду є неосновними, називають *інжекцією носіїв заряду*. Слово «інжекція» означає «уведення, уприскування».

**Розглянемо зворотне включення  $p$ - $n$ -переходу.** Включення, за якого до  $p$ - $n$ -переходу прикладається зовнішня напруга  $U_{зв}$  у фазі з контактною різницею потенціалів  $\phi_k$ , називається *зворотним*. Зворотне включення  $p$ - $n$ -переходу показано в табл. 2.1, в. Під впливом електричного поля, створюваного зовнішнім джерелом  $U_{зв}$ , основні носії відтягуються від приконтактних шарів углиб напівпровідника. Це призводить до збільшення товщини запірного шару:  $L_{зв} > L$ . Потенційний бар'єр зростає:  $U_б = \phi_k + U_{зв}$ . Дифузійний струм зменшується. *Переважаючу роль відіграє дрейфовий струм*. Він має незначну величину, тому що створюється рухом неосновних носіїв. *Цей струм називається зворотним і позначається  $I_0$ , його величина практично не залежить від напруги  $U_{зв}$* . Оскільки концентрація неосновних носіїв значно менша концентрації основних носіїв заряду, зворотний струм  $p$ - $n$ -переходу значно менший прямого (зазвичай на кілька порядків). **Це визначає випрямляльні властивості  $p$ - $n$ -переходу: здатність пропускати струм тільки в одному напрямку.** З підвищенням температури число неосновних носіїв заряду збільшується, і зворотний струм  $I_{зв}$  зростає.

Уведення неосновних носіїв заряду через  $p$ - $n$ -перехід прискорюючим електричним полем, створеним зворотною напругою, називають *екстракцією носіїв заряду*. Слово «екстракція» означає «витягнення, висмикування».

### Перехід метал-напівпровідник

У напівпровідникових приладах крім  $p$ - $n$ -переходу використовуються також переходи *метал-напівпровідник*. Процеси у таких переходах залежать від роботи виходу електронів, тобто від тієї енергії, яку повинен затратити електрон, щоб вийти з металу або напівпровідника.

Розглянемо перехід метал-напівпровідник, показаний на рис. 2.1.

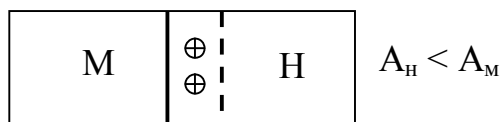


Рисунок 2.1 – Перехід метал (М) – напівпровідник (Н)

Якщо в контакті металу з напівпровідником  $n$ -типу робота виходу електронів з напівпровідника  $A_n$  менша, ніж робота виходу з металу  $A_m$  ( $A_n < A_m$ ), то електрони будуть переходити головним чином з напівпровідника до металу. У результаті в приграничному шарі напів-

провідника утворюється область, збіднена основними носіями заряду і тому має великий опір. Тут створюється високий потенційний бар'єр, висота якого суттєво змінюється залежно від полярності прикладеної напруги. Такий перехід має випрямляльні властивості. Потенційний бар'єр, що виникає у даному випадку, називають **бар'єром Шотткі**, а діоди з цим бар'єром – **діодами Шотткі**.

У діоді Шотткі (в металі, куди надходять електрони з напівпровідника) відсутні процеси накопичення і розсмоктування зарядів неосновних носіїв, які характерні для  $p$ - $n$ -переходу. Тому діоди Шотткі мають більш високу швидкість, ніж звичайні напівпровідникові діоди, тому що у звичайних діодах накопичення і розсмоктування зарядів – процеси інерційні, тобто вимагають часу.

## 2.2. Напівпровідникові діоди

Напівпровідниковий діод являє собою напівпровідниковий прилад з одним  $p$ - $n$ -переходом і двома металевими виводами.

### Вольтамперна характеристика діода

Діод має однобічну провідність, як і  $p$ - $n$ -перехід. Нелінійні властивості діода бачимо з розгляду його вольтамперної характеристики (ВАХ), яку наведено на рис. 2.2,б. Вольт-амперна характеристика – це графік залежності струму через діод від прикладеної напруги. Як і у  $p$ - $n$ -переході, напруга на діоді і може бути прямою  $U_{\text{пр}}$ , їй відповідає прямий струм діода  $I_{\text{пр}}$ , або зворотною –  $U_{\text{зв}}$ , їй відповідає зворотний струм  $I_{\text{зв}}$ .

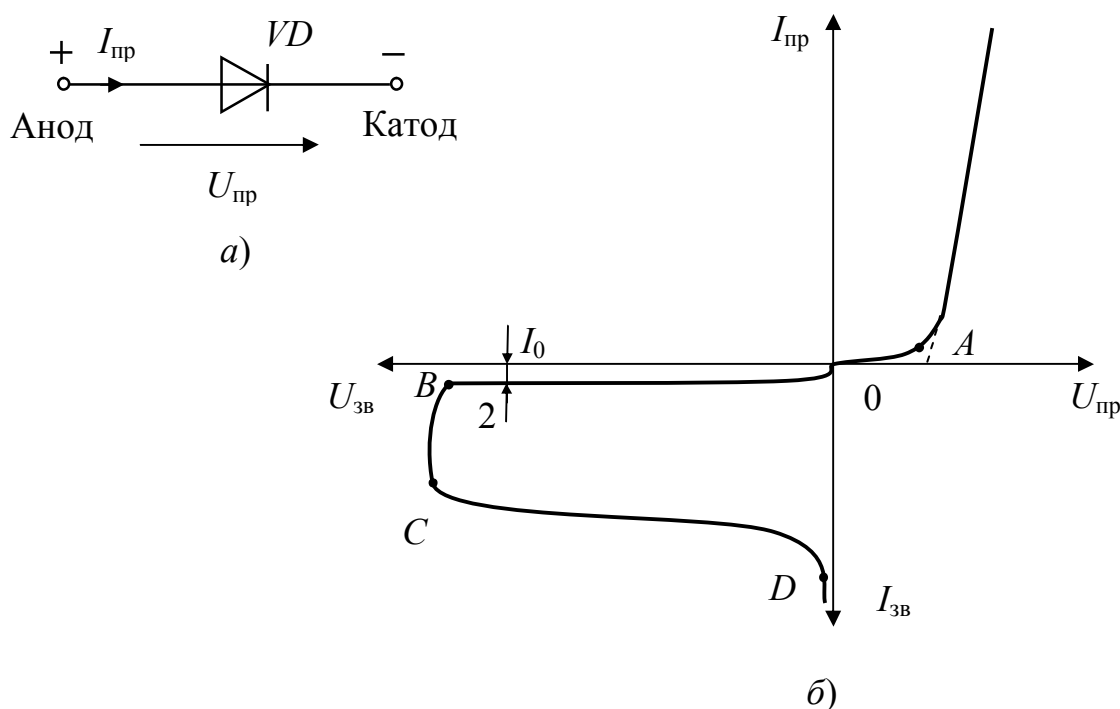


Рисунок 2.2 – Вольтамперна характеристика напівпровідникового діода

Аналітично ВАХ діода можна описати таким виразом

$$I = I_0[\exp(U / \phi_T) - 1] = I_0[\exp(qU/kT) - 1], \quad (2.1)$$

де  $I$  – струм діода (прямий чи зворотний);  $U$  – напруга на діоді (пряма напруга  $U_{\text{пр}}$  зі знаком плюс, зворотна напруга  $U_{\text{зв}}$  зі знаком мінус);  $I_0$  – зворотний струм діода, при незмінній температурі визначається фізичними властивостями напівпровідникового матеріалу;  $\phi_T$  – температурний потенціал (при кімнатній температурі  $T = 300^\circ\text{K}$   $\phi_T \approx 26$  мВ);  $k$  – стала Больцмана;  $q$  – заряд електрона;  $T$  – абсолютна температура в градусах Кельвіна.

На рис. 2.2,а показане умовне графічне позначення напівпровідникового діода і назва виводів, трикутник показує напрям прямого струму (анод і катод).

Для малопотужних діодів прямий струм в десятки мА виходить при прямій напрузі в десяті частки вольт (для кремнію  $\varphi_k \approx 0,7$  В), тому прямий опір малопотужного діода зазвичай не перевищує кількох десятків ом. Для потужних діодів  $U_{пр\ max}$  звичайно дорівнює (0,8...1,2) В, а прямий струм становить сотні мА і більше, тому прямий опір зменшується до одиниць і часток ома.

Характеристику для зворотних струму  $I_{зв}$  і напруги  $U_{зв}$  зазвичай показують в іншому масштабі. У малопотужних діодів  $U_{зв}$  складає сотні вольт, а зворотний струм одиниці мкА. Це відповідає опорі сотень кілоом і більше.

ВАХ для прямого струму спочатку має значну нелінійність, тому що при збільшенні  $U_{пр}$  опір запірного шару зменшується. Тому характеристика йде з усе більшою крутістю. Але при  $U_{пр} \approx \varphi_k$  (точка А) запірний шар практично зникає і залишається тільки опір  $n$ - і  $p$ -областей, який наближено можна вважати постійним. Струм  $I_{пр}$  різко зростає. Далі характеристика стає майже лінійною.

Зворотний струм  $I_{зв}$  при збільшенні зворотної напруги  $U_{зв}$  спочатку різко зростає до значення  $I_0$ , а потім зростає незначно. При деякому значенні зворотної напруги виникає *пробій  $p$ - $n$ -переходу*, за якого зворотний струм різко зростає і опір запірного шару різко зменшується. Слід розрізняти *електричний* і *тепловий пробій  $p$ - $n$ -переходу*.

Електричний пробій, області якого відповідає ділянка ВС на рис. 2.2,б, є *оборотним*, тобто при цьому пробію у переході не відбуваються незворотні зміни (руйнування структури речовини). Тому робота діода в режимі електричного пробію допустима. Існують два види електричного пробію: *лавинний* і *тунельний*.

*Лавинний пробій* пояснюється лавинним розмноженням носіїв заряду за рахунок ударної іонізації і за рахунок виривання електронів з атомів сильним електричним полем. Цей пробій характерний для  $p$ - $n$ -переходів великої товщини, який виходить при порівняно малій концентрації домішок у напівпровідниках.

Пробивна напруга для лавинного пробію становить десятки або сотні вольт. Лавинний пробій використовується у спеціальних діодах – *стабілітронах*, які застосовуються для стабілізації напруги (ділянка ВС на рис. 2.2,б).

*Тунельний пробій* пояснюється явищем *тунельного ефекту*, сутність якого полягає в тому, що при електричному полі напруженістю понад  $10^5$  В/см, діючому у  $p$ - $n$ -переході малої товщини, деякі електрони проникають через перехід без зміни своєї енергії. Тонкі переходи, в яких можливий тунельний ефект, виходять при високій концентрації домішок. Напруга, що відповідає тунельному пробію, зазвичай не перевищує одиниць вольт. Тунельний пробій використовується у *тунельних діодах*.

Області *теплого пробію* відповідає ділянка CD на рис. 2.2,б. Тепловий пробій незворотний, оскільки він супроводжується руйнуванням структури речовини в місці  $p$ - $n$ -переходу. Причиною теплового пробію є порушення теплового режиму  $p$ - $n$ -переходу: кількість теплоти, що виділяється у переході від нагрівання його зворотним струмом, перевищує кількість теплоти, що відводиться від переходу. У результаті температура переходу зростає, опір його зменшується.



ся і струм збільшується, що призводить до перегріву переходу і його руйнування.

### **Ємність діода**

Електронно-дірковий перехід при зворотній напрузі  $U_{зв}$  аналогічний конденсатору зі значним струмом витоку в діелектрику. Запірний шар має великий опір і відіграє роль діелектрика, а по обидві сторони  $p$ - $n$ -переходу розташовані два різнойменних об'ємних заряди, створені іонізованими атомами донорної і акцепторної домішок (табл. 2.1). Тому  $p$ - $n$ -перехід має ємність, подібно конденсатору з двома обкладинками. Цю ємність називають *бар'єрною*  $C_б$ . Особливість бар'єрної ємності полягає у тому, що вона нелінійна, тобто змінюється при зміні напруги на переході. Якщо зворотна напруга зростає, то товщина запірного шару збільшується і ємність  $C_б$  зменшується. Характер цієї залежності показано на рис. 2.3.

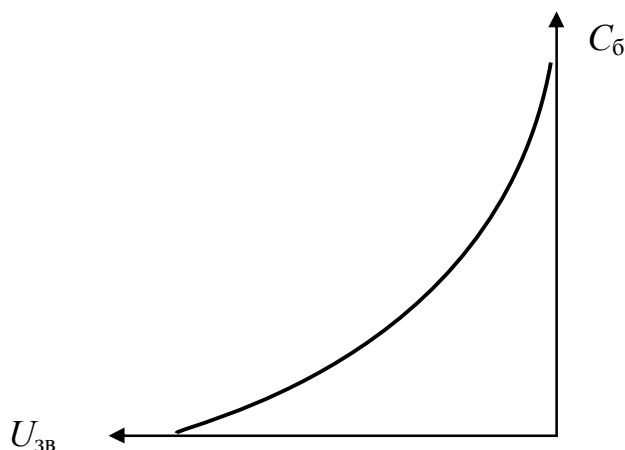


Рисунок 2.3 – Залежність бар'єрної ємності від зворотної напруги

Бар'єрна ємність шкідливо впливає на випрямлення змінного струму, тому що шунтує діод і через неї на більш високих частотах проходить змінний струм.

Проте, бар'єрна ємність буває і корисною. Спеціальні діоди (*варикапи* і *варактори*) використовують як конденсатори змінної ємності для налаштування коливальних контурів у параметричних підсилювачах, а також у схемах, робота яких заснована на властивостях нелінійної ємності.

При прямій напрузі  $U_{пр}$  діод крім бар'єрної ємності має також *дифузійну ємність*  $C_{диф}$ , яка також нелінійна і зростає при збільшенні прямої напруги  $U_{пр}$ . Дифузійна ємність характеризує накопичення рухомих носіїв заряду в  $p$ - і  $n$ -областях. Дифузійна ємність значно більша бар'єрної.

### **Вплив температури на характеристики діода**

На електропровідність напівпровідників значно впливає температура. При підвищенні температури посилюється генерація пар носіїв, тобто збільшується концентрація носіїв і провідність зростає. Тому *властивості напівпровідникових діодів сильно залежать від температури*. Це наочно показують ВАХ діода (рис. 2.4), які зняті при різних температурах.

На рис. 2.4 у системах координат  $(I_{\text{пр}}, U_{\text{пр}})$  і  $(I_{\text{зв}}, U_{\text{зв}})$  використані різні масштаби, тому що  $I_{\text{пр}} \gg I_{\text{зв}}$ ,  $U_{\text{пр}} \gg U_{\text{зв}}$ . Як видно з рис. 2.4, при підвищенні температури збільшуються прямий і зворотний струми.

Дуже різко збільшується зворотний струм, що пояснюється посиленням генерації пар носіїв. У германієвих діодах зворотний струм збільшується приблизно удвічі при підвищенні температури на кожні  $10^\circ\text{C}$ , а у кремнієвих діодах – приблизно утричі на кожні  $10^\circ\text{C}$ . Але у кремнієвих діодах зворотний струм при нормальній температурі на кілька порядків менший, ніж у германієвих діодів. Тому кремнієві діоди мають кращу температурну стабільність, і в даний час використовують здебільшого кремнієві діоди.

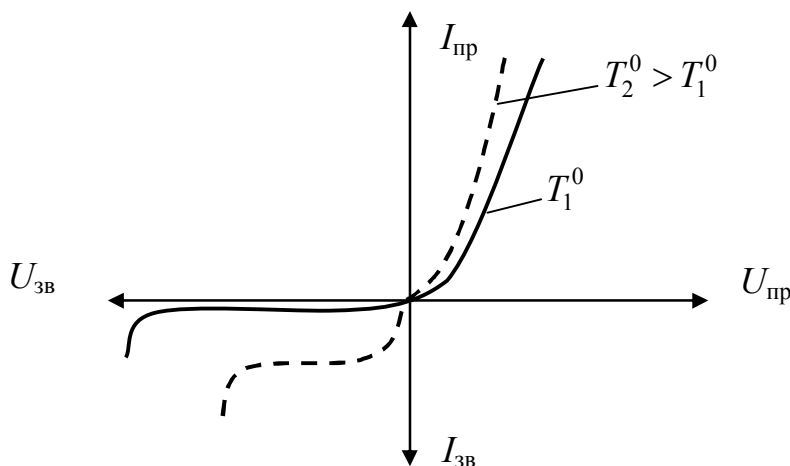


Рисунок 2.4 – Вплив температури на вольтамперну характеристику діода

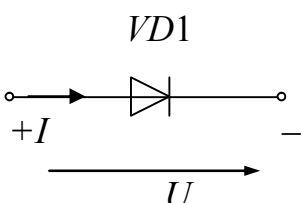
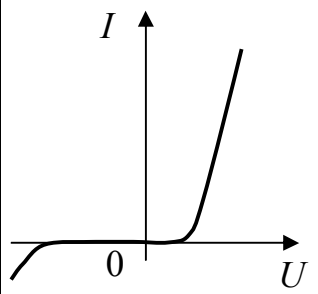
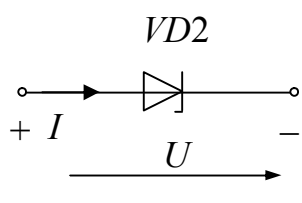
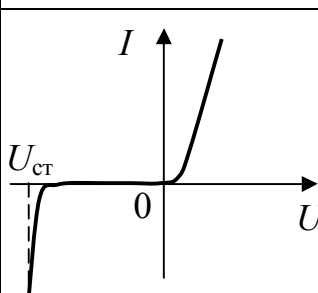
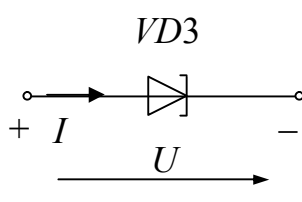
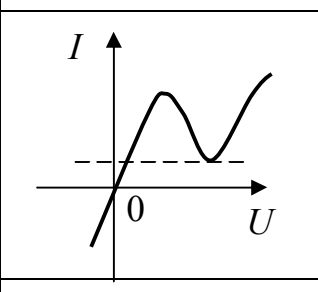
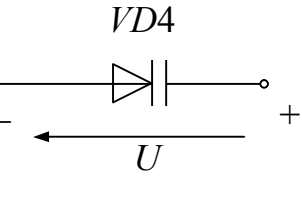
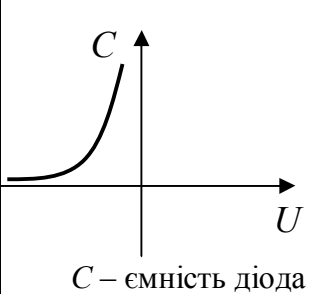
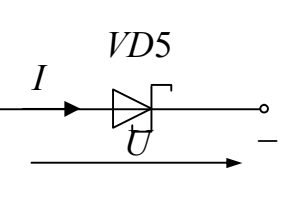
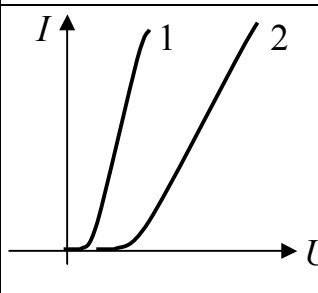
Прямий струм при нагріванні діода збільшується не так сильно, як зворотний. Це пояснюється тим, що прямий струм виникає, головним чином, за рахунок домішкової провідності, а концентрація домішок не залежить від температури.

### 2.3. Основні типи напівпровідникових діодів

Напівпровідникові діоди класифікують за багатьма ознаками: за призначенням, конструктивно-технологічними особливостями, типом напівпровідникового матеріалу та іншим. Розглянемо діоди різного призначення. У табл. 2.2 надано умовні графічні позначення і характеристики напівпровідникових діодів.

Властивість  $p$ - $n$ -переходу односторонньої провідності використовується у *випрямних діодах* (VD1). Ці напівпровідникові діоди призначені для перетворення змінного струму у постійний і використовуються у випрямляльних пристроях для живлення різної апаратури. Випрямляльні діоди поділяються на діоди малої, середньої та великої потужності, що відповідає максимальним значенням випрямленого струму до 300 мА, від 300 мА до 10 А і більше 10 А. Випрямляльні кремнієві діоди мають низку переваг порівняно з германієвими.

Таблиця 2.2 – Напівпровідникові діоди

№ з/п	Найменування	Умове позначення	Характеристика
1	Випрямляльний діод		
2	Стабілітрон		
3	Тунельний діод		
4	Варикап		 <p><math>C</math> – ємність діода</p>
5	Діод Шотткі		 <p>1 – діод Шотткі 2 – <math>p</math>-<math>n</math>-перехід</p>

Явище оборотного (лавинного) електричного пробоя використовується у *стабілітронах*. Стабілітрони призначені для стабілізації напруги. ВАХ стабілітрона наведено на рис. 2.5.

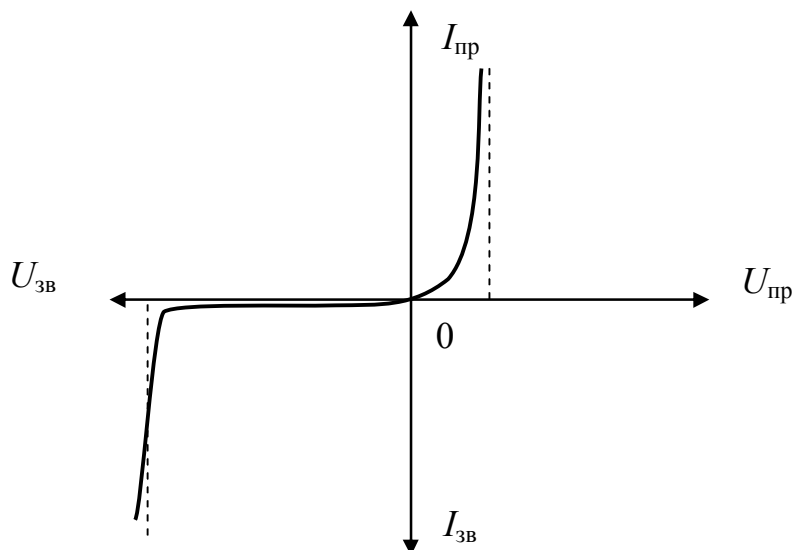


Рисунок 2.5 – Вольтамперна характеристика стабілітрона

З рис. 2.5 випливає, що до настання пробою зворотний струм дуже малий, а в режимі пробою, тобто в режимі стабілізації, струм стає такого самого порядку, що і прямий струм. У режимі стабілізації зворотна напруга на діоді змінюється мало. Характеристика для прямого струму така сама, як і для звичайних діодів.

*Варикапи* – це напівпровідникові діоди, в яких використовується бар'єрна ємність закритого  $p$ - $n$ -переходу, значення якої залежить від величини прикладеної до діода зворотної напруги. Основною характеристикою варикапа є залежність його ємності від значення зворотної напруги (вольтфарадна характеристика). Варикапи застосовуються для настроювання коливальних контурів, у параметричних малощумних підсилювачах, а також у схемах, де використовуються нелінійні властивості змінної ємності.

Тунельний ефект у  $p$ - $n$ -переході використовується у *тунельному діоді*. ВАХ тунельного діода має спадну ділянку з негативним диференціальним опором. На цих діодах виконують генератори високочастотних коливань і пристрої автоматики.

Перехід Шотткі використовується у *діоді Шотткі*. Його найважливішою особливістю порівняно зі звичайним  $p$ - $n$ -переходом є відсутність інжекції неосновних носіїв заряду. Перехід Шотткі працює тільки на основних носіях заряду, тому в ньому значно зменшується час перемикання. Крім того, падіння напруги на відкритому переході Шотткі (крива 1, табл. 2.2) значно менше порівняно з падінням напруги на звичайному  $p$ - $n$ -переході (крива 2, табл. 2.2). Висока швидкодія і мале падіння напруги на відкритому переході дозволяють широко використовувати напівпровідникові прилади на основі переходу Шотткі у цифровій схемотехніці.

Розглянемо далі деякі електронні пристрої, в яких використовуються напівпровідникові діоди.

## 2.4. Випрямлячі

**Випрямляч** – це пристрій, який перетворює змінну двополярну вхідну напругу в однополярну. Потім за допомогою фільтра однополярну напругу перетворюють у постійну, тобто випрямляч – це джерело постійної напруги (струму). У випрямлячах використовується властивість односторонньої провідності напівпровідникового діода. Найбільш поширеними є схеми однофазних випрямлячів гармонічної вхідної напруги. Схеми найпростіших однопівперіодних випрямлячів наведено на рис. 2.6.

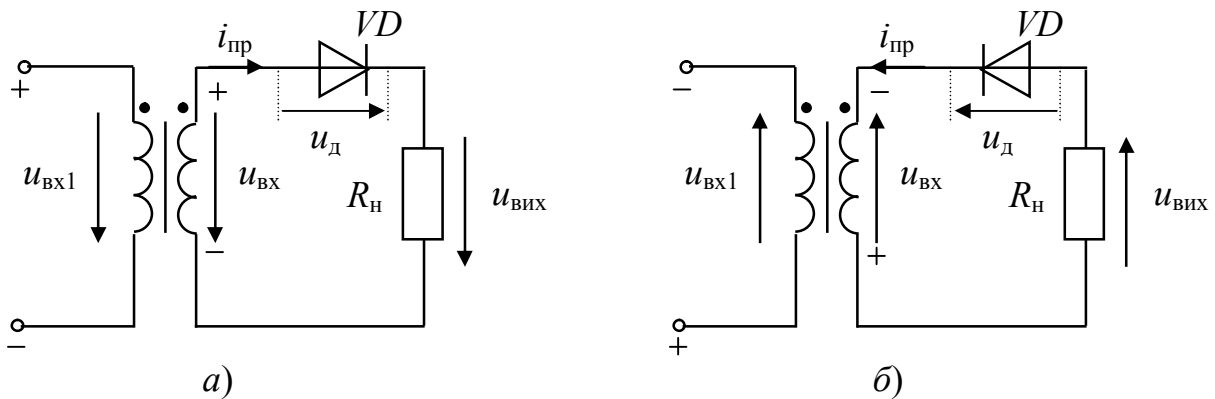


Рисунок 2.6 – Однопівперіодні випрямлячі: а) для позитивної випрямленої напруги; б) для негативної випрямленої напруги

У випрямлячах для живлення РЕА джерелом вхідної змінної напруги зазвичай служить трансформатор, підключений до джерела напруги  $u_{BX1}$ . Роль навантажувального опору  $R_H$ , тобто споживача енергії постійного струму, відіграють ті кола або прилади, які живляться від випрямляча.

Робота найпростішого випрямляча відбувається наступним чином.

Будемо вважати, що вхідна напруга є синусоїдальною, тобто

$$u_{BX} = U_{BXm} \sin \omega t, \quad (2.2)$$

і її внутрішнім опором можна знехтувати. Протягом одного півперіоду вхідна напруга для діода  $VD$  є прямою і проходить струм  $i_{пр}$ , що створює на опорі навантаження  $R_H$  вихідну напругу

$$u_{ВХ} = i_{пр} R_H. \quad (2.3)$$

Протягом наступного півперіоду вхідна напруга для діода  $VD$  є зворотною, струму практично немає  $I_{зв} \approx 0$ , і вихідна напруга дорівнює нулю  $u_{ВХ} = 0$ . Таким чином, у колі випрямляча протікає струм  $i$  у вигляді імпульсів, він створює на опорі  $R_H$  випрямлену напругу  $u_{ВХ}$ , яка також має форму однополярних імпульсів. Полярність випрямленої напруги залежить від способу включення діода  $VD$ : у схемі рис. 2.6,а вихідна напруга позитивна відносно анода діода  $VD$ ; у схемі рис. 2.6,б – негативна.

Роботу випрямляча рис. 2.6,а добре ілюструє його діаграма роботи, яка наведена на рис. 2.7.

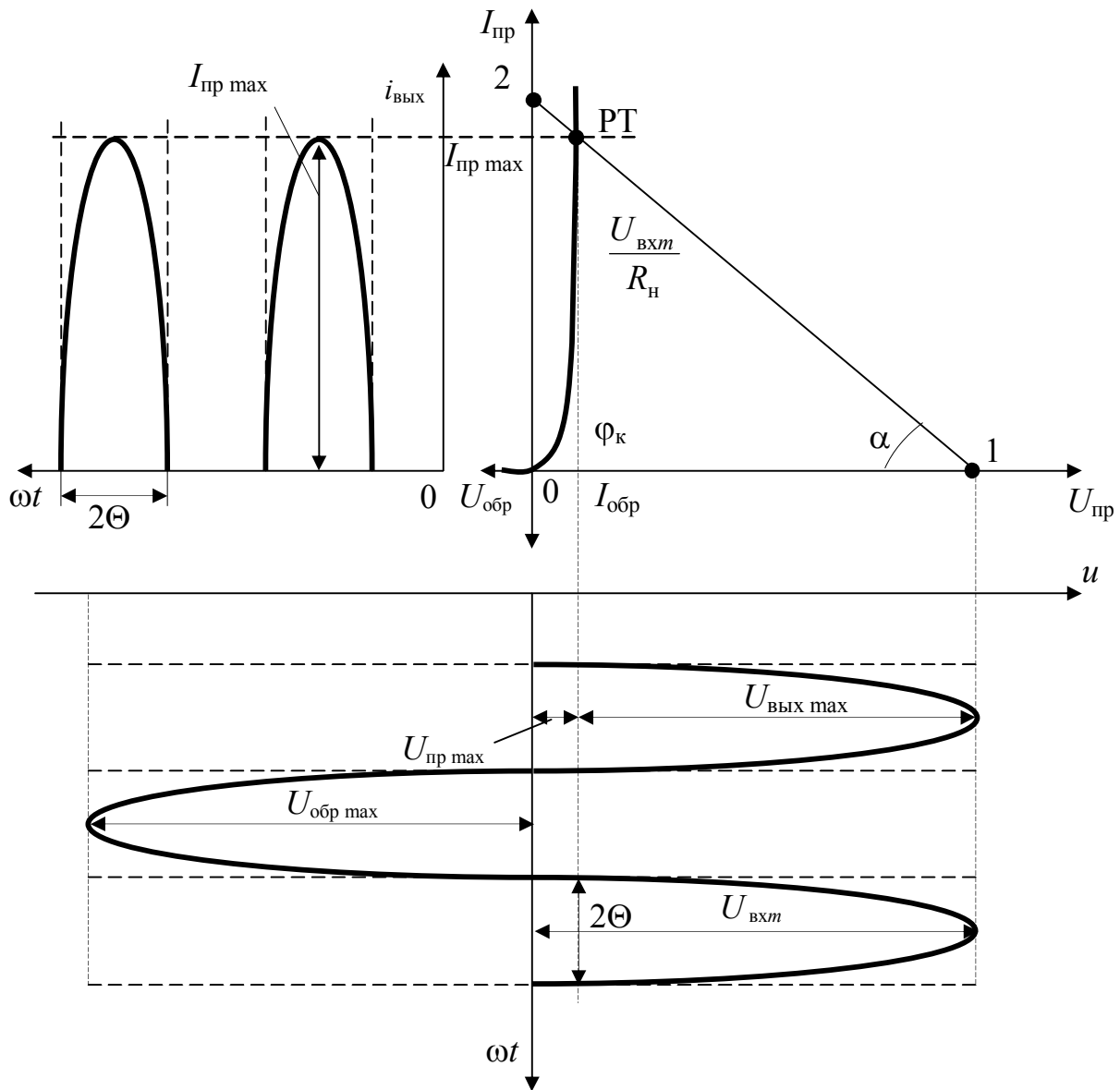


Рисунок 2.7 – Діаграма роботи однопівперіодного випрямляча (рис. 2.6,а)

На рис. 2.7 показано пряму гілку вольтамперної характеристики діода  $VD$ , а зворотну гілку ВАХ будемо вважати, що вона збігається з віссю напруги  $U_{зв}$ , тому що  $I_{зв} \approx 0$ . У цій самій системі координат побудовано лінію навантаження (навантажувальну пряму). Для її побудови складемо рівняння, що зв'яже миттєві значення струмів і напруг у колі діода:

$$u_{вх} = u_{д} + i_{пр} R_{н} = u_{д} + u_{вих}, \quad (2.4)$$

де  $i_{вих} = i_{пр} R_{н}$ .

У схемі рис. 2.6,а *негативна півхвиля вхідної напруги* для діода  $VD$  є *звотною* (запираючою), тому у колі діода протікає дуже маленький зворотний струм  $i = I_{зв} = I_0 \approx 0$ , вихідна напруга  $u_{вих} = I_{зв} R_{н} = 0$  дорівнює нулю, а напруга на діод  $u_{д} = u_{вх}$ , тобто дорівнює негативній півхвилі вхідної напруги.

*Позитивна півхвиля вхідної напруги* у схемі рис. 2.6,а для діода  $VD$  є *прямою* (відкриваючою), у колі діода протікає прямий струм  $i = i_{пр}$ , на діоді падає пряма напруга  $u_{д} = u_{пр}$ . Рівняння (2.4) можна записати в наступному вигляді:

$$u_{вх} = u_{пр} + i_{пр} R_{н} = u_{пр} + u_{вих}, \quad (2.5)$$

де  $u_{\text{вих}} = i_{\text{пр}} R_{\text{н}}$ , тобто з'являється *вихідна напруга*, яка існує тільки при *позитивній напівхвилі вхідної напруги*.

У системі координат  $(I_{\text{пр}}, U_{\text{пр}})$  на рис. 2.7 рівняння (2.5) є рівнянням прямої лінії. Лінію навантаження будуюмо за двома точками для максимального значення вхідної напруги  $u_{\text{вх}} = U_{\text{вх}m}$ .

Точка 1:  $i_{\text{пр}} = 0$ ,  $u_{\text{вх}} = U_{\text{вх}m}$ ;

Точка 2:  $u_{\text{пр}} = 0$ ,  $i_{\text{пр розр}} = \frac{U_{\text{вх}m}}{R_{\text{н}}}$ .

Через точки 1 і 2 проводимо пряму, яка і є *лінією навантаження*.

Тангенс кута  $\alpha$  лінії навантаження дорівнює

$$\text{tg } \alpha = \frac{U_{\text{вх}m}}{i_{\text{пр розр}} R_{\text{н}}} = \frac{1}{R_{\text{н}}}.$$

Таким чином, кут нахилу  $\alpha$  однозначно зв'язаний зі значенням опору навантаження  $R_{\text{н}}$ : при збільшенні  $R_{\text{н}}$  кут  $\alpha$  зменшується, при зменшенні  $R_{\text{н}}$  кут  $\alpha$  збільшується. Тому цю пряму називають *лінією навантаження*.

Точка перетину лінії навантаження з ВАХ діода дає робочу точку РТ, яка визначає робочий режим діода  $VD$ . Проекція РТ на вісь струму визначає максимальне значення прямого струму діода  $I_{\text{пр max}}$ . Проекція РТ на вісь напруги дозволяє визначити максимальне значення прямої напруги на діоді  $U_{\text{пр max}}$ , а різниця  $U_{\text{вх max}} - U_{\text{пр max}} = U_{\text{вих max}}$  дає максимальне значення вихідної напруги. При цьому повинна дотримуватися рівність:  $U_{\text{вих max}} = I_{\text{пр max}} R_{\text{н}}$ . Зворотна напруга повністю падає на діоді, тобто  $U_{\text{зв max}} = U_{\text{вх}m}$ .

Як видно з рис. 2.7, струм у колі діода має вигляд синусоїдальних імпульсів з відсіканням. Половина тієї частини періоду, протягом якого протікає струм, називається *кутом відсікання*. На рис. 2.7 кут відсікання позначений  $\theta$  і показаний як на епюрі струму, так і на епюрі напруги. Вимірюється кут відсікання в радіанах або градусах. У випрямлячах зазвичай виконується умова  $U_{\text{вх}m} \gg U_{\text{пр max}}$ , у цьому випадку  $2\theta = \pi$ , тобто струм  $i_{\text{пр}}$ , а отже, і вихідна напруга  $u_{\text{вих}} = i_{\text{пр}} R_{\text{н}}$  існують половину періоду вхідної напруги. Другу половину періоду діод  $VD$  закритий, струм  $i_{\text{зв}} \approx 0$ , а вихідна напруга  $u_{\text{вих}} = 0$ . Тому випрямляч рис. 3.6,а називається *однопівперіодним*.

На рис. 2.8 показано часову діаграму однопівперіодного випрямляча (рис. 2.6,а), яка отримана з діаграми роботи 2.7. З цієї діаграми випливає, що вихідна напруга *однополярна* і має *позитивний знак*.

У схемі рис. 2.6,б *позитивна півхвиля вхідної напруги* для діода  $VD$  є *звотною* (запираючою), а *негативна* – *прямою* (відкриваючою).

Для схеми рис. 2.6,б часову діаграму роботи наведено на рис. 2.9. З цієї діаграми випливає, що вихідна напруга *однополярна* і має *негативний знак*.

Як видно з діаграми роботи (рис. 2.7) у однопівперіодних випрямлячах використовується тільки половина періоду прикладеної напруги, а друга половина використовується марно.

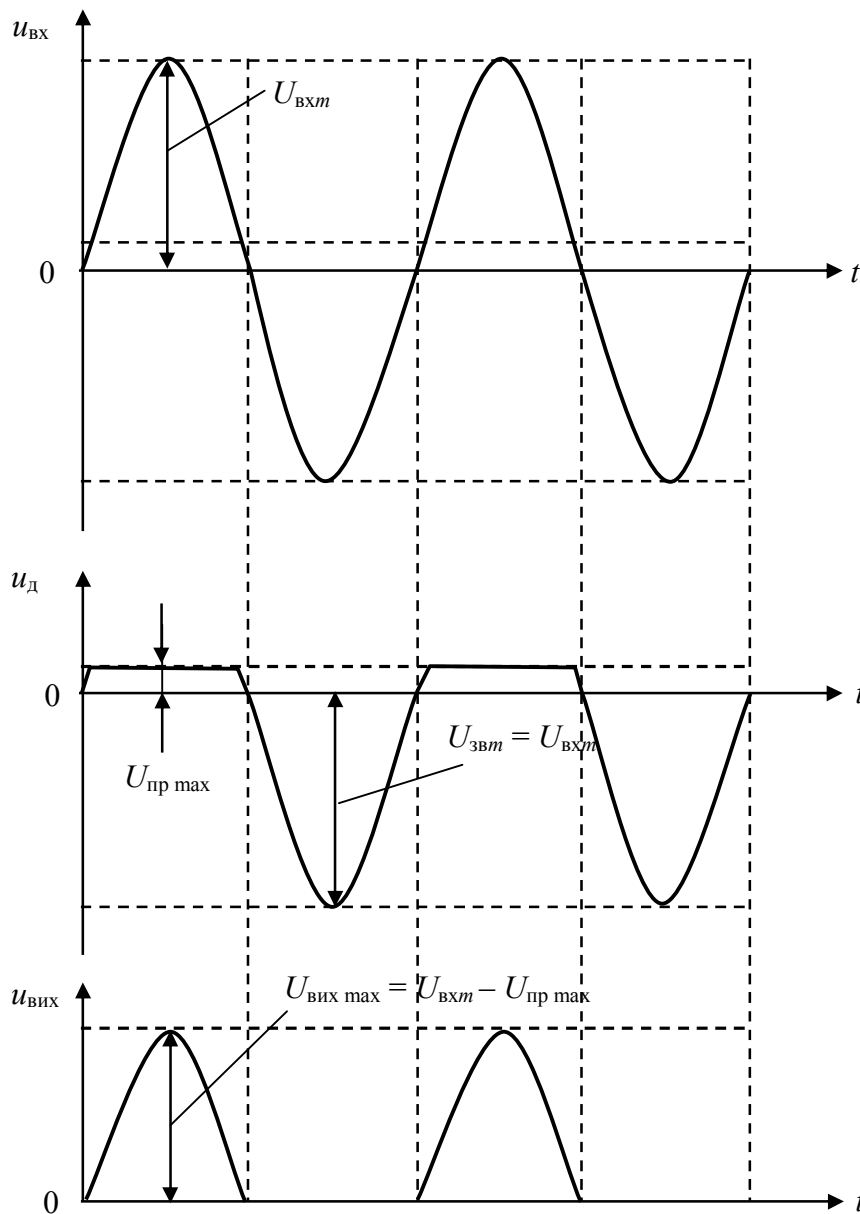


Рисунок 2.8 – Часова діаграма однопівперіодного випрямляча (рис. 2.6,а)

У схемі рис. 2.10 струм  $i_{пр}$  і вихідна напруга  $u_{ВИХ}$  існують обидва періоди вихідної напруги (рис. 2.11), тому такі випрямлячі називають *двопівперіодними*.



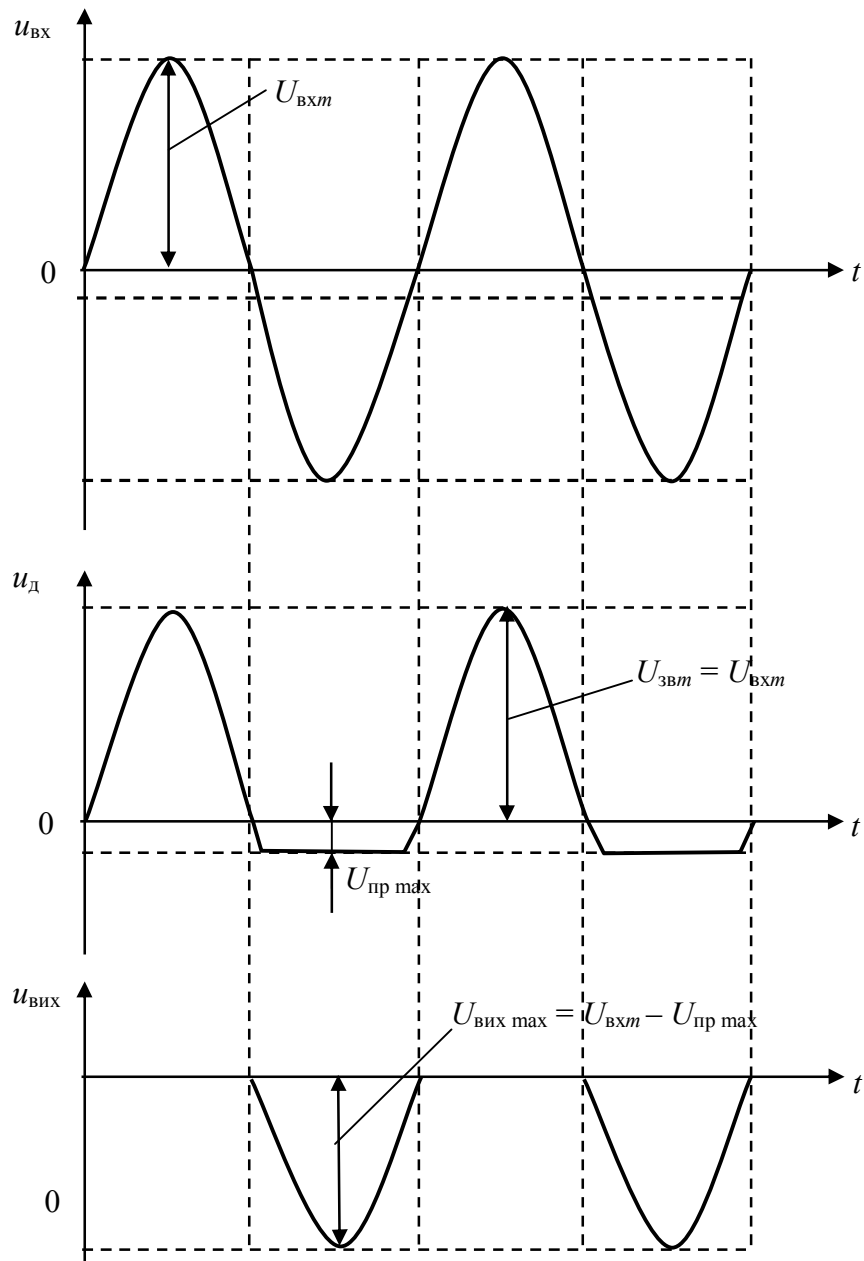


Рисунок 2.9 – Часова діаграма однопівперіодного випрямляча (рис. 2.6,б)

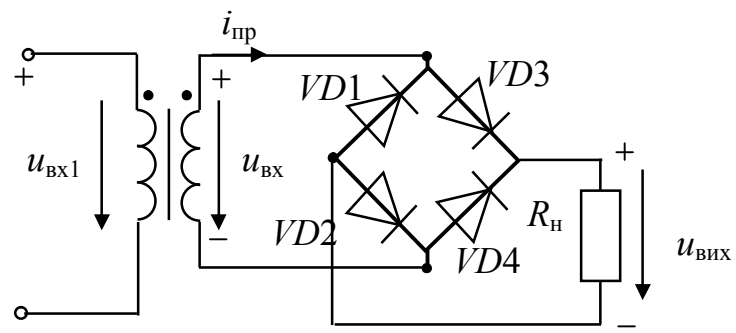


Рисунок 2.10 – Випрямляч двопівперіодний

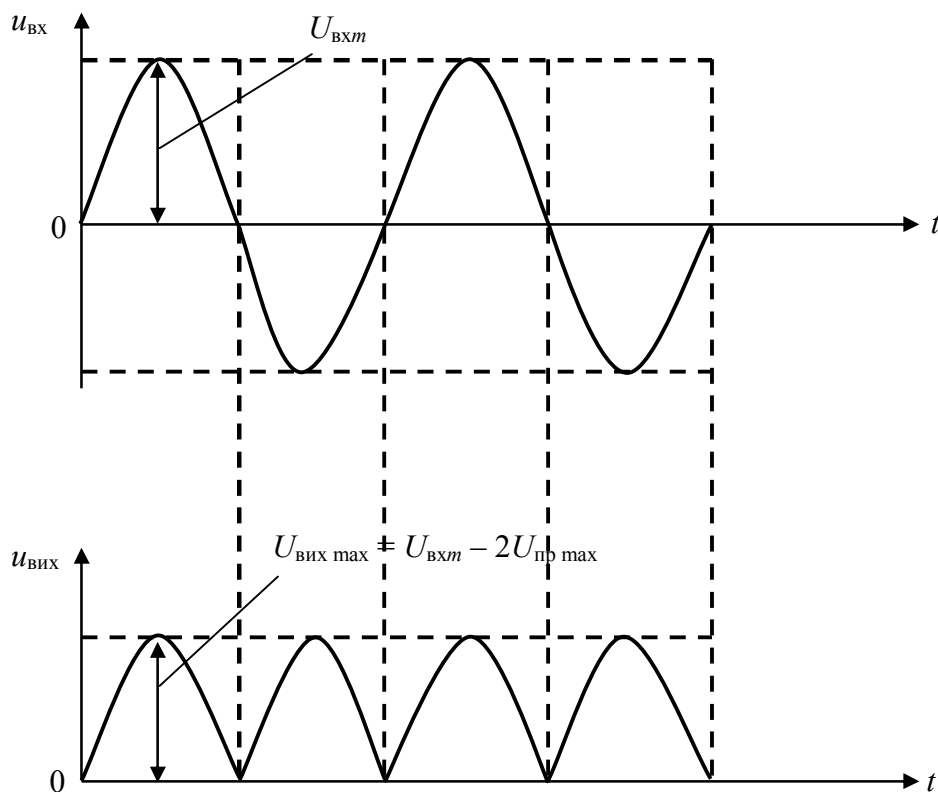


Рисунок 2.11 – Часова діаграма двопівперіодного випрямляча

У схемі рис. 2.10 працюють одночасно два діоди у кожен півперіод вхідної напруги: при подачі позитивної півхвилі вхідної напруги  $u_{вх}$  струм  $i_{пр}$  протікає через діоди  $VD3$  і  $VD2$ , створюючи на опорі навантаження  $R_H$  позитивну вихідну напругу  $u_{вих}$ . При подачі негативної півхвилі вхідної напруги  $u_{вх}$  струм  $i_{пр}$  протікає через діоди  $VD4$  і  $VD1$ , створюючи на опорі навантаження  $R_H$  також позитивну вихідну напругу. Отже, вихідна напруга отримана однополярна, але при цьому використовуються обидві півхвилі вхідної напруги. Максимальна вихідна напруга у цій схемі дорівнює

$$U_{вих\ max} = U_{вxm} - 2U_{пр\ max}.$$

Періодичну послідовність імпульсів напруги  $u_{вих}$  (струму  $i_{пр}$ ) можна розкласти у ряд Фур'є, в результаті отримаємо спектральний склад струму  $i_{пр}$  та вихідної напруги  $u_{вих}$ . Вихідна напруга крім постійної складової містить вищі гармоніки, які називають *пульсаціями* вихідної напруги. Для згладжування (зменшення пульсацій) випрямленої напруги паралельно навантаженню включають конденсатор великої ємності або включають між діодами і навантаженням згладжувальні фільтри. Згладжувальні фільтри – це фільтри нижніх частот з великою постійною часу. Для кращого згладжування використовують багатоланкові фільтри.

Основними параметрами, що характеризують якість роботи випрямляча, є:

– середні значення вихідної (випрямленої) напруги  $U_{вих\ сер}$  і струму  $I_{сер}$

$$U_{вихсер} = \frac{1}{T} \int_0^T u_{вих} dt, \quad I_{сер} = \frac{1}{T} \int_0^T i_{пр} dt,$$

де  $T$  – період зміни вихідної напруги (струму);

– частота пульсацій  $f_{\text{п}}$  вихідної напруги (струму)

$$f_{\text{п}} = \frac{1}{T};$$

– коефіцієнт пульсацій  $k_{\text{п}}$ , рівний відношенню амплітуди напруги пульсацій  $U_{\text{п}} = U_{\text{вих max}} - U_{\text{вих min}}$  до середнього значення вихідної напруги

$$k_{\text{п}} = \frac{U_{\text{п}}}{U_{\text{вих сер}}}.$$

Найпростішим фільтром, який дозволяє зменшити (згладити) пульсації вихідної напруги випрямляча, є конденсатор великої ємності, підключений паралельно опору навантаження (рис. 2.12).

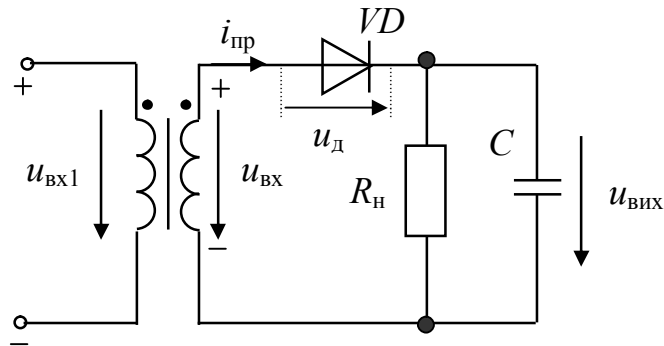


Рисунок 2.12 – Однопівперіодний випрямляч зі згладжувальним конденсатором

Конденсатор  $C$  добре згладжує пульсації, якщо його ємність така, що виконується нерівність

$$\frac{1}{\omega C} \ll R_{\text{н}}.$$

Роботу випрямляча зі згладжувальним конденсатором ілюструє рис. 2.13.

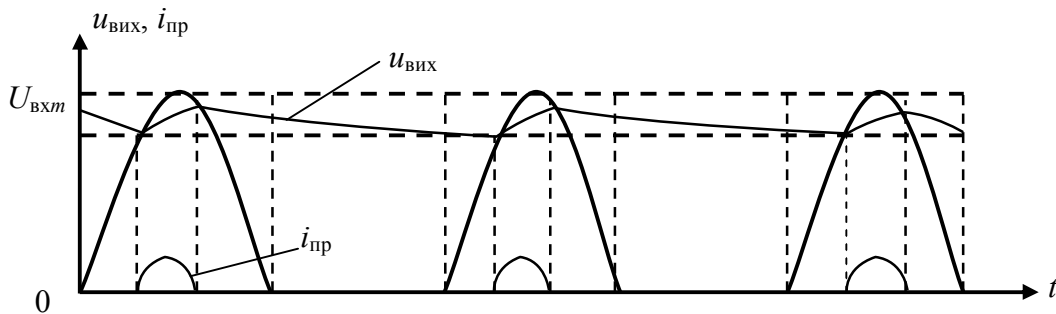


Рисунок 2.13 – Згладжування пульсацій за допомогою фільтра

Протягом деякої частини позитивного півперіоду, коли напруга на діоді  $VD$  пряма, через діод проходить струм, що заряджає конденсатор  $C$  до напруги  $U_{\text{вих max}}$ . У той час, коли струм через діод не проходить, конденсатор розряджається через опір навантаження  $R_{\text{н}}$  і створює на ньому напругу, яка поступово зменшується.

Заряд конденсатора через малий опір діода відбувається швидко. Розряд конденсатора через великий опір навантаження відбувається набагато повільніше. Внаслідок цього напруга на конденсаторі і включеному паралельно йому навантаженні пульсує незначно. Якщо постійну часу розряду конденсатора

$\tau = CR_H$  обрати дуже великою, то випрямлена напруга практично не змінюватиметься, тобто буде постійною, а пульсації напруги дуже маленькими.

Наявність конденсатора  $C$  подвоює зворотну напругу на діоді  $VD$ , тому що при негативній півхвилі вхідної напруги до діода прикладена сумарна напруга

$$U_{зв} = U_{вх\ m} + U_C \approx 2U_{вх\ m}.$$

Тому діод треба обирати при максимально допустимій напрузі таким, щоб він витримував цю зворотну напругу:  $2U_{вх\ m}$ .

Двопівперіодні випрямлячі мають значно меншу напругу пульсацій, що дозволяє значно зменшити вимоги до згладжувальних фільтрів. Кращі показники мають випрямлячі, де як випрямляльна напруга використовуються П-подібні імпульси. Для отримання більших значень випрямляльних струмів і менших пульсацій використовують трифазні випрямлячі при трифазній вхідній напрузі.

## 2.5. Параметричний стабілізатор постійної напруги

**Стабілізатор напруги** – це пристрій, що включається між джерелом і споживачем, автоматично підтримує постійну напругу на навантаженні із заданим ступенем точності при впливі дестабілізуючих факторів у заданих межах. Основними дестабілізуючими факторами є зміни вхідної (живлячої) напруги, зміни споживаної потужності, температури навколишнього середовища та інші.

*Параметричний стабілізатор* – це стабілізатор, в якому стабілізація напруги здійснюється за рахунок включення нелінійного елементу, що має відповідну ВАХ. Таку ВАХ має напівпровідниковий стабілітрон (див. рис. 2.5). Схеми параметричних стабілізаторів напруги показано на рис. 2.14.

У стабілізаторах напруги стабілітрон включений паралельно навантаженню,  $R_{обм}$  – обмежувальний опір.

Амплітудну характеристику ідеального стабілізатора напруги показано на рис. 2.15, з якої видно, що при вхідній напрузі  $U_{вх} \geq U_{ст}$  напруга на навантаженні залишається постійною і рівною напрузі стабілізації ( $U_{вих} = U_{ст}$ ).

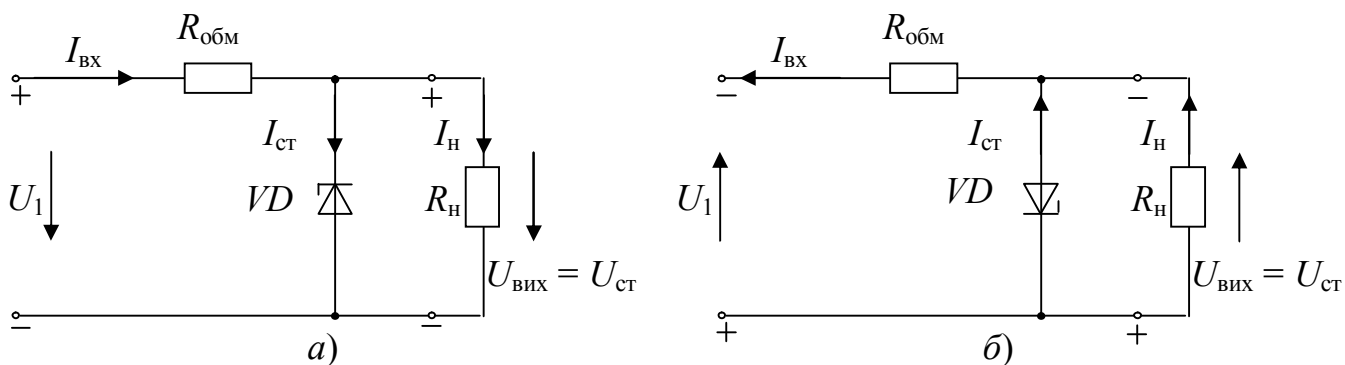


Рисунок 2.14 – Параметричні стабілізатори: а) напруга позитивної полярності; б) напруга негативної полярності

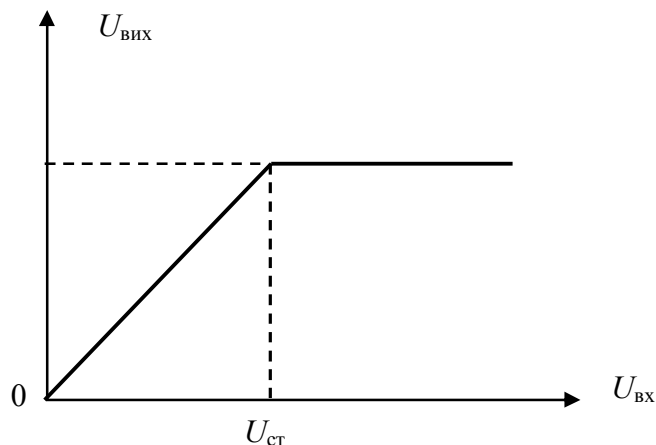


Рисунок 2.15 – Амплітудна характеристика ідеального стабілізатора напруги

напруга на стабілітроні, як показано на рис. 2.14.

Стабілізація напруги досягається тим, що різниця напруги ( $U_{вх} - U_{ст}$ ) гаситься на обмежувальному опорі  $R_{обм}$ . Якщо  $U_{вх} < U_{ст}$ , стабілізатор не працює, тому що електричний пробій стабілітрона ще не відбувся.

Розрахунок режиму стабілізації можна виконати графічним шляхом з використанням ВАХ стабілітрона, як показано на рис. 2.16. У розрахунку використовується зворотна на-

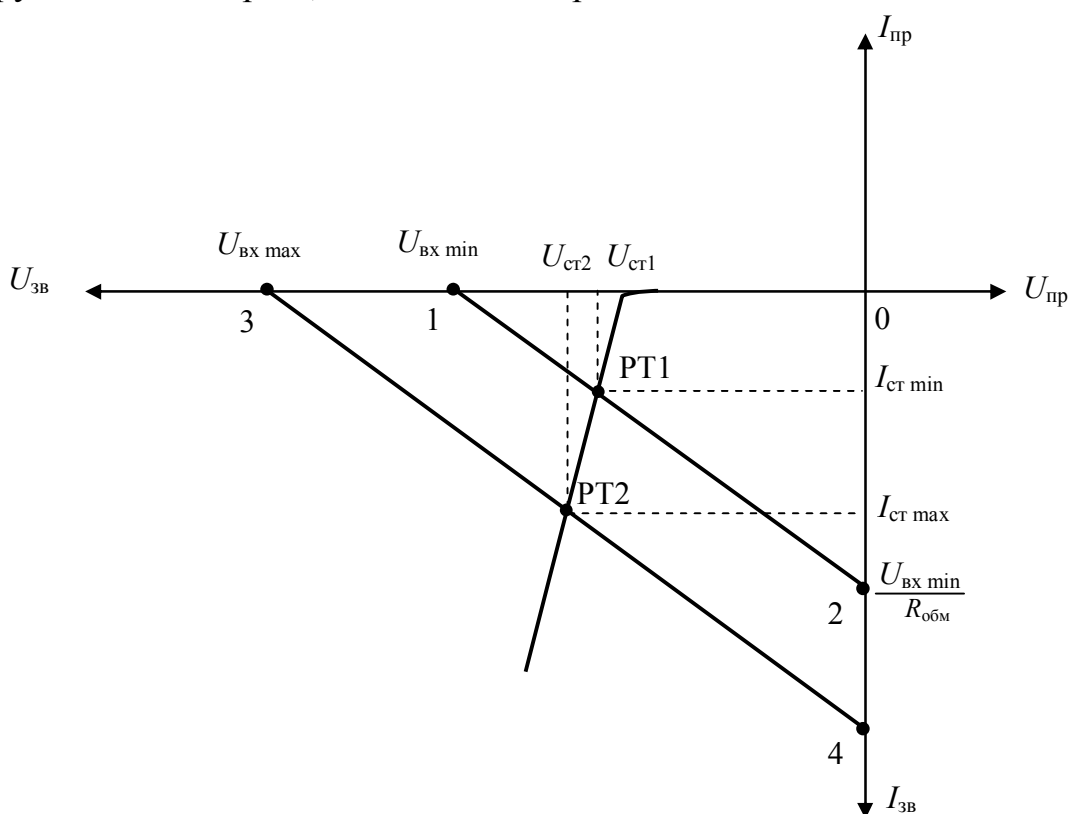


Рисунок 2.16 – Діаграма роботи параметричного стабілізатора напруги

Вхідна напруга нестабільна, тобто змінюється від максимального до мінімального значення ( $U_{вх max}$ ,  $U_{вх min}$ ), при цьому має виконуватися нерівність  $U_{вх min} > U_{ст}$ .

Для схеми рис. 2.14, а складемо рівняння кола згідно з другим законом Кірхгофа. Якщо вважати, що  $I_H \ll I_{ст}$ , то  $I_{вх} = I_{ст}$ , рівняння буде мати наступний вигляд

$$U_{вх} = I_{ст} R_{обм} + U_{ст}, \quad (2.6)$$

де  $U_{ст}$ ,  $I_{ст}$  – зворотна напруга і зворотний струм стабілітрона у режимі пробію.

У системі координат ( $U_{\text{вх}}, I_{\text{ст}}$ ) на рис. 2.16 рівняння (2.6) є рівняння прямої лінії (лінії навантаження). Тому що вхідна напруга змінюється від мінімального значення  $U_{\text{вх min}}$  до максимального  $U_{\text{вх max}}$ , то таких ліній буде дві:

– для мінімального значення вхідної напруги  $U_{\text{вх min}}$ :

$$\text{точка 1: } I_{\text{ст}} = 0, U_{\text{ст}} = U_{\text{вх min}}; \quad \text{точка 2: } U_{\text{ст}} = 0, I_{\text{ст}} = \frac{U_{\text{вх min}}}{R_{\text{обм}}};$$

– для максимального значення вхідної напруги  $U_{\text{вх max}}$ :

$$\text{точка 3: } I_{\text{ст}} = 0, U_{\text{ст}} = U_{\text{вх max}}; \quad \text{точка 4: } U_{\text{ст}} = 0, I_{\text{ст}} = \frac{U_{\text{вх max}}}{R_{\text{обм}}}.$$

Через точки 1 і 2 проводимо лінію навантаження, через точки 3 і 4 проводимо також лінію навантаження.

Ефективність роботи стабілізатора оцінюється коефіцієнтом стабілізації  $k_{\text{ст}}$ , який показує, у скільки разів відносна зміна напруги на виході стабілізатора менша, ніж відносна зміна напруги на вході:

$$k_{\text{ст}} = \frac{\frac{\Delta U_{\text{вх}}}{U_{\text{вх сер}}}}{\frac{\Delta U_{\text{вих}}}{U_{\text{вих сер}}}}, \text{ або } \frac{\Delta U_{\text{вх}}}{U_{\text{вх сер}}} \bigg/ \frac{\Delta U_{\text{вих}}}{U_{\text{вих сер}}}, \quad (2.7)$$

де  $\Delta U_{\text{вх}} = U_{\text{вх max}} - U_{\text{вх min}}$  – зміна вхідної напруги;  $U_{\text{вх сер}} = \frac{U_{\text{вх max}} + U_{\text{вх min}}}{2}$  – середнє значення вхідної напруги;  $\Delta U_{\text{вих}} = U_{\text{ст}} = U_{\text{ст2}} - U_{\text{ст1}}$  – зміна вихідної напруги;  $U_{\text{вих сер}} = \frac{U_{\text{ст1}} + U_{\text{ст2}}}{2} = U_{\text{ст}}$  – середнє значення вихідної напруги дорівнює напрузі стабілізації.

З рис. 2.16 і формули (2.7) випливає, що ефективність стабілізації тим вища (коефіцієнт стабілізації  $k_{\text{ст}}$  тим більший), чим ВАХ стабілітрона ближча до ідеальної характеристики, коли  $U_{\text{ст}} \neq 0, I_{\text{ст}} \rightarrow \infty$ .

Для встановлення і підтримки правильного режиму стабілізації обмежувальний опір  $R_{\text{обм}}$  повинен мати певне значення. Зазвичай його розраховують для середніх значень  $U_{\text{вх сер}}$  і  $I_{\text{ст сер}}$ :

$$R_{\text{обм}} = \frac{U_{\text{вх сер}} - U_{\text{ст}}}{I_{\text{ст сер}} + I_{\text{н}}},$$

де  $I_{\text{ст сер}} = \frac{I_{\text{ст max}} + I_{\text{ст min}}}{2}$  – середнє значення струму стабілізації;  $I_{\text{н}} = \frac{U_{\text{ст}}}{R_{\text{н}}}$  –

струм навантаження.

Якщо вхідна напруга буде змінюватися в той або інший бік відносно середнього значення  $U_{\text{вх сер}}$ , то буде змінюватися і струм стабілізації відносно середнього значення  $I_{\text{ст сер}}$ , але напруга на стабілітроні  $VD$ , а отже, на навантаженні  $R_{\text{н}}$  буде майже постійною.

Оскільки всі зміни вхідної напруги повинні поглинатися обмежувальним резистором  $R_{\text{обм}}$ , то найбільша зміна вхідної напруги  $\Delta U_{\text{вх}}$  повинна відповідати найбільшій можливій зміні струму  $\Delta I_{\text{ст}}$

$$\Delta I_{\text{ст}} = I_{\text{ст max}} - I_{\text{ст min}},$$

за якої ще зберігається стабілізація.

Звідси випливає, що стабілізація буде здійснюватися тільки при дотриманні умови

$$\Delta U_{\text{вх}} \leq \Delta I_{\text{ст}} R_{\text{обм}}.$$

Слід зазначити, що якщо мають місце пульсації вхідної напруги  $U_{\text{вх}}$ , то стабілітрон значно згладжує їх. Це пояснюється тим, що стабілітрон має малий опір змінному струму. Він зазвичай у багато разів менший опору  $R_{\text{обм}}$ . Тому велика частина напруги пульсацій падає на  $R_{\text{обм}}$ , а на стабілітроні і на навантаженні буде лише мала частина цієї напруги.

## 2.6. Амплітудні обмежувачі напруги

Амплітудні обмежувачі напруги бувають двох типів: обмежувачі зверху і обмежувачі знизу. Обмежувачі бувають *односторонніми*, які обмежують напругу тільки однієї полярності, і *симетричними* (двосторонніми), які обмежують напругу обох полярностей. На рис. 2.17 показано схеми односторонніх обмежувачів позитивної і негативної полярності вхідної напруги.

У схемі рис. 2.17,а позитивна півхвиля вхідної напруги є прямою напругою для діода  $VD$ . Як впливає з рис. 2.8, пряма напруга на діоді  $VD$  обмежена максимальним значенням  $U_{\text{пр max}}$ , яка на схемі рис. 2.17,а є вихідною напругою обмежувача. Тобто для позитивної півхвилі вхідної напруги рівень обмеження вихідної напруги дорівнює:  $U_{\text{вих обм}} = U_{\text{пр max}}$ .

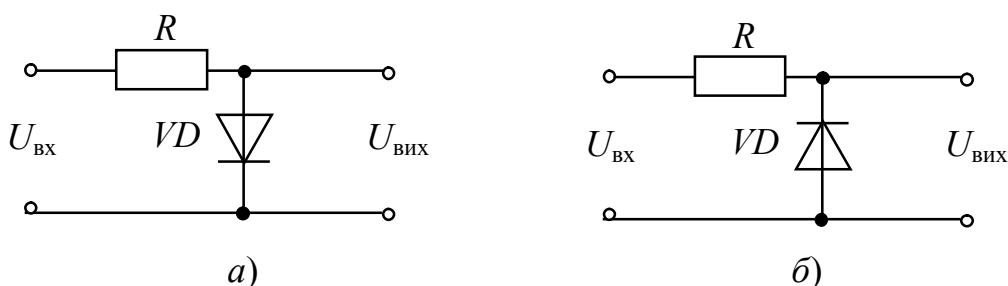


Рис. 2.17 – Односторонні обмежувачі напруги: а) позитивної полярності; б) негативної полярності

Негативна півхвиля вхідної напруги для діода  $VD$  є зворотною, тому діод закривається, і вся вхідна напруга діє на виході:  $U_{\text{вихм}} = U_{\text{вхм}}$ .

Часову діаграму схеми рис. 2.17,а показано на рис. 2.18.

У схемі рис. 2.17,б обмежується негативна півхвиля вхідної напруги, тому що ця напруга для діода  $VD$  є прямою, і отже, вихідна напруга при негативній півхвилі обмежена значенням  $U_{\text{вих обм}} = U_{\text{пр max}}$ . Позитивна півхвиля вхідної напруги для діода  $VD$  є зворотною (запираючою), тому вихідна напруга буде дорівнювати вхідній:  $U_{\text{вихм}} = U_{\text{вхм}}$ .

Часову діаграму схеми рис. 2.17,б показано на рис. 2.19.

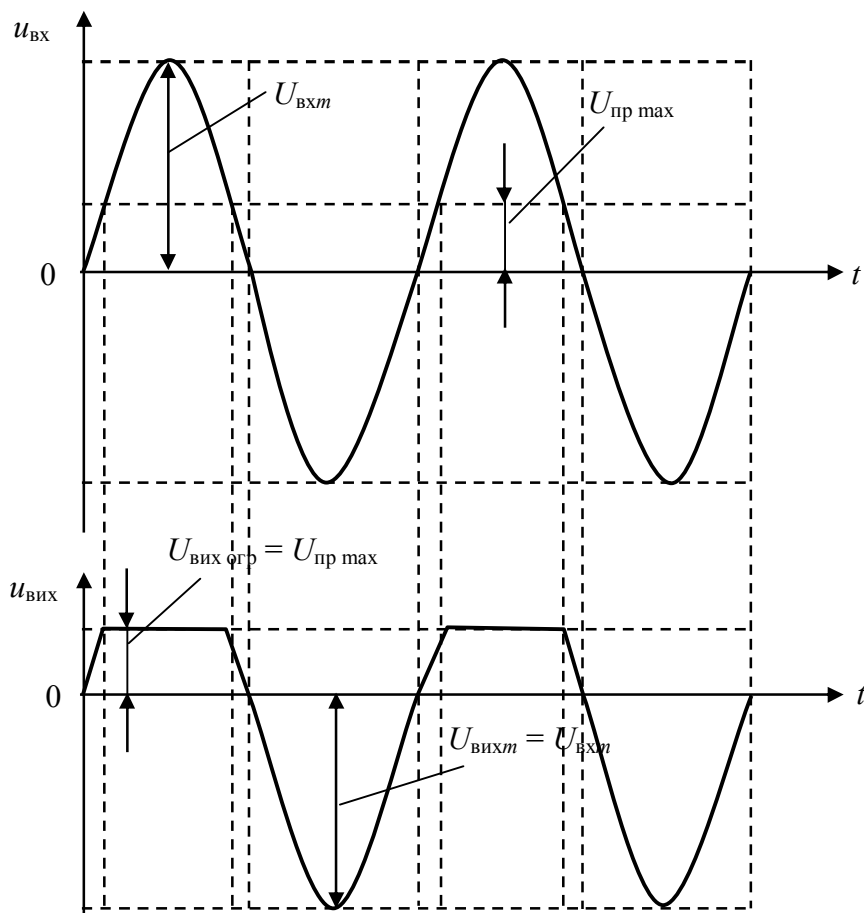


Рисунок 2.18 – Часова діаграма одностороннього обмежувача позитивної півхвилі вхідної напруги (рис. 2.17,а)

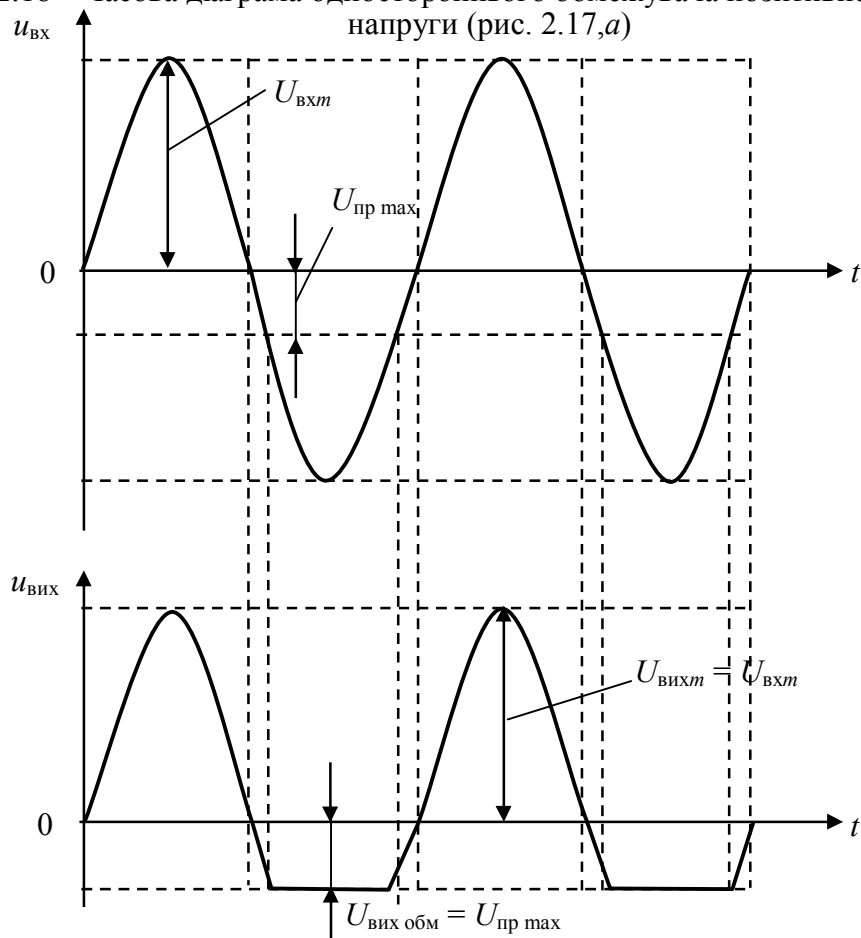


Рисунок 2.19 – Часова діаграма одностороннього обмежувача негативної півхвилі вхідної напруги (рис. 2.17,б)



Якщо увімкнути два діоди паралельно й зустрічно, як показано на рис. 2.20, то отримаємо симетричний обмежувач напруги. Якщо діоди  $VD1$  і  $VD2$  однакові, то рівні обмеження  $U_{пр\ max1} = U_{пр\ max2} = U_{вих\ обм1} = U_{вих\ обм2}$ . Часову діаграму симетричного обмежувача напруги наведено на рис. 2.21.

Якщо у якості обмежувальних використати кремнієві діоди, то рівень обмеження буде дорівнювати  $U_{вих\ обм} = U_{пр\ max} \approx 0,7$  В. Напругу обмеження можна збільшити, якщо використати послідовне з'єднання діодів (рис. 2.22,а), зустрічне включення стабілітронів (2.22,б) або двосторонній стабілітрон (рис. 2.22,в).

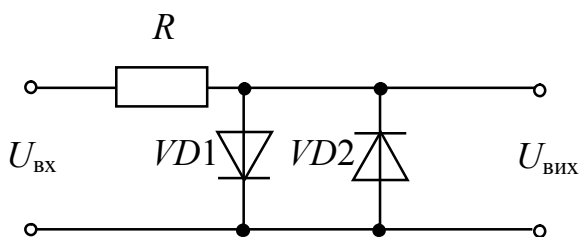


Рисунок 2.20 – Симетричний обмежувач напруги

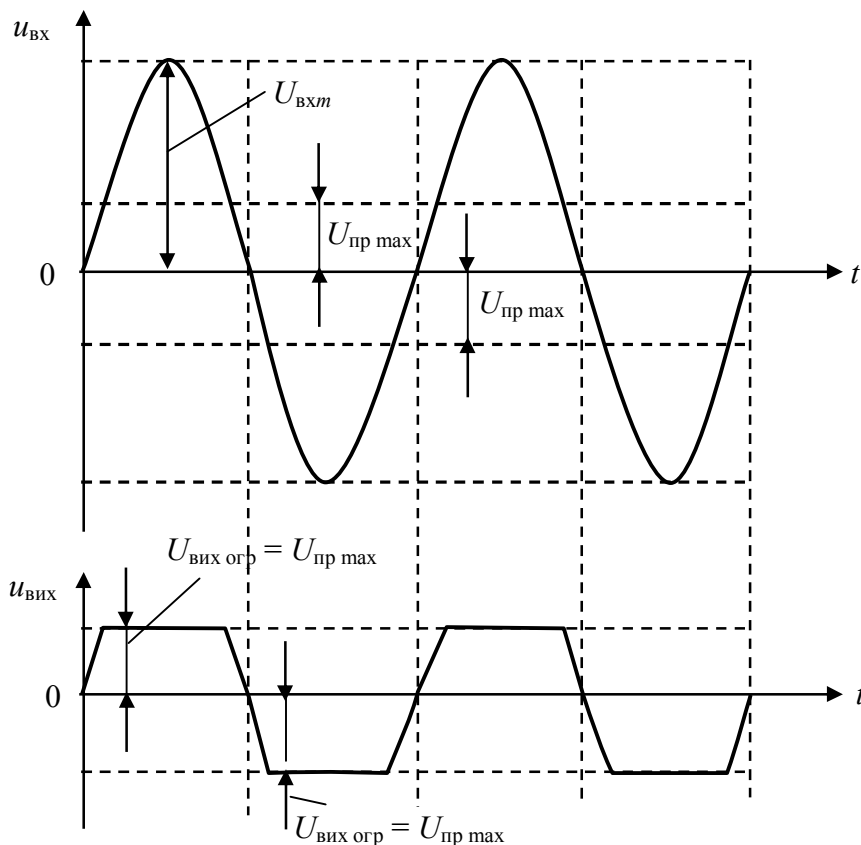


Рисунок 2.21 – Часова діаграма симетричного обмежувача

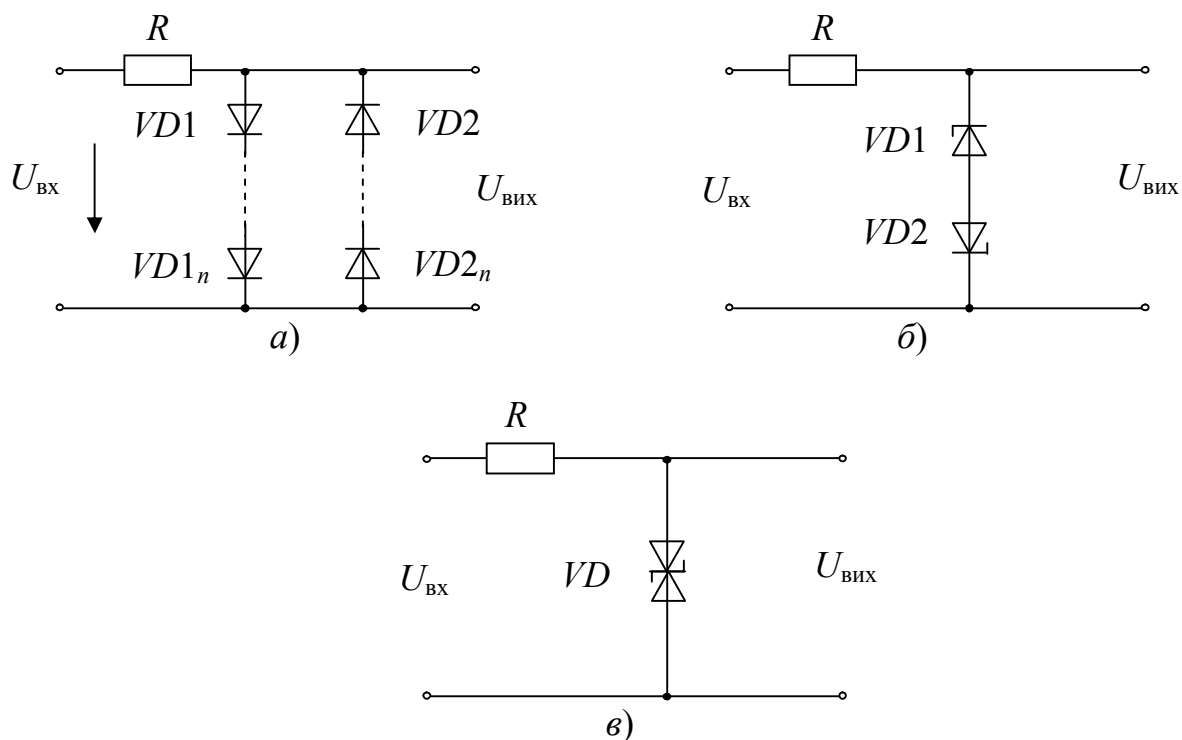


Рисунок 2.22 – Симетричні обмежувачі напруги: а) на діодах; б) на стабілітронах; в) на двосторонньому стабілітроні

У схемі 2.22, а вихідна напруга дорівнює  $U_{\text{вих обм}} = nU_{\text{пр. max}}$ , де  $U_{\text{пр max}} = 0,7 \text{ В}$ , число пар діодів  $VD1_n - VD2_n$ . У схемі 2.22, б вихідна напруга дорівнює  $U_{\text{вих обм}} = U_{\text{ст}} + 0,7 \text{ В}$ , у схемі рис. 3.22, в –  $U_{\text{вих обм}} = U_{\text{ст}}$ .

### Контрольні питання

1. Дайте визначення напівпровідникового діода.
2. Дайте класифікацію діодів.
3. Розкажіть принцип дії напівпровідникового діода.
4. На яких властивостях електронно-діркового переходу ґрунтується практичне застосування напівпровідникових діодів?
5. Намалуйте ВАХ випрямляльного діода і поясніть її хід.
6. Що називається пробоем електронно-діркового переходу і які види пробою існують?
7. Накресліть ВАХ стабілітрона і поясніть її хід.
8. Як впливає температура на характеристики діода?
9. Накресліть схему однопівперіодного випрямляча для отримання позитивної напруги.
10. Накресліть схему однопівперіодного випрямляча для отримання негативної напруги.
11. Накресліть епюри вхідної і вихідної напруг однопівперіодного випрямляча.
12. Накресліть схему параметричного стабілізатора напруги позитивної полярності.

13. Накресліть схему параметричного стабілізатора напруги негативної полярності.
14. Накресліть амплітудну характеристику стабілізатора напруги.
15. Накресліть діаграму роботи параметричного стабілізатора і поясніть її.
16. Дайте визначення коефіцієнта стабілізації.
17. Побудуйте схему симетричного амплітудного обмежувача сигналу.

## Розділ 3. БІПОЛЯРНІ ТРАНЗИСТОРИ

### 3.1. Загальні відомості

**Біполярним транзистором (БТ)** називається напівпровідниковий прилад, що має два взаємодіючих *p-n*-переходи. Транзистор являє собою кристал напівпровідника, що містить три області з по чергово змінюючимися типами провідності. Залежно від порядку чергування областей розрізняють БТ типів *p-n-p* та *n-p-n*. Принцип дії БТ різних типів однаковий. Транзистори назвали біполярними, оскільки їх робота забезпечується носіями обох полярностей: електронами та дірками.

Схематично структура БТ та його умовне позначення показані на рис. 3.1: на рис. 3.1, а – транзистор *p-n-p*-типу; на рис. 3.1, б – транзистор *n-p-n*-типу.

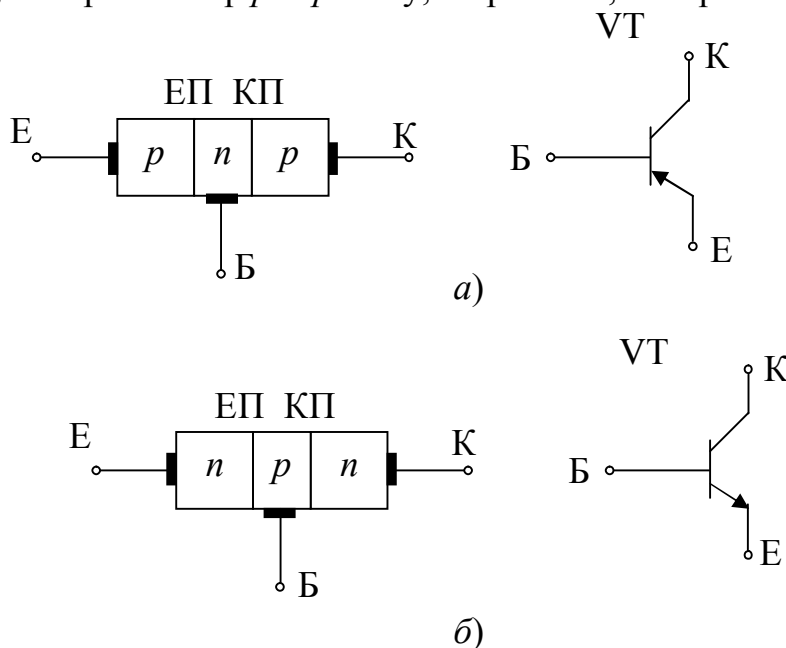


Рисунок 3.1 – Структура біполярного транзистора і його умовне позначення:  
а) *p-n-p*-типу; б) *n-p-n*-типу

Одну з крайніх областей транзисторної структури створюють з підвищеною концентрацією домішок, використовують у режимі інжекції і називають *емітером* (Е). Середню область називають *базою* (Б), а іншу крайню область – *колектором* (К). Два *p-n*-переходи БТ називають емітерним і колекторним.

Таким чином, в транзисторі є два *p-n*-переходи: *емітерний* (ЕП) – між емітером і базою і *колекторний* (КП) – між базою і колектором. Відстань між переходами повинна бути малою, тобто область бази повинна бути дуже тонкою. Це є умовою хорошої роботи транзистора. Від бази, емітера і колектора є виводи.

Струми у проводах емітера, бази, колектора позначають відповідно  $I_e$ ,  $I_b$ ,  $I_k$ . Напруги між електродами позначають подвійними індексами, наприклад, напруга між базою і емітером  $U_{бе}$ , між колектором і базою  $U_{кб}$ . В умовному позначенні транзисторів на рис. 3.1 стрілка показує вивід емітера, а її напрям –

напряг струму (від плюса до мінуса) у проводі емітера при прямій напрузі на емітерний перехід.

Біполярний транзистор може працювати у чотирьох режимах залежно від полярності напруг на його переходах.

1) **Режим насичення**: на обидва переходи подано пряму напругу, обидва переходи відкриті.

2) **Режим відсікання**: на обидва переходи подано зворотну напругу, обидва переходи закриті.

3) **Режим активний**: на емітерний перехід подано пряму напругу, а на колекторний – зворотну напругу; емітерний перехід відкритий, колекторний закритий.

4) **Режим інверсний**: на емітерний перехід подано зворотну напругу, а на колекторний – пряму напругу; емітерний перехід закритий, колекторний відкритий, тобто режим інверсний (протилежний) по відношенню до активного. Інверсний режим використовують дуже рідко.

Активний режим БТ використовується в аналогових схемах: підсилювачах і генераторах. Режими відсікання і насичення використовуються для імпульсної роботи БТ і застосовуються в цифрових схемах.

### 3.2. Принцип дії біполярного транзистора

Розглянемо роботу біполярного транзистора в активному режимі без навантаження, коли включені джерела постійних живлючих напруг, як показано на рис. 3.2.

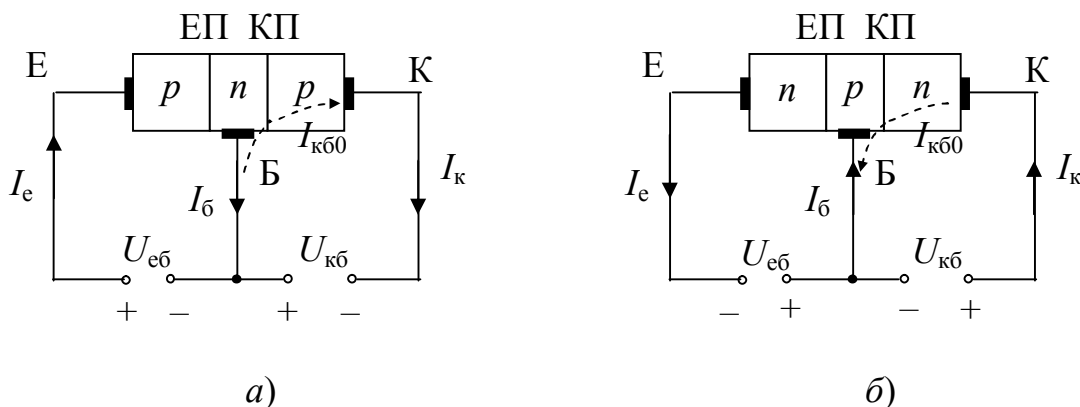


Рисунок 3.2 – Протікання постійних струмів у транзисторах:

а) *p-n-p*-типу; б) *n-p-n*-типу

Полярність живлючих напруг така, що на емітерний перехід напруга  $U_{еб}$  пряма, а на колекторному переході напруга  $U_{кб}$  зворотна. Тому опір емітерного переходу малий, і для отримання нормального струму у цьому переході  $I_e$  достатньо подати невелику напругу  $U_{еб}$  близько десятих часток вольт. Опір колекторного переходу великий, і напруга  $U_{кб}$  зазвичай становить десятки вольт. З рис. 3.2 бачимо, що напруги між електродами транзистора пов'язані простою залежністю

$$U_{ке} = U_{кб} + U_{еб}. \quad (3.1)$$

При роботі транзистора в активному режимі завжди виконується нерівність

$$U_{\text{еб}} \ll U_{\text{кб}}.$$

З рис. 3.2 також видно, що в активному режимі БТ на базу і колектор подаються напруги одного знака відносно емітера. Отже, в активному режимі БТ можна використовувати одне джерело живлення для подачі напруг на електроди.

Розглянемо принцип роботи БТ *p-n-p*-типу в активному режимі (рис. 3.2,а). При подачі прямої напруги  $U_{\text{еб}}$  на емітерний перехід виникає прямий струм емітера  $I_{\text{е}}$ . Дірки цього струму *інжектуються з емітера до бази* і завдяки дифузії проникають крізь базу у колекторний перехід. Тому що колекторний перехід працює при зворотній напрузі  $U_{\text{кб}}$ , то в ньому існує електричне поле, яке сприяє *просуванню (екстракції)* через колекторний перехід дірок, які прийшли сюди з емітера.

Якщо товщина бази мала і концентрація електронів у ній невелика, більшість дірок, пройшовши через базу, *не встигають рекомбінувати* з електронами бази і досягають колекторного переходу. Лише невелика частина дірок рекомбінує у базі з електронами. В результаті рекомбінації виникає струм бази  $I_{\text{б}}$ . Струми в транзисторі зв'язані наступним співвідношенням

$$I_{\text{е}} = I_{\text{б}} + I_{\text{к}}. \quad (3.2)$$

Струм бази  $I_{\text{б}}$  є некорисним, бажано, щоб він був якомога меншим. Зазвичай справедлива нерівність

$$I_{\text{б}} \ll I_{\text{е}}, \quad (3.3)$$

а, отже, струм колектора  $I_{\text{к}}$  лише незначно менший струму емітера  $I_{\text{е}}$ , і можна вважати, що

$$I_{\text{к}} \approx I_{\text{е}}. \quad (3.4)$$

Для того, щоб струм бази  $I_{\text{б}}$  був якомога меншим, базу роблять дуже тонкою і зменшують у ній концентрацію домішок, яка визначає концентрацію електронів. Тоді менше число дірок, які прийшли з емітера, буде рекомбінувати у базі з електронами.

Коли  $U_{\text{еб}} = 0$ , то практично можна вважати, що в емітерному переході немає струму,  $I_{\text{е}} = 0$ . У цьому випадку через колекторний перехід протікає лише невеликий зворотний струм колекторного переходу  $I_{\text{кб0}}$ . Але якщо під дією напруги  $U_{\text{еб}}$  виникає великий струм емітера  $I_{\text{е}}$ , велика частина дірок доходить до колектора, в результаті струм колектора  $I_{\text{к}}$  збільшується. Таким чином, чим більший струм емітера  $I_{\text{е}}$ , тим більший струм колектора  $I_{\text{к}}$  і струм бази  $I_{\text{б}}$ .

На рис. 3.2,б наведено полярності живлячих напруг  $U_{\text{еб}}$  і  $U_{\text{кб}}$  і напрями струмів  $I_{\text{е}}$ ,  $I_{\text{к}}$ ,  $I_{\text{б}}$  в активному режимі для біполярного транзистора *n-p-n*-типу. Як впливає з рис. 3.2,б, полярності напруг і напрями струмів протилежні порівняно з транзистором *p-n-p*-типу. Це відображено також в умовних позначеннях транзисторів на рис. 3.1: стрілочки в емітерів показують напрям струму  $I_{\text{е}}$  в активному режимі.

Якщо на емітерний перехід подати зворотну напругу, а на колекторний – пряму, то отримаємо *інверсний режим*. Але в БТ, як правило, колектор виготовляють зі значно більшою площею, ніж емітер, тому що потужність, яка розсіюється в колекторному переході, набагато більша потужності, що розсіюється в

емітерному переході. Тому, якщо використовувати емітер в якості колектора, то транзистор у цьому випадку можна використовувати за значно меншої потужності, що недоцільно.

Розглянемо співвідношення між струмами у біполярному транзисторі. Струм емітера  $I_e$  управляється напругою на емітерному переході  $U_{eб}$ , але до колектора доходить дещо менший струм через рекомбінацію носіїв в області бази. Через колекторний перехід завжди проходить некерований зворотний струм колекторного переходу  $I_{кб0}$ . Тому струм колектора дорівнює

$$I_k = \alpha I_e + I_{кб0}, \quad (3.5)$$

де  $\alpha = \frac{I_k}{I_e}$  – коефіцієнт передачі струму емітера.

При номінальних значеннях струму  $I_e$  коефіцієнт  $\alpha$  звичайно дорівнює  $\alpha = 0,95 \dots 0,995$ , тобто близький до одиниці, але завжди менший 1. Струм  $I_{кб0}$  на кілька порядків менший складової  $\alpha I_e$  ( $I_{кб0} \ll \alpha I_e$ ).

Перетворимо вираз (3.5), використовуючи рівність (3.2), отримаємо

$$I_k = \alpha(I_k + I_b) + I_{кб0} = \beta I_b + (1 + \beta)I_{кб0},$$

де  $\beta = \frac{I_k}{I_b}$  – коефіцієнт передачі струму бази. (3.6)

Коефіцієнти  $\alpha$  і  $\beta$  відносяться до важливих параметрів біполярного транзистора. Між ними існує однозначний зв'язок:

$$\alpha = \frac{\beta}{1 + \beta}, \quad \beta = \frac{\alpha}{1 - \alpha}. \quad (3.7)$$

Якщо  $\alpha = 0,98$ , то  $\beta = 49$ , тобто невеликі зміни  $\alpha$  призводять до великих змін  $\beta$ . Коефіцієнт  $\beta$  має значення багато більше одиниці.

У довідниках використовують інші позначення цих коефіцієнтів:

$$\alpha = h_{21б} \text{ і } \beta = h_{21е}. \quad (3.8)$$

### 3.3. Статичні вольтамперні характеристики біполярного транзистора

Залежності між струмами і напругами у біполярному транзисторі виражаються статичними вольтамперними характеристиками (ВАХ), які знімають при постійних напругах і струмах, коли немає вхідного сигналу і навантаження у вихідному колі. Як впливає з рис. 3.1, транзистор є триполюсним елементом, оскільки має три виводи: емітер (Е), базу (Б) і колектор (К). Найчастіше транзистор використовують як чотириполюсний елемент, для цього один з його виводів роблять спільним між вхідним і вихідним колами. Розрізняють *три схеми включення біполярного транзистора*: зі спільним емітером (СЕ), зі спільною базою (СБ), зі спільним колектором (СК). Таке включення розглядають як для проходження постійних струмів, так і для змінних. Так, наприклад, три схеми можуть змінюватися за змінним струмом, але мати однакову схему включення за постійним струмом. Термін СЕ, СБ, СК відноситься, як правило, до схеми включення за змінним струмом.

Властивості БТ визначаються двома сімействами ВАХ: вхідними і вихідними. Для кожної зі схем включення БТ існують свої сімейства ВАХ. Розглянемо ВАХ для найбільш поширених схем: зі спільним емітером та її спільною базою. У довідковій літературі, як правило, наводяться ВАХ для схеми з СЕ, тому що вона найчастіше використовується в практичних схемах. Незалежно від типу транзистора ( $n-p-n$  або  $p-n-p$ ) та полярності живлючих напруг ВАХ будують у першому квадранті декартової системи координат.

### 3.3.1. Вольтамперні характеристики транзистора у схемі зі спільним емітером

Розглянемо ВАХ транзистора, включеного за схемою з СЕ. Схему зняття ВАХ показано на рис. 3.3.

У схемі рис. 3.3 позначені:  $VT$  – досліджуваний біполярний транзистор;  $E_1$  і  $E_2$  – джерела живлення, постійні напруги яких регулюються;  $R$  – резистор, що задає струм бази  $I_b$ .

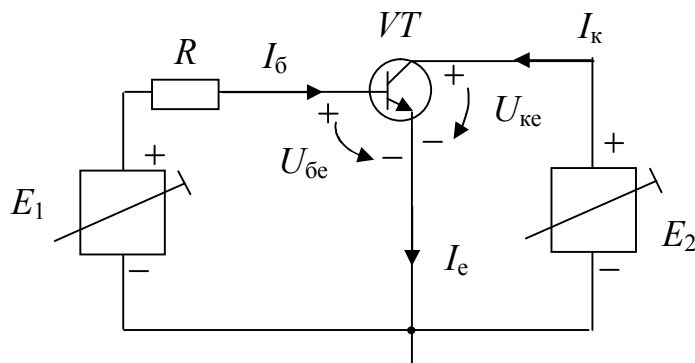


Рисунок 3.3 – Схема зняття ВАХ транзистора у схемі з СЕ

На рис. 3.4 показано вхідні ВАХ БТ  $I_b = f(U_{be})$  при постійних значеннях напруги колектор–емітер  $U_{ce} = \text{const}$ .

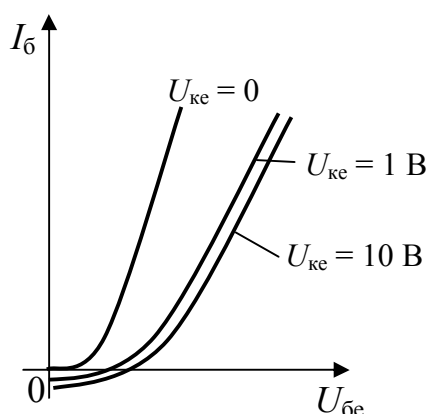


Рисунок 3.4 – Вхідні ВАХ транзистора у схемі з СЕ

Як впливає з рис. 3.4, при  $U_{ce} = 0$  характеристика виходить з початку координат, тому що всі напруги дорівнюють нулю і струм бази  $I_b = 0$ . При  $U_{ce} > 0$



характеристика зміщується праворуч, струм бази  $I_6$  зменшується і при малих значеннях напруги  $U_{6e}$  стає негативним. Зміна значення напруги  $U_{ке}$  (наприклад, від  $U_{ке} = 1$  В до  $U_{ке} = 10$  В) мало впливає на значення струму бази  $I_6$  при однаковому значенні напруги  $U_{6e}$ . Як видно з рис. 3.4, входні ВАХ при різних значеннях напруги  $U_{ке}$  розташовані дуже близько одна до одної і знаходяться у зоні технологічного розкиду ВАХ транзистора. Тому у довідковій літературі зазвичай наводять дві входні характеристики: для  $U_{ке} = 0$  В і для рекомендованого значення  $U_{ке} \neq 0$ .

На рис. 3.5 наведено сімейство вихідних ВАХ  $I_k = f(U_{ке})$  при різних постійних значеннях струму бази  $I_6 = \text{const}$ .

Як впливає з рис. 3.5, характеристика при струмі бази  $I_6 = 0$  виходить з початку координат, при цьому у колекторному колі протікає маленький струм  $I_k = I_{к60}(1 + h_{21e})$ , як це впливає з рівняння (3.6). При струмі бази  $I_6 = 0$  обидва переходи закриті, транзистор знаходиться у *режимі відсікання* (область відсікання заштрихована). Збільшення струму бази  $I_6$  означає, що за рахунок збільшення напруги  $U_{6e}$  збільшився струм емітера  $I_e$ , отже, збільшився і струм бази  $I_6$ , який є частиною струму  $I_e$ . Отже, пропорційно збільшується і струм колектора  $I_k$ .

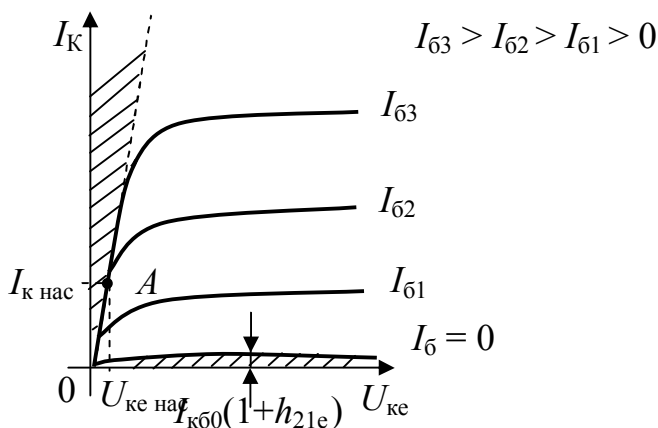


Рисунок 3.5 – Вихідні ВАХ транзистора у схемі з СЕ

Як впливає з рис. 3.5, при збільшенні напруги  $U_{ке}$  від нуля до невеликого значення (десятих часток вольт) струм колектора  $I_k$  різко зростає. Транзистор при цьому знаходиться в *режимі насичення* (область насичення заштрихована): обидва переходи, колекторний і емітерний, *відкриті*.

Якщо  $U_{ке} = U_{ке \text{ нас}}$ , струм колектора має максимальне значення  $I_{к \text{ нас}}$ , як показано на рис. 3.5. *Режим насичення* на рис. 3.5 показаний пунктирною лінією – лінією насичення. У довідковій літературі зазвичай наводиться для даного типу транзистора значення  $U_{ке \text{ нас}}$  при певному значенні струму  $I_{к \text{ нас}}$  (точка  $A$  на рис. 3.5). За т.  $A$  можна розрахувати значення  $U_{ке \text{ нас}}$  при іншому значенні струму насичення.

При подальшому збільшенні напруги  $U_{ке}$  транзистор переходить до *активного режиму*, колекторний перехід закритий. Характеристики йдуть з невели-

ким підйомом, що означає малий вплив напруги  $U_{кб}$  на струм колектора  $I_{к}$ . Для аналогових схем найчастіше використовуються лінійні ділянки вихідних ВАХ в активному режимі. Для таких схем чим менший нахил вихідних ВАХ, тим параметри транзистора ближчі до ідеальних.

### 3.3.2. Вольтамперні характеристики транзистора у схемі зі спільною базою

Розглянемо ВАХ транзистора, включеного за схемою з СБ. Схему зняття ВАХ показано на рис. 3.6.

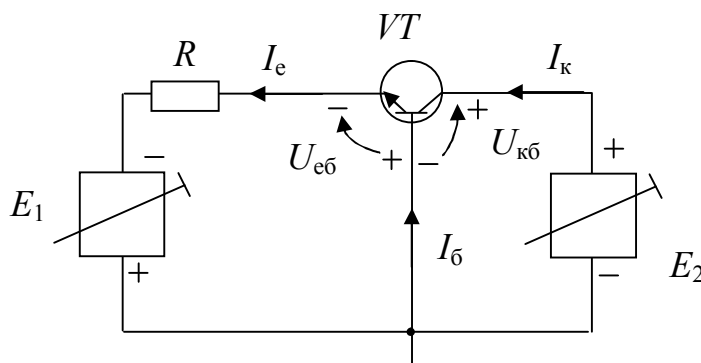


Рисунок 3.6 – Схема зняття ВАХ транзистора у схемі з СБ

У схемі рис. 3.6 позначені:  $VT$  – досліджуваний біполярний транзистор;  $E_1$  і  $E_2$  – джерела живлення, постійні напруги яких регулюються;  $R$  – резистор, що задає струм емітера  $I_e$ .

На рис. 3.7 надано ВАХ БТ  $I_e = f(U_{еб})$  при постійних значеннях напруги колектор-база  $U_{кб} = \text{const}$ .

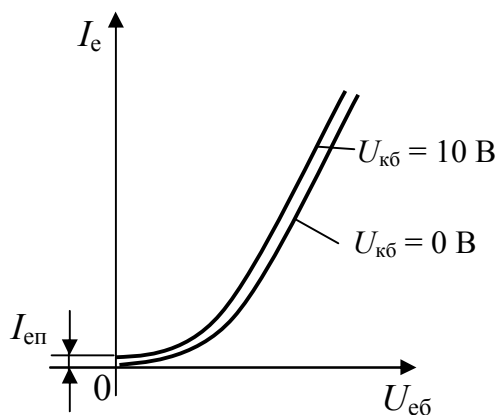


Рисунок 3.7 – Вхідні ВАХ транзистора у схемі з СБ

Як впливає з рис. 3.7, при  $U_{кб} = 0$  характеристика виходить з початку координат, тому що обидва переходи закриті і струм емітера  $I_e = 0$ . При напрузі  $U_{кб} > 0$  характеристика проходить трохи вище початку координат, оскільки при  $U_{еб} = 0$  в емітерному колі протікає маленький початковий струм  $I_{еп}$ . Вхідні ВАХ при різних значеннях  $U_{кб}$  розташовані близько одна до одної.

На рис. 3.8 надано вихідні ВАХ транзистора у схемі з СБ  $I_k = f(U_{кб})$  при різних постійних значеннях струму емітера  $I_e = \text{const}$ .

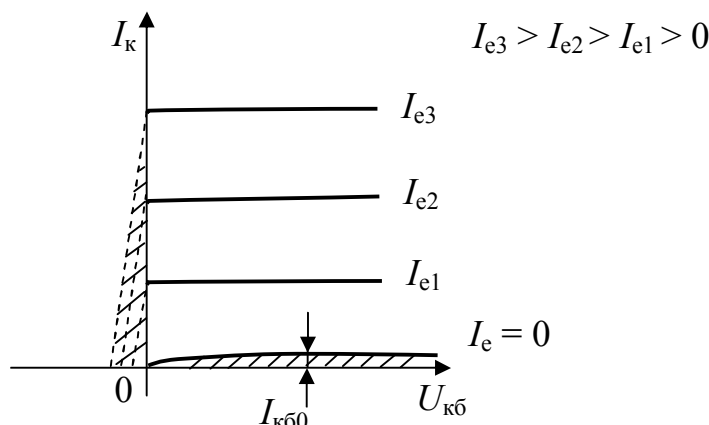


Рисунок 3.8 – Вихідні ВАХ транзистора у схемі з СБ

Як випливає з рис. 3.8, при струмі  $I_e = 0$  характеристика виходить з початку координат, і у колекторному колі протікає дуже маленький зворотний струм колекторного переходу  $I_k = I_{кб0}$ . Транзистор знаходиться в *режимі відсікання*.

В *активному режимі* транзистора ( $I_e > 0$ ,  $U_{кб} > 0$ ) робочі ділянки вихідних характеристик для різних значень струму  $I_e$  являють собою прямі лінії, що йдуть практично паралельно осі напруги  $U_{кб}$ . Це означає, що струм колектора  $I_k$  практично не залежить від напруги  $U_{кб}$ . Тому схема з СБ використовується не тільки як підсилювач, але і як джерело стабільного струму  $I_k$ .

*Режим насичення* транзистора у схемі з СБ розташований при негативних значеннях напруги  $U_{кб}$ .

### 3.3.3. Граничні експлуатаційні параметри біполярного транзистора. Залежність параметрів транзистора від температури

У довідниках зазначається значна кількість параметрів і граничних експлуатаційних даних біполярних транзисторів. Найбільш часто використовують такі граничні параметри, які визначають робочу область активного режиму транзистора.

- 1)  $U_{ке \text{ макс}}$  – максимально припустима постійна напруга колектор-емітер.
- 2)  $U_{кб \text{ макс}}$  – максимально припустима постійна напруга колектор-база.
- 3)  $I_{к \text{ макс}}$  – максимально припустимий постійний струм колектора.
- 4)  $I_{е \text{ макс}}$  – максимально припустимий постійний струм емітера.
- 5)  $I_{б \text{ макс}}$  – максимально припустимий постійний струм бази.
- 6)  $P_{к \text{ макс}}$  – максимально припустима постійна розсіювана потужність колектора.
- 7)  $T_{п \text{ макс}}$  – максимально припустима постійна температура колекторного переходу.

Всі параметри біполярного транзистора залежать від температури. Це зумовлено тим, що фізичні властивості напівпровідникового матеріалу суттєво

змінюються під впливом температури. Зі збільшенням температури коефіцієнт передачі струму бази  $h_{21e}$  збільшується, збільшуються струми емітера  $I_e$  та бази  $I_b$  при  $U_{be} = \text{const}$  і різко збільшується зворотний струм колекторного переходу  $I_{кб0}$ . Тому згідно з формулами (3.7) і (3.8)

$$I_k = h_{21e} I_b + (1 + h_{21e}) I_{кб0} \quad (3.9)$$

струм колектора  $I_k$  при збільшенні температури збільшується. У результаті режим роботи транзистора у схемі змінюється і може вийти за межі максимально припустимих значень струмів і потужностей. Потужні транзистори для нормальної роботи забезпечуються тепловідводами. При збільшенні температури навколишнього середовища значення максимально припустимої потужності розсіювання колектора  $P_{k \max}$  зменшується. Для стабілізації режиму роботи транзистора в пристрої використовують спеціальні схеми.

### 3.4. Моделі біполярного транзистора

Для розрахунку та аналізу схем на біполярних транзисторах використовуються його моделі. Модель транзистора може бути задана у вигляді системи рівнянь або еквівалентної схеми. Тому що транзистор є нелінійним елементом, то його моделі та параметри для різних режимів роботи і сигналів можна використовувати різні. Найбільш загальними є нелінійні моделі БТ.

#### 3.4.1. Нелінійні моделі біполярного транзистора

Відомі нелінійні моделі Еберса-Молла і Логана, використовувані для аналізу схем на біполярних транзисторах. Загальну нелінійну модель біполярного транзистора, яка справедлива для всіх режимів транзистора, показано на рис. 3.9,а.

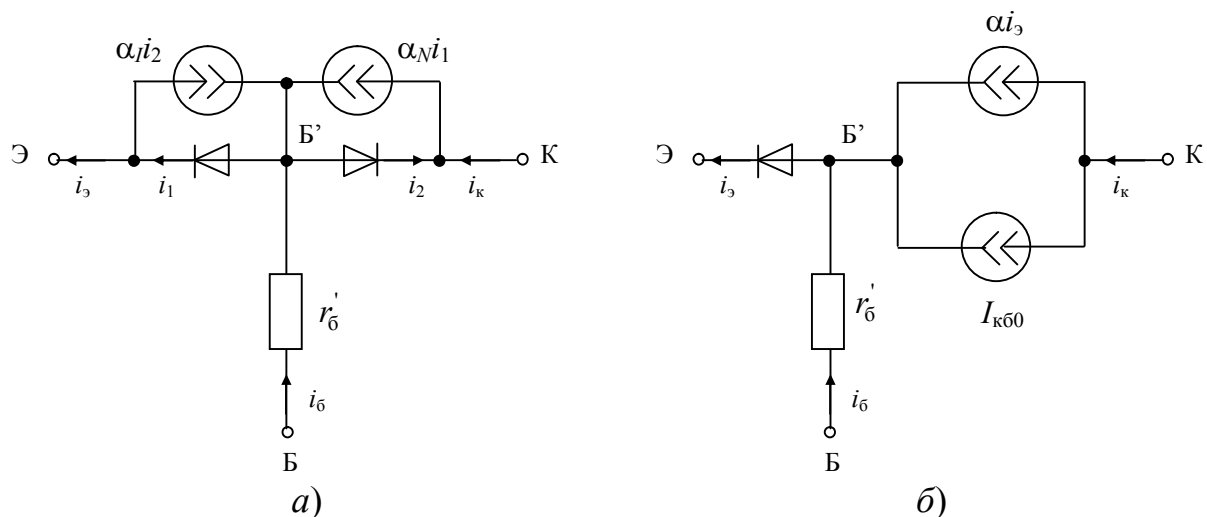


Рисунок 3.9 – Нелінійні моделі Еберса-Молла біполярного транзистора *n-p-n* типу:  
а) загальна модель; б) для активного режиму

У моделі рис. 3.9,а позначені наступні параметри:

$\alpha_N = \frac{i_k}{i_e}$  – коефіцієнт передачі емітерного струму ( $\alpha_N < 1$ ), індекс  $N$  – означає нормальне включення транзистора: перехід емітер-база відкритий, перехід

колектор-база закритий;  $\alpha_I = \frac{i_e}{i_k} < 1$  – коефіцієнт передачі колекторного струму

при інверсному включенні транзистора: перехід емітер-база закритий, перехід колектор-база відкритий;  $r'_b$  – омичний опір тіла бази,  $B'$  – внутрішня точка бази.

В обчислювальних методах аналізу транзисторних схем широко використовується *нелінійна модель транзистора Гуммеля-Пуна*. Це дуже точна модель, але для її опису потрібна значна кількість параметрів.

Для транзистора *p-n-p* типу полярність живлючих напруг необхідно змінити на протилежні, тому і в моделях рис. 3.9 напрями всіх струмів і діодів необхідно змінити на протилежні.

Нелінійні моделі біполярного транзистора (рис. 3.9) використовуються при аналізі питань, пов'язаних з постійними складовими і великим сигналом, тому що в цьому випадку необхідно враховувати нелінійність вольтамперних характеристик транзистора.

### 3.4.2. Лінійні моделі біполярного транзистора

При малих рівнях сигналу (порівняно з постійними складовими струмів і напруг) використовувані ділянки вольтамперних характеристик БТ можна вважати лінійними, тобто при малих сигналах транзистор працює в лінійному режимі, наприклад, для каскаду з СЕ виконуються наступні нерівності:  $I_{бт} \ll I_{б0}$ ,  $U_{бет} \ll U_{бе0}$ ,  $I_{кт} \ll I_{к0}$ ,  $U_{кет} \ll U_{ке0}$ . Для інших схем включення БТ аналогічні нерівності також виконуються. При цьому параметри транзистора не залежать від сигналу, а визначаються тільки положенням робочої точки на статичних вольтамперних характеристиках. Це дозволяє замінити транзистор його **лінійною моделлю** і скористатися диференціальними параметрами транзистора.

Для виконання синтезу та аналізу схем необхідна модель транзистора для сигналу. Модель транзистора обирається замість реального підсилювального елемента. Кожна теоретична модель строго описує поведінку реального транзистора лише при виконанні певного комплексу умов-обмежень, накладених при побудові моделі. Тому, перш ніж застосовувати ту чи іншу модель, необхідно переконатися у виконанні обмежень, прийнятих при побудові моделі.

У теорії аналогових пристроїв набули поширення два класи моделей підсилюючих елементів:

- 1) формалізовані моделі підсилюваних елементів;
- 2) фізичні моделі біполярного транзистора.

### Формалізовані моделі підсилювальних елементів

Формалізовані моделі засновані на поданні підсилювального елемента як активного чотириполюсника. Найбільш часто використовуються системи рівнянь із  $z$ -,  $y$ - та  $h$ -параметрами. Для біполярних транзисторів найчастіше вико-

ристовується система  $h$ -параметрів, які легко визначити експериментально, для польових транзисторів і електронних ламп частіше використовується система у-параметрів.

У режимі малого сигналу амплітуди струмів і напруг змінних складових у багато разів менші постійних складових цих самих струмів і напруг. У цьому випадку для підсилювального елемента можна користуватися диференціальними параметрами, що характеризують його в робочій точці, а сам підсилювальний елемент вважати активним лінійним чотириполюсником. Як приклад розглянемо систему рівнянь з  $h$ -параметрами, що зв'язує струми і напруги біполярного транзистора у схемі з СЕ:

$$\left. \begin{aligned} U_{\text{бе}} &= h_{11e} I_{\text{б}} + h_{12e} U_{\text{ке}}, \\ I_{\text{к}} &= h_{21e} I_{\text{б}} + h_{22e} U_{\text{ке}}. \end{aligned} \right\} \quad (3.10)$$

У загальному випадку струми, напруги і  $h$ -параметри є комплексними величинами, це показано рисками в позначеннях. Для області середніх частот, де можна не враховувати частотні властивості транзисторів,  $h$ -параметри являють собою наступні дійсні величини:

$$h_{11e} = \left. \frac{\partial U_{\text{бе}}}{\partial I_{\text{б}}} \right|_{U_{\text{ке}} = \text{const}} \quad - \text{вхідний опір транзистора у схемі з СЕ при короткому}$$

замиканні у вихідному колі ( $\Delta U_{\text{ке}} = 0, U_{\text{ке0}} = \text{const}$ );

$$h_{12e} = \left. \frac{\partial U_{\text{бе}}}{\partial U_{\text{ке}}} \right|_{I_{\text{б0}} = \text{const}} \quad - \text{коефіцієнт зворотного зв'язку за напругою у схемі з}$$

СЕ при холостому ході у вхідному колі ( $\Delta I_{\text{б}} = 0, I_{\text{б0}} = \text{const}$ );

$$h_{21e} = \left. \frac{\partial I_{\text{к}}}{\partial I_{\text{б}}} \right|_{U_{\text{ке0}} = \text{const}} \quad - \text{коефіцієнт передачі струму бази (коефіцієнт підсилен-}$$

ня струму у схемі з СЕ) при короткому замиканні у вихідному колі ( $\Delta U_{\text{ке}} = 0, U_{\text{ке0}} = \text{const}$ );

$$h_{22e} = \left. \frac{\partial I_{\text{к}}}{\partial U_{\text{ке}}} \right|_{I_{\text{б0}} = \text{const}} \quad - \text{вихідна провідність транзистора у схемі з СЕ при хо-}$$

лостому ході у вхідному колі ( $\Delta I_{\text{б}} = 0, I_{\text{б0}} = \text{const}$ ).

Визначення холостий хід і коротке замикання відносяться до сигналу, постійні напруги і струми (положення робочої точки) залишаються незмінними.

Чисельні значення деяких параметрів у режимі малого сигналу надаються у довідковій літературі. Слід пам'ятати, що ці значення параметрів є усередненими і справедливі тільки при зазначеному положенні робочої точки в режимі вимірювання параметрів, а також частоти, на якій проводилося це вимірювання. У довідковій літературі зазвичай надаються графіки, що показують залежності параметрів транзистора від положення робочої точки. Користуючись цими графіками, можна перерахувати параметри для іншого режиму.

Параметри в режимі малого сигналу можна визначити і за сімействами ВАХ транзистора методом скінченного приросту, оскільки частинні похідні у

системі рівнянь (3.10) наближено можна замінити відношеннями скінченних приростів.

На рис. 3.10 і 3.11 показано побудову, що дозволяє визначити  $h$ -параметри біполярного транзистора у схемі з СЕ у заданій робочій точці  $O$ .

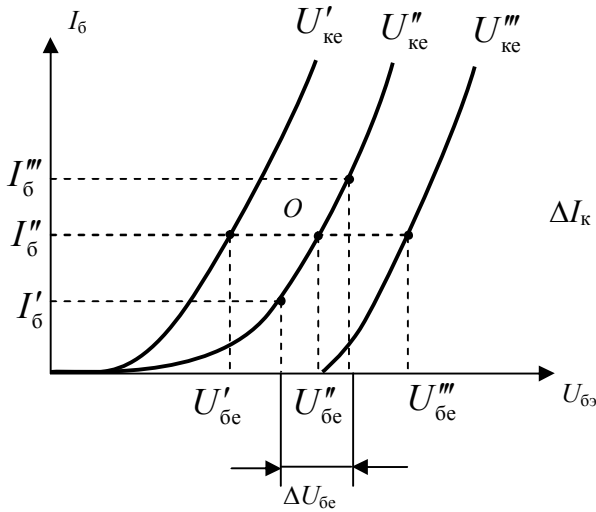


Рисунок 3.10 – Визначення параметрів  $h_{11e}$  і  $h_{12e}$  за входними ВАХ транзистора

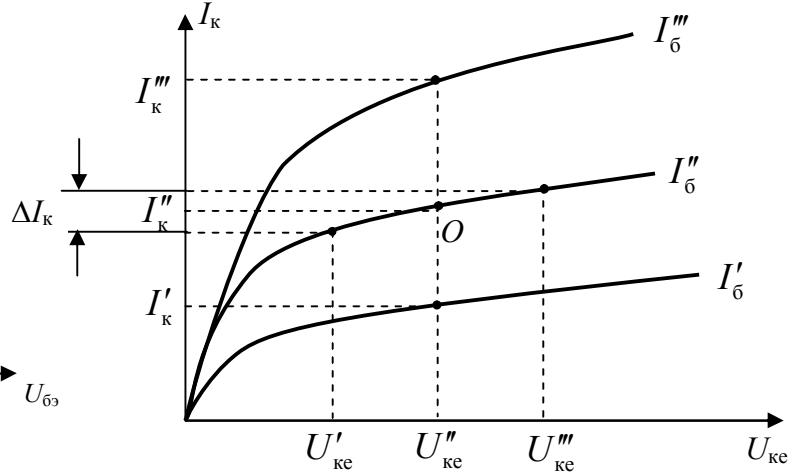


Рисунок 3.11 – Визначення параметрів  $h_{21e}$  і  $h_{22e}$  за вихідними ВАХ транзистора

Для отримання більш точних значень диференціальних параметрів приріст струмів і напруг поблизу робочої точки  $O$  повинен бути невеликим і симетричним.

Визначимо диференціальні параметри транзистора у схемі з СЕ:

$$\begin{aligned}
 h_{11e} &= \left. \frac{\Delta U_{6e}}{\Delta I_6} \right|_{U_{ке}=\text{const}} = \left. \frac{\Delta U_{6e}}{I_6''' - I_6'} \right|_{U_{ке}=\text{const}} ; \\
 h_{12e} &= \left. \frac{\Delta U_{6e}}{\Delta U_{ке}} \right|_{I_6=\text{const}} = \left. \frac{U_{6e}''' - U_{6e}'}{U_{ке}''' - U_{ке}'} \right|_{I_6=\text{const}} ; \\
 h_{21e} &= \left. \frac{\Delta I_к}{\Delta I_6} \right|_{U_{ке}=\text{const}} = \left. \frac{I_к''' - I_к'}{I_6''' - I_6'} \right|_{U_{ке}=\text{const}} ; \\
 h_{22e} &= \left. \frac{\Delta I_к}{\Delta U_{ке}} \right|_{I_6=\text{const}} = \left. \frac{\Delta I_к}{U_{ке}''' - U_{ке}'} \right|_{I_6=\text{const}} .
 \end{aligned} \tag{3.11}$$

Дуже часто у довідниках надається тільки одна входна (базова) характеристика. У такому випадку коефіцієнт зворотного зв'язку  $h_{12e}$  можна прийняти рівним нулю.

Диференціальні  $h$ -параметри транзистора можна визначати експериментально, не користуючись сімействами статичних характеристик, підставляючи у формули (3.11) чисельні значення, виміряні у заданій робочій точці.

### Фізичні моделі біполярного транзистора

Наочнішими є фізичні моделі біполярного транзистора. Вони досить наочно відображають фізичні властивості транзистора. Раніше було розглянуто не-

лінійні моделі біполярного транзистора (рис. 3.9). Ці моделі використовуються при аналізі роботи схем, пов'язаних з великим сигналом, наприклад, при аналізі вихідних каскадів.

Як зазначалося вище, для аналізу схем з малими сигналами можна скористатися *диференціальними параметрами* біполярного транзистора. Диференціальний коефіцієнт передачі струму бази (коефіцієнт підсилення струму) позначимо

$$h_{21e} = \left. \frac{\partial i_k}{\partial i_b} \right|_{U_{кe0}=\text{const}},$$

тому що він рівний коефіцієнту підсилення струму схеми зі спільним емітером.

Зі збільшенням частоти коефіцієнт підсилення струму  $h_{21e}$  зменшується, залежність  $h_{21e}$  від частоти можна апроксимувати наступною функцією

$$\underline{h_{21e}} = \frac{h_{21e0}}{1 + j \frac{f}{f_{h21e}}}, \quad (3.12)$$

де  $h_{21e0}$  – коефіцієнт підсилення струму транзистора на низькій частоті. Можна вважати, що  $h_{21e0} \approx \beta$ , тобто він дорівнює статичному коефіцієнту передачі струму бази. Таким чином,  $h_{21e}$  є комплексною величиною. Залежність модуля коефіцієнта підсилення струму бази від частоти показано на рис. 3.12 (за обома осями використано логарифмічний масштаб).

У формулі (3.12) і на рис. 3.12 частота  $f_{h21e}$  називається *граничною частотою коефіцієнта передачі струму бази біполярного транзистора*. На частоті  $f_{h21e}$  коефіцієнт передачі  $|h_{21e}(f)| = 0,707 h_{21e0} = \frac{h_{21e0}}{\sqrt{2}}$ . Частотні властивості біполярних транзисторів частіше оцінюють *граничною частотою*  $f_{гр}$ , на якій модуль  $|h_{21e}(f)| = 1$  (рис. 3.12).

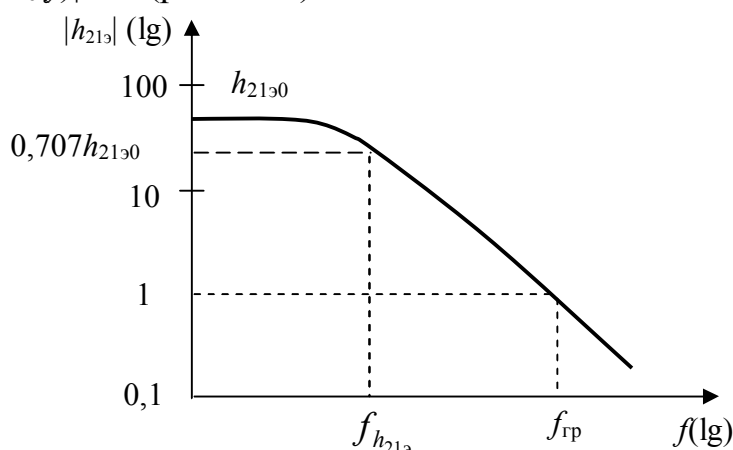


Рисунок 3.12 – Залежність модуля коефіцієнта підсилення струму від частоти

У довідниках зазвичай надають значення модуля  $|h_{21e}|$  за зумовленою частотою  $f$ , тоді

$$f_{гр} = f \cdot |h_{21e}|. \quad (3.13)$$



За значенням граничної частоти  $f_{гр}$  виконується класифікація біполярних транзисторів за частотними властивостями: низькочастотні ( $f_{гр} \leq 3$  МГц), високочастотні ( $3 \text{ МГц} < f_{гр} \leq 30 \text{ МГц}$ ), надвисокочастотні ( $f_{гр} > 30 \text{ МГц}$ ).

Відповідно, можна визначити частоту  $f_{h_{21б}}$  – *граничну частоту коефіцієнта передачі струму емітера* (коефіцієнта передачі струму схеми зі спільною базою), якщо апроксимувати залежність  $h_{21б}$  від частоти аналогічною функцією

$$\underline{h_{21б}} = \frac{h_{21б0}}{1 + j \frac{f}{f_{h_{21б}}}}. \quad (3.14)$$

Тому що  $h_{21б0} \approx 1$ , то отримаємо  $f_{h_{21б}} \approx f_{гр}$ . Якщо врахувати, що  $h_{21е} = \frac{h_{21б}}{1 - h_{21б}}$ , можна показати, що

$$f_{h_{21е}} \approx \frac{f_{гр}}{1 + h_{21б0}}. \quad (3.15)$$

Таким чином, біполярний транзистор, включений за схемою з СБ, має кращі частотні властивості, ніж у схемі з СЕ.

На високих частотах необхідно враховувати також ємності переходів: колекторного та емітерного. Ці ємності визначаються між внутрішньою точкою бази Б' і відповідними виводами колектора К й емітера Е.

Таким чином, з нелінійної моделі біполярного транзистора (рис. 3.9) отримана фізична лінійна Т-подібна модель біполярного транзистора для малого сигналу, яка зображена на рис. 3.13.

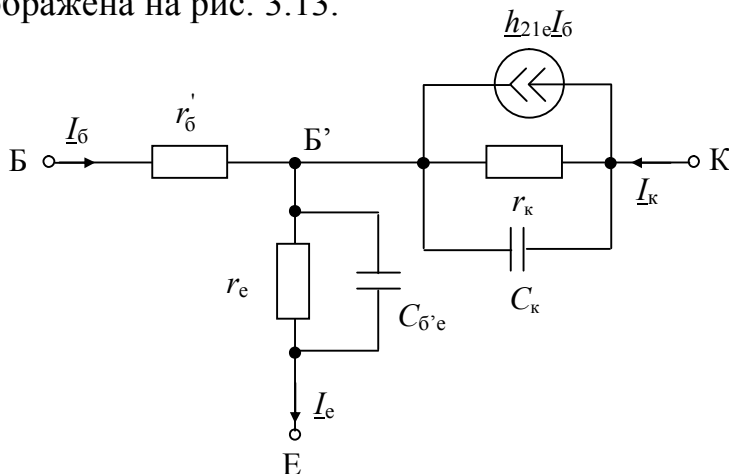


Рисунок 3.13 – Т-подібна модель біполярного транзистора для малого сигналу

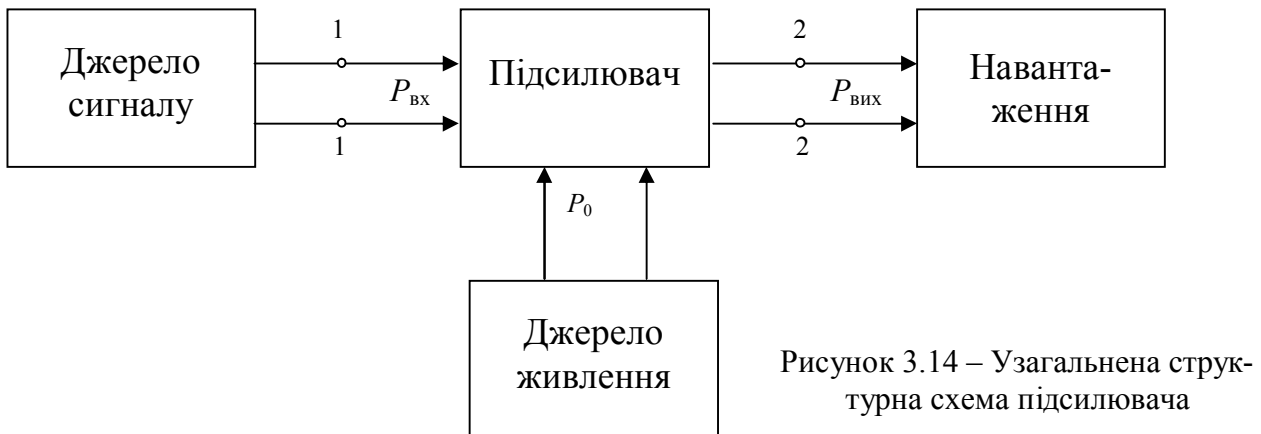
Напрямок стрілок залежного генератора струму визначається напрямом задаючого (управляючого) струму бази  $I_б$  і рівнянням, що зв'язує струми в транзисторі  $I_е = I_б + I_к$ . Він не залежить від типу транзистора: *n-p-n* або *p-n-p*. Якщо напрям струму бази  $I_б$  змінити на протилежний, що відповідає іншому півперіоду вхідного сигналу, напрям стрілок  $I_к$  та  $I_е$  також необхідно змінити на протилежний.

Фізична Т-подібна модель може бути використана для будь-якої схеми включення біполярного транзистора, тому що являє собою триполюсну схему.

### 3.5. Робота біполярного транзистора у схемі

#### 3.5.1. Електронні підсилювачі. Основні технічні показники підсилювачів

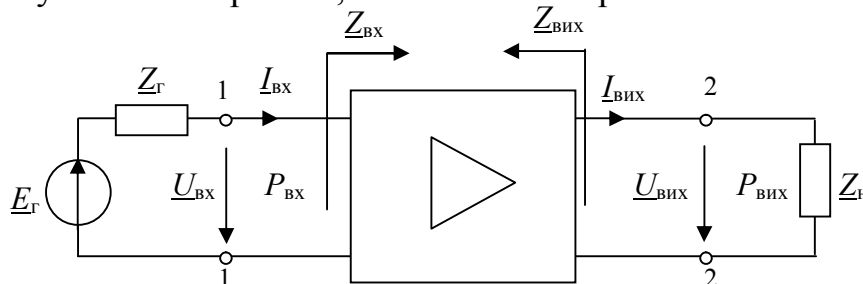
**Підсилювач електричних сигналів** – це електронний пристрій, призначений для збільшення потужності, напруги або струму сигналу, підведеного до його входу. Оскільки потужність сигналу на виході підсилювача більша, ніж на вході, то за законом збереження енергії *підсилювач* повинен містити у собі джерело живлення. Тоді узагальнену структурну схему підсилювача можна зобразити, як показано на рис. 3.14.



Від джерела живлення підсилювач відбирає потужність  $P_0$ , необхідну для підсилення вхідного сигналу. Джерело сигналу забезпечує потужність на вході підсилювача  $P_{вх}$ , вихідна потужність  $P_{вих}$  виділяється на активній частині навантаження. У підсилювачі для потужностей виконується нерівність:  $P_{вх} < P_{вих} < P_0$ . Отже, *підсилювач* – це *перетворювач* енергії джерела живлення в енергію вихідного сигналу, яким керує вхідний сигнал. Перетворення енергії здійснюється за допомогою нелінійних елементів – біполярних, польових транзисторів, електронних ламп та інших. Сам підсилювач відносно двох пар вхідних та вихідних клем є *нелінійним чотиріполюсником*.

#### Основні технічні показники підсилювачів

Для сигналу підсилювач можна показати активним чотиріполюсником, тому що він містить у собі джерело живлення. Навантаження і джерело сигналу замінимо еквівалентними двополюсниками. Тоді структурну схему підсилювача для сигналу можна зобразити, як показано на рис. 3.15.



Трикутник – це умовне позначення підсилювача. Для спрощення аналізу будемо вважати, що  $\underline{Z}_\Gamma = R_\Gamma$ ,  $\underline{Z}_H = R_H$ , тобто є активними опорами.

Розглянемо основні технічні показники підсилювачів.

### Коефіцієнти підсилення

Коефіцієнти підсилення виражають підсилювальні властивості підсилювача. Вони є передатковими функціями підсилювача. В підсилювальній техніці використовують різні коефіцієнти підсилення:

– коефіцієнт підсилення напруги:

$$\underline{K}_u = \frac{\underline{U}_{\text{вих}}}{\underline{U}_{\text{вх}}} = K_u \cdot e^{j\varphi_u}; \quad (3.16)$$

– коефіцієнт підсилення струму:

$$\underline{K}_i = \frac{\underline{I}_{\text{вих}}}{\underline{I}_{\text{вх}}} = K_i \cdot e^{j\varphi_i}; \quad (3.17)$$

– наскрізний коефіцієнт підсилення (коефіцієнт підсилення ЕРС):

$$\underline{K}_e = \frac{\underline{U}_{\text{вих}}}{\underline{E}_\Gamma} = K_e \cdot e^{j\varphi_e}; \quad (3.18)$$

– коефіцієнт підсилення потужності, який дорівнює відношенню активних потужностей на виході і вході,

$$K_p = \frac{P_{\text{вих}}}{P_{\text{вх}}}. \quad (3.19)$$

Таким чином, функції  $\underline{K}_u$ ,  $\underline{K}_i$  і  $\underline{K}_e$  є комплексними. Найбільш повно підсилювальні властивості підсилювача характеризує наскрізний коефіцієнт підсилення  $\underline{K}_e$ .

Підсилювач з великим коефіцієнтом підсилення складається з декількох каскадів, як показано на рис. 3.16.

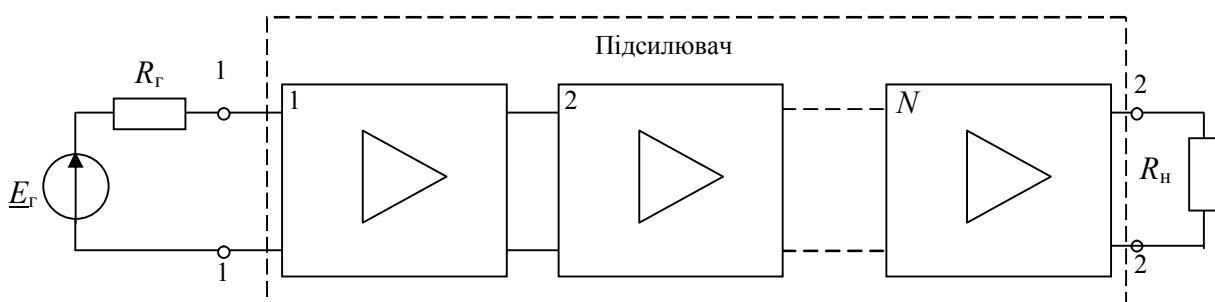


Рисунок 3.16 – Багатокаскадний підсилювач

Для багатокаскадних підсилювачів, що містять  $N$  каскадів, загальний коефіцієнт підсилення дорівнює добутку коефіцієнтів підсилення каскадів

$$\underline{K}_u = \underline{K}_{u1} \cdot \underline{K}_{u2} \dots \underline{K}_{uN} = K_u \cdot e^{j\varphi_u}. \quad (3.20)$$

Звідси випливає, що модулі коефіцієнтів підсилення перемножуються, фази складаються:

$$K_u = K_{u1} \cdot K_{u2} \dots K_{uN}, \quad (3.21)$$

$$\varphi_u = \varphi_{u1} + \varphi_{u2} + \dots + \varphi_{uN}. \quad (3.22)$$

Модулі коефіцієнтів підсилення можна виразити в децибелах,

$$K_{u \text{ дБ}} = 20 \lg K_u, \quad (3.23)$$

тоді

$$K_{u \text{ дБ}} = \sum_{n=1}^N K_{un \text{ дБ}}. \quad (3.24)$$

Отже, у логарифмічних одиницях (дБ) коефіцієнти підсилення складаються. Коефіцієнт підсилення за потужністю в логарифмічних одиницях визначається за формулою

$$K_{p \text{ дБ}} = 10 \lg K_p. \quad (3.25)$$

### **Коефіцієнт корисної дії**

Підсилювач споживає від джерела живлення потужність  $P_0$ . Для оцінки ступеня корисного використання цієї потужності в підсилювачі вводять *коефіцієнт корисної дії* (ККД). Під *промисловим* (повним) ККД підсилювача розуміють відношення потужності сигналу  $P_{\text{вих}}$ , що віддається у навантаження, до сумарної потужності  $P_0$ , яка споживана всіма колами підсилювача від усіх джерел живлення,

$$\eta_{\text{п}} = \frac{P_{\text{вих}}}{P_0}. \quad (3.26)$$

Вхідний та вихідний опори підсилювача визначаються як відповідні опори чотирьохполосника

$$\underline{Z}_{\text{вх}} = \frac{U_{\text{вх}}}{I_{\text{вх}}}, \quad \underline{Z}_{\text{вих}} = \frac{U_{\text{вихXX}}}{I_{\text{вихКЗ}}}, \quad (3.27)$$

де  $\underline{U}_{\text{вихXX}}$  – вихідна напруга в режимі ненавантаженого стану («холостого ходу» –  $R_{\text{н}} = \infty$ );  $\underline{I}_{\text{вихКЗ}}$  – вихідний струм у режимі короткого замикання ( $R_{\text{н}} = 0$ ).

### **Спотворення сигналу**

Під спотвореннями розуміють зміну форми сигналу на виході підсилювача порівняно з формою сигналу на його вході. Будь-який підсилювач вносить спотворення в підсилюваний сигнал. В залежності від причин, які викликають зміну форми сигналу на виході підсилювача, розрізняють лінійні і нелінійні спотворення.

**Лінійні спотворення** зумовлені тим, що параметри електронних приладів (транзисторів, діодів, електронних ламп тощо), а також опори конденсаторів та індуктивностей, які використовують у підсилювачах, залежать від частоти. Лінійні спотворення оцінюються за амплітудно-частотною (АЧХ), фазочастотною (ФЧХ) та перехідною (ПХ) характеристиками підсилювача.

АЧХ підсилювача являє собою залежність модуля будь-якого коефіцієнта підсилення від частоти вхідного сигналу. На рис. 3.17 показано АЧХ підсилювача. Область частот, в якій  $K_e$  практично не залежить від частоти, називають *областю середніх частот*.

Ідеальна АЧХ, за якої не виникають частотні спотворення, зображена на рис. 3.17 пунктирною лінією. Вона являє собою пряму лінію, паралельну осі частот:  $K_{e0} = \text{const}$ , тобто не залежить від частоти. Реальна АЧХ підсилювача відрізняється від ідеальної. Цю відмінність можна охарактеризувати коефіцієнтом частотних спотворень на частоті  $f$

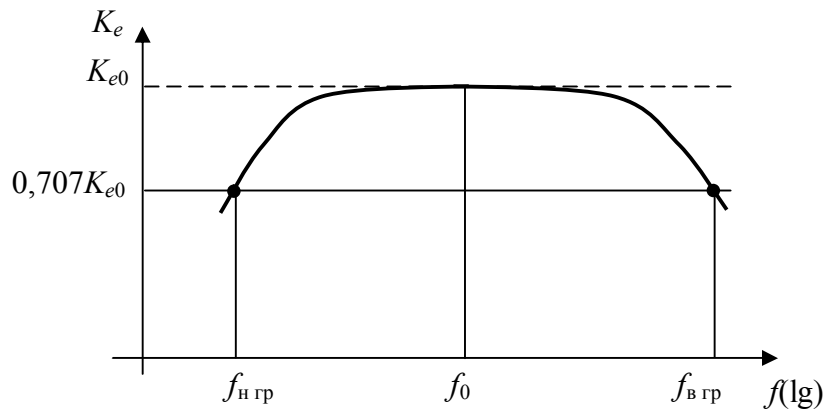


Рисунок 3.17 – АЧХ підсилювача

$$M_{\text{дБ}} = 20 \lg \frac{K_{e0}}{K_e(f)}, \quad (3.28)$$

де  $K_{e0}$  – модуль коефіцієнта підсилення на середній частоті  $f_0$ ;  $K_e(f)$  – модуль коефіцієнта підсилення на заданій частоті  $f$ . Граничні частоти підсилювача  $f_{\text{н гр}}$  та  $f_{\text{в гр}}$  визначаються на рівні  $K_{e0} / \sqrt{2} = 0,707K_{e0}$ . На цих частотах коефіцієнт частотних спотворень дорівнює

$$M_{\text{дБ}} = 20 \lg \sqrt{2} = 3 \text{ дБ}. \quad (3.29)$$

Область частот, яка розміщена нижче частоти  $f_{\text{н гр}}$ , називають *областю нижніх частот*, вище частоти  $f_{\text{в гр}}$  – *областю верхніх частот*. *Смужою пропускання підсилювача* називають область частот, у межах якої частотні спотворення не перевищують задані значення. Якщо задані значення  $M_{\text{н дБ}} = 3 \text{ дБ}$  і  $M_{\text{в дБ}} = 3 \text{ дБ}$ , то смуга пропускання визначається областю частот від  $f_{\text{н гр}}$  до  $f_{\text{в гр}}$  (або записують так:  $f_{\text{н гр}} \dots f_{\text{в гр}}$ ). В залежності від призначення підсилювача спотворення  $M_{\text{н дБ}}$  і  $M_{\text{в дБ}}$  можуть задаватися різної величини.

ФЧХ підсилювача являє собою залежність фази будь-якого коефіцієнта підсилення від частоти вхідного сигналу. На рис. 3.18 наведено ФЧХ підсилювача, де  $\varphi_e$  – фазовий зсув між вихідною і ЕРС джерела сигналу.

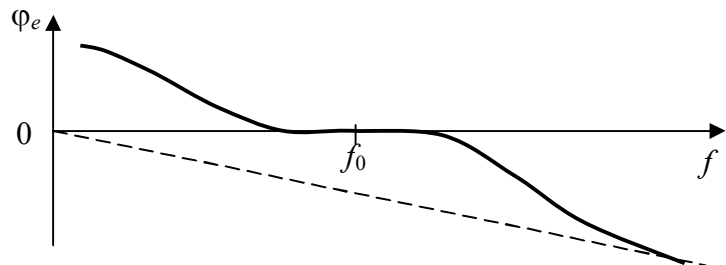


Рисунок 3.18 – ФЧХ підсилювача

Ідеальна ФЧХ являє собою пряму лінію, що виходить з початку координат, тобто фазовий зсув прямо пропорційний частоті,

$$\varphi(\omega) = -t_3 \omega. \quad (3.30)$$

Ідеальна ФЧХ зображена на рис. 3.18 пунктирною лінією.

Лінійні спотворення *підсилювачів імпульсних сигналів* оцінюються за *перехідною характеристикою* як різниця реальної перехідної характеристики від ідеальної.

**Нелінійні спотворення** в підсилювачах виникають через нелінійність ВАХ елементів підсилювачів, у першу чергу підсилювальних елементів вихідних каскадів, тому що в них сигнал має максимальне значення. Через нелінійність ВАХ змінюється форма вихідного сигналу. Нелінійні спотворення оцінюють по-різному в залежності від призначення підсилювача.

Нелінійні спотворення підсилювачів гармонічних сигналів оцінюють *коефіцієнтом гармонік* при подачі на вхід одного гармонічного коливання (звичайно, частоти  $f_0$ )

$$k_{\Gamma} = \frac{\sqrt{U_{\text{вих}2}^2 + U_{\text{вих}3}^2 + U_{\text{вих}4}^2 + \dots}}{U_{\text{вих}1}}, \quad (3.31)$$

де  $U_{\text{вих}2}, U_{\text{вих}3}, U_{\text{вих}4}, \dots$  – діючі значення напруг вищих гармонік частоти сигналу;  $U_{\text{вих}1}$  – діюче значення першої гармоніки на виході підсилювача. У високоякісних підсилювачах звукових частот має бути  $k_{\Gamma} < 0,5 \%$ .

### **Амплітудна характеристика і динамічний діапазон**

Амплітудною характеристикою (АХ) підсилювача називають залежність амплітудного (або діючого) значення вихідної напруги від амплітудного (або діючого) значення вхідної напруги, якщо на вхід підсилювача надано гармонічне коливання незмінної частоти.

Частота вхідного сигналу звичайно обирається  $f_0$ . Реальна АХ показана на рис. 3.19. На цьому ж рисунку пунктирною лінією показана *ідеальна амплітудна характеристика*. Вона являє собою пряму лінію, яка виходить з початку координат під кутом  $\alpha'$ . Кут  $\alpha'$  визначається коефіцієнтом підсилення напруги на частоті вхідного сигналу  $f_0$

$$\text{tg} \alpha' = \frac{U_{\text{вих}}}{U_{\text{вх}}} = K_{u0}.$$

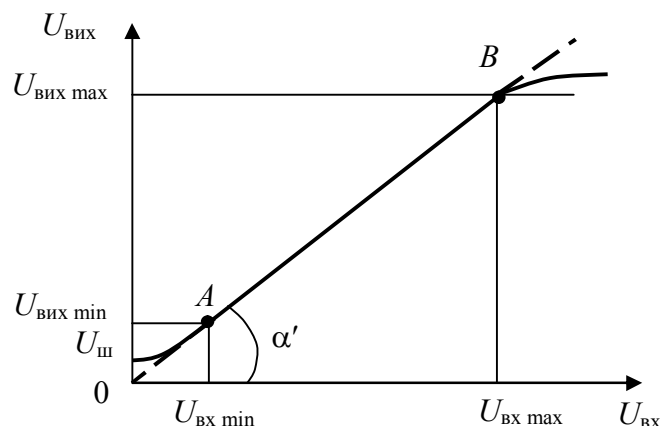


Рисунок 3.19 – Амплітудна характеристика підсилювача

Як впливає з рис. 3.19, реальна АХ співпадає збігається з ідеальною тільки на ділянці  $A-B$ , що відповідає значенням вхідної напруги  $U_{\text{вх min}} \dots U_{\text{вх max}}$ . При великих напругах нелінійність АХ зумовлена нелінійністю ВАХ елементів підсилювача, при цьому з'являються нелінійні спотворення вихідного сигналу. Вхідній напрузі  $U_{\text{вх max}}$  відповідає вихідна напруга  $U_{\text{вих max}}$ , за якої забезпечується заданий коефіцієнт гармонік  $k_r$ .

Нелінійність АХ при малих вхідних напругах  $U_{\text{вх}}$  пов'язана з наявністю в підсилювачі власних завад, в основному, шумів. Шуми можуть повністю забивати або сильно маскувати слабкий сигнал. Захищеність підсилювача від впливу шуму може оцінюватися різними показниками: відношенням сигнал/шум (с/ш), коефіцієнтом шуму, шумовою температурою або іншими показниками. Для нормальної роботи підсилювача мінімальна вихідна напруга  $U_{\text{вих min}}$  повинна в декілька разів перевищувати напругу шуму  $U_{\text{ш}}$ . Перевищення визначається заданими шумовими показниками, наприклад, відношенням с/ш.

Динамічним діапазоном підсилювача  $D_{\text{п дБ}}$  називають величину, що дорівнює

$$D_{\text{п дБ}} = 20 \lg \frac{U_{\text{вх max}}}{U_{\text{вх min}}} . \quad (3.32)$$

Динамічний діапазон є важливим технічним показником підсилювача. На даний час для кращих підсилювачів  $D_{\text{п дБ}} = (80 \dots 100)$  дБ.

При роботі підсилювача ЕРС джерела сигналу також змінюється від мінімального  $E_{\text{с min}}$  до максимального  $E_{\text{с max}}$  значень. Динамічним діапазоном сигналу  $D_{\text{с дБ}}$  називають

$$D_{\text{с дБ}} = 20 \lg \frac{E_{\text{с max}}}{E_{\text{с min}}} . \quad (3.33)$$

Динамічний діапазон звучання симфонічного оркестру може досягати 100 дБ, художнього читання 40 дБ. Для підсилення сигналу з допустимими нелінійними спотвореннями і необхідною захищеністю від впливу шуму необхідно, щоб виконувалася умова:  $D_{\text{п дБ}} \geq D_{\text{с дБ}}$ . У тих випадках, коли це співвідношення не виконується, у підсилювачі використовують ручне або автоматичне регулювання підсилення.

### 3.5.2. Зворотний зв'язок у підсилювачах

**Зворотним називається зв'язок, що забезпечує передачу енергії сигналу з вихідного кола підсилювача у вхідне.** Він використовується для поліпшення технічних параметрів і характеристик підсилювача. Структурна схема підсилювача зі зворотним зв'язком (ЗЗ) зображена на рис. 3.20.

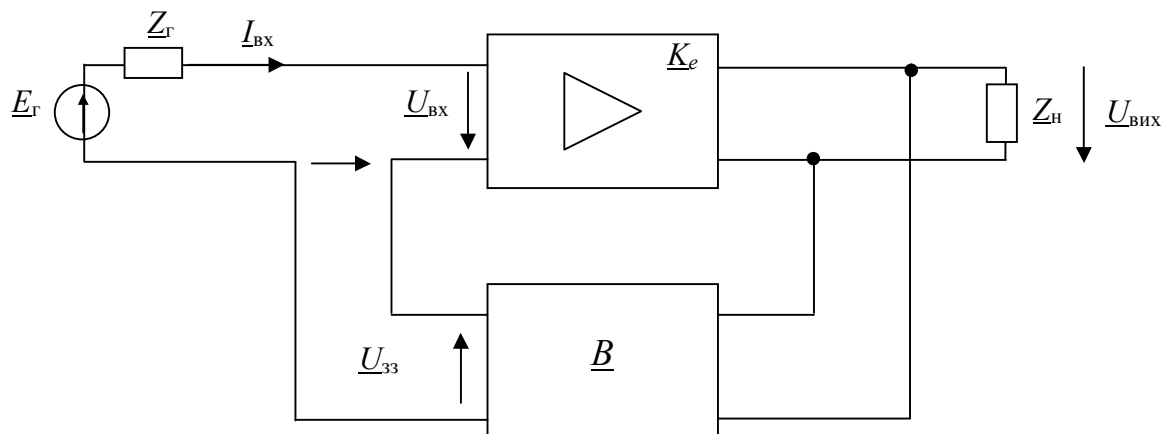


Рисунок 3.20 – Структурна схема підсилювача зі зворотним зв'язком

Передача сигналу з виходу на вхід підсилювача здійснюється за допомогою чотириполюсника  $B$ . Чотириполюсник ЗЗ являє собою зовнішнє електричне коло, що складається з пасивних або активних, лінійних або нелінійних елементів. Якщо ЗЗ охоплює весь підсилювач, то ЗЗ називається *загальним*; якщо охоплює окремі каскади або частини підсилювача, називається *місцевим*. На рис. 3.20 показано структурну схему підсилювача із загальним ЗЗ.

У схемній реалізації підсилювача і кола ЗЗ можливий варіант, коли зворотний зв'язок існує тільки для складової вихідного сигналу, що повільно змінюється. У цьому випадку кажуть, що існує ЗЗ за *постійним струмом*. Якщо сигнал зворотного зв'язку визначається змінною складовою вихідного сигналу, то ЗЗ вводиться за *змінним струмом*. Як правило, у підсилювачах є кола ЗЗ і за постійним, і за змінним струмом. Зазвичай, розглядається ЗЗ за змінним струмом, кола за постійним струмом розглядаються окремо.

Коефіцієнт передачі чотириполюсника ЗЗ дорівнює

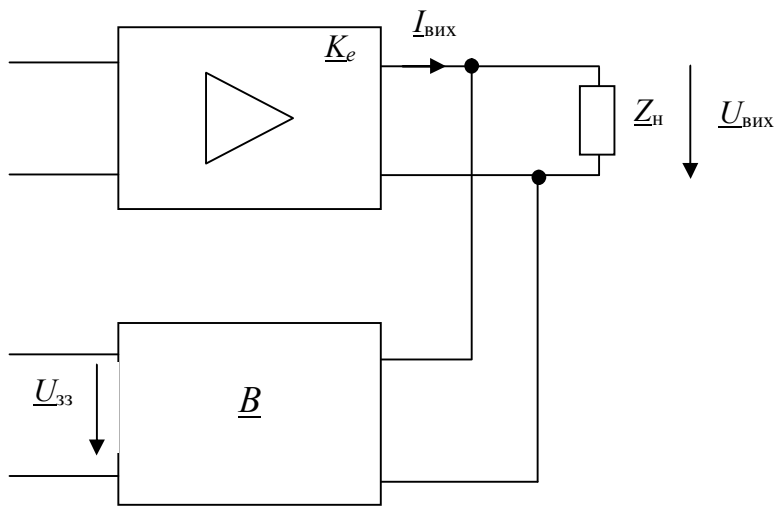
$$\underline{B} = \frac{\underline{U}_{\text{ЗЗ}}}{\underline{U}_{\text{вих}}} . \quad (3.34)$$

Коефіцієнт  $B$  показує, яка частина вихідної напруги  $U_{\text{вих}}$  передається знову на вхід. Тому цей коефіцієнт називають *коефіцієнтом зворотного зв'язку*. Найчастіше у колі ЗЗ використовують пасивні чотириполюсники, тому  $B < 1$ .

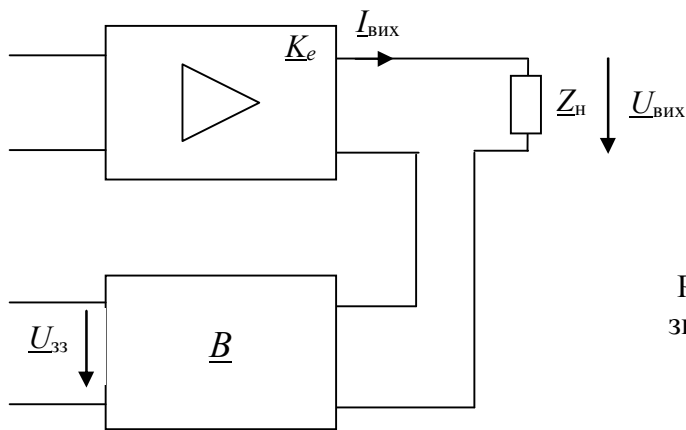
### **Види зворотного зв'язку**

Зворотний зв'язок класифікується за різними ознаками. За *способом зняття* сигналу ЗЗ розрізняють такі види ЗЗ: за напругою (рис. 3.21,а), за струмом (рис. 3.21,б).





а)

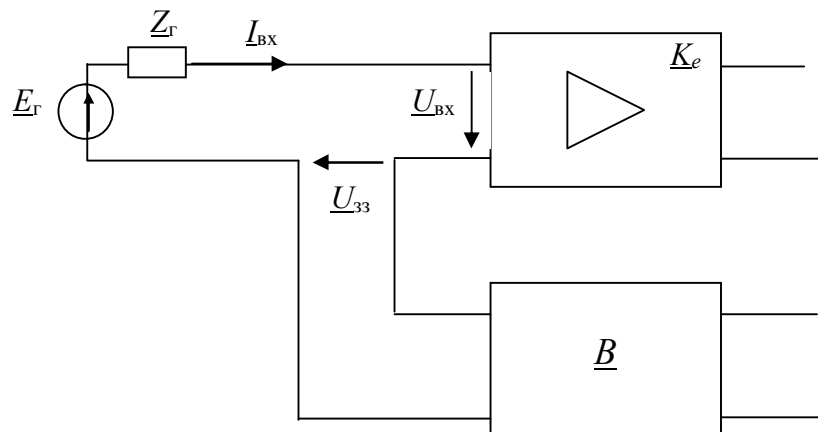


б)

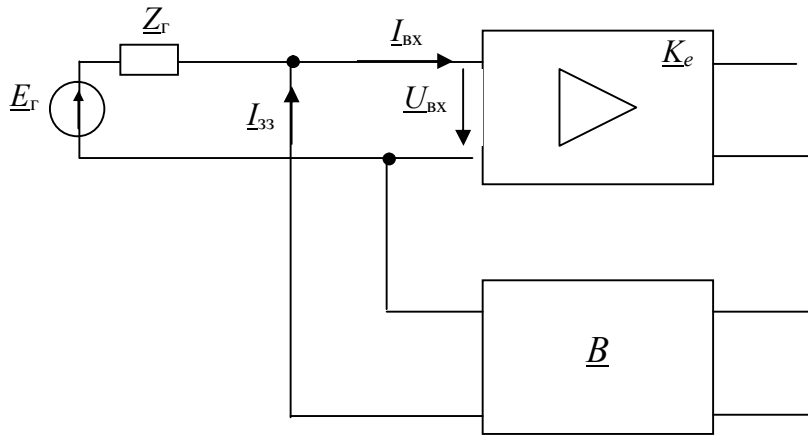
Рисунок 3.21 – Способи зняття сигналу зворотного зв'язку: а) зворотний зв'язок за напругою; б) зворотний зв'язок за струмом

У схемі 33 за струмом напруга 33 пропорційна вихідному струму, у схемі 33 за напругою – вихідній напрузі.

За способом уведення сигналу 33 розрізняють такі види 33: послідовний (рис. 3.22,а), паралельний (рис. 3.22,б).



а)



б)

Рисунок 3.22 – Способи уведення сигналу зворотного зв'язку: а) зворотний зв'язок послідовний; б) зворотний зв'язок паралельний

При паралельному ЗЗ напруга ЗЗ дорівнює

$$\underline{U}_{\text{ЗЗ}} = \underline{I}_{\text{ЗЗ}} \cdot \underline{Z}_{\text{Г}}. \quad (3.35)$$

Використовують також змішаний за входом і змішаний (комбінований) за виходом зворотний зв'язок. Якщо хочуть охарактеризувати вид ЗЗ, то зазначають спосіб уведення й спосіб зняття. Наприклад, на рис. 3.20 зображено структурну схему підсилювача з послідовним ЗЗ за напругою.

### **Вплив зворотного зв'язку на параметри та характеристики підсилювача**

Зворотний зв'язок впливає на всі параметри та характеристики підсилювача.

Наскрізний коефіцієнт підсилення підсилювача зі зворотним зв'язком  $\underline{K}_{e\text{ЗЗ}}$  визначається виразом

$$\underline{K}_{e\text{ЗЗ}} = \frac{\underline{K}_e}{1 - \underline{B}\underline{K}_e}, \quad (3.36)$$

де  $\underline{K}_e = \frac{\underline{U}_{\text{ВІХ}}}{\underline{E}_{\text{Г}}}$  – комплексний наскрізний коефіцієнт підсилення підсилювача без зворотного зв'язку;  $\underline{E}_{\text{Г}} = E_{\text{Г}} e^{j\varphi_{\text{Г}}}$  – комплексне значення ЕРС джерела сигналу;  $\underline{U}_{\text{ВІХ}} = U_{\text{ВІХ}} e^{j\varphi_{\text{ВІХ}}}$  – комплексне значення вихідної напруги без зворотного зв'язку;  $\underline{K}_{e\text{ЗЗ}} = \frac{\underline{U}_{\text{ВІХ ЗЗ}}}{\underline{E}_{\text{Г}}}$  – комплексний наскрізний коефіцієнт підсилення підсилювача зі зворотним зв'язком.

Чотириполюсники  $\underline{K}_e$  і  $\underline{B}$  утворюють петлю ЗЗ. Добуток  $\underline{B}\underline{K}_e$  характеризує коефіцієнт передачі сигналу по петлі ЗЗ, його називають *петльовим підсиленням*

$$\underline{B K}_e = \frac{U_{3B}}{E_\Gamma} = B \cdot K_e \cdot e^{j\varphi} = BK_e(\cos \varphi + j \sin \varphi), \quad (3.37)$$

де  $\varphi = \varphi_e + \varphi_v$  – зсув фаз у петлі ЗЗ.

З виразу (3.36) знайдемо модуль коефіцієнта підсилення підсилювача із ЗЗ

$$K_{e_{33}} = \frac{K_e}{|1 - \underline{B K}_e|} = \frac{K_e}{\gamma}, \quad (3.38)$$

величину

$$\gamma = |1 - \underline{B K}_e| \quad (3.39)$$

називають *глибиною ЗЗ*.

З виразу (3.38) випливає, що при уведенні зворотного зв'язку коефіцієнт підсилення підсилювача із ЗЗ змінюється у  $\gamma$  разів.

Зворотний зв'язок називають *негативним*, якщо при уведенні ЗЗ коефіцієнт підсилення зменшується, тобто  $K_{e_{33}} < K_e$ . Зворотний зв'язок називають *позитивним*, якщо при уведенні ЗЗ коефіцієнт підсилення збільшується, тобто  $K_{e_{33}} > K_e$ . Якщо коефіцієнт підсилення при уведенні ЗЗ не змінюється, такий зв'язок називають *нейтральним*.

Як впливає з формули (3.39), величина  $\gamma$  залежить від знака петльового підсилення  $\underline{B K}_e$ , знак у свою чергу визначається зсувом фаз у петлі ЗЗ  $\varphi = \varphi_e + \varphi_v$ . Вид ЗЗ може змінюватися залежно від значень величин  $\varphi_e$  і  $\varphi_v$ . Значення зсуву фаз  $\varphi_e$  і  $\varphi_v$  змінюються при зміні частоти, тому вид ЗЗ (негативний або позитивний) визначається в області середніх частот підсилюваного діапазону.

**Якщо  $\varphi = \pi$** , то  $\underline{B K}_e$  – негативна дійсна величина (згідно з формулою 3.37),  $\gamma = 1 + BK_e$  (згідно з формулою 3.39), глибина ЗЗ більша одиниці,  $K_{e_{33}} < K_e$ , отже, зв'язок **негативний**.

**Якщо  $\varphi = 0$** , то  $\underline{B K}_e$  – позитивна дійсна величина,  $\gamma = 1 - BK_e$  згідно з формулою (3.39), а глибина ЗЗ менша одиниці,  $K_{e_{33}} > K_e$ , отже, зв'язок **позитивний**.

Іншими словами, якщо сигнал зворотного зв'язку приходить у *протифазі* зі *вхідним сигналом* (з інверсією,  $\varphi = \pi$ ), то такий зв'язок – **негативний** (НЗЗ). Якщо сигнал зворотного зв'язку приходить у *фазі* з *вхідним сигналом* ( $\varphi = 0$ ), то такий зв'язок – **позитивний** (ПЗЗ).

Якщо глибина негативного зворотного зв'язку (НЗЗ)  $\gamma \gg 1$ , то таку НЗЗ називають *глибокою*, для неї

$$K_{e_{33}} = \frac{K_e}{1 + BK_e} \approx \frac{1}{B}, \quad (3.40)$$

тобто коефіцієнт підсилення підсилювача з глибоким НЗЗ визначається тільки параметрами кола ЗЗ.

У багатокаскадних підсилювачах фазові зсуви  $\varphi_e$  можуть призвести до того, що у смузі пропускання та за її межами зв'язок стане позитивним.

У підсилювачах для поліпшення якісних показників та характеристик використовується негативний ЗЗ (НЗЗ):

- 1) НЗЗ зменшує частотні й фазові спотворення, розширює смугу пропускання при малих фазових зсувах у петлі ЗЗ ф;
- 2) НЗЗ зменшує коефіцієнт гармонік;
- 3) НЗЗ зменшує нестабільність коефіцієнта підсилення;
- 4) НЗЗ змінює вхідний та вихідний опори в залежності від способу введення та зняття сигналу НЗЗ. Послідовний НЗЗ збільшує вхідний опір, паралельний НЗЗ зменшує вхідний опір. НЗЗ за струмом збільшує вихідний опір, НЗЗ за напругою зменшує вихідний опір.

Позитивний ЗЗ (ПЗЗ) протилежно впливає на параметри та характеристики підсилювача, тобто їх погіршує. ПЗЗ використовується у спеціальних схемах, наприклад, для реалізації активних двополюсників з еквівалентним від'ємним опором або еквівалентною негативною провідністю, а також у схемах автогенераторів.

### ***Стійкість підсилювачів зі зворотним зв'язком***

Негативний ЗЗ у підсилювачах широко використовується для поліпшення їх показників. Однак ЗЗ, здійснюваний у середині робочого діапазону як негативний, може виявитися позитивним на краях діапазону або за його межами через фазові зсуви, що вносяться підсилювачем і колом ЗЗ. У цьому випадку можуть виникнути умови, за яких на виході підсилювача з'явиться напруга у відсутності напруги на вході. Виникнення власних коливань у підсилювачі називається *самозбудженням* або *генерацією*.

Проаналізуємо вираз (3.38)

$$K_{e\text{ЗЗ}} = \frac{K_e}{|1 - \underline{BK}_e|}. \quad (3.38)$$

Якщо коефіцієнт петльового підсилення буде дорівнювати одиниці

$$\underline{BK}_e = 1, \quad (3.41)$$

знаменник виразу (3.38) буде дорівнювати нулю, а коефіцієнт підсилення підсилювача із ЗЗ збільшується до нескінченності. Умова (3.41) є умовою *самозбудження* підсилювача із ЗЗ. З умови (3.41) випливають дві умови  $\underline{BK}_e = 1$  для модуля й фази петльового підсилення:

- 1) умова амплітуд

$$BK_e = 1; \quad (3.42)$$

- 2) умова фаз

$$\varphi = 0, 2\pi, \dots, n \cdot 2\pi \quad (n = 0, 1, \dots). \quad (3.43)$$

Умова фаз означає, що для самозбудження підсилювача зворотний зв'язок повинен бути *позитивним*.

При виконанні на будь-якій частоті умов (3.42) і (3.43) у підсилювачі виникнуть коливання, які не залежать від наявності сигналу на його вході. Поява цих коливань зумовлена тим, що енергія з виходу, яка надходить по колу ЗЗ на вхід, компенсує втрати сигналу у колі підсилювача. У цьому випадку в підси-

лювачі встановлюються стаціонарні автоколивання за будь-якого, навіть незначного впливу (наприклад, від флуктуацій теплового шуму джерела сигналу, шумів підсилювальних елементів, флуктуацій напруги джерела живлення тощо). Власні коливання у підсилювачі або значно спотворюють корисний сигнал, або однозначно погіршують технічні показники підсилювача, або (найчастіше) просто пригамовують корисний сигнал. Тому виникнення генерації (автоколивань) у підсилювачі неприпустиме. Забезпечення стійкості підсилювача є одним із найважливіших завдань при розробці та експлуатації підсилювачів зі зворотним зв'язком.

### 3.5.3. Схеми включення біполярного транзистора за змінним струмом та їх властивості

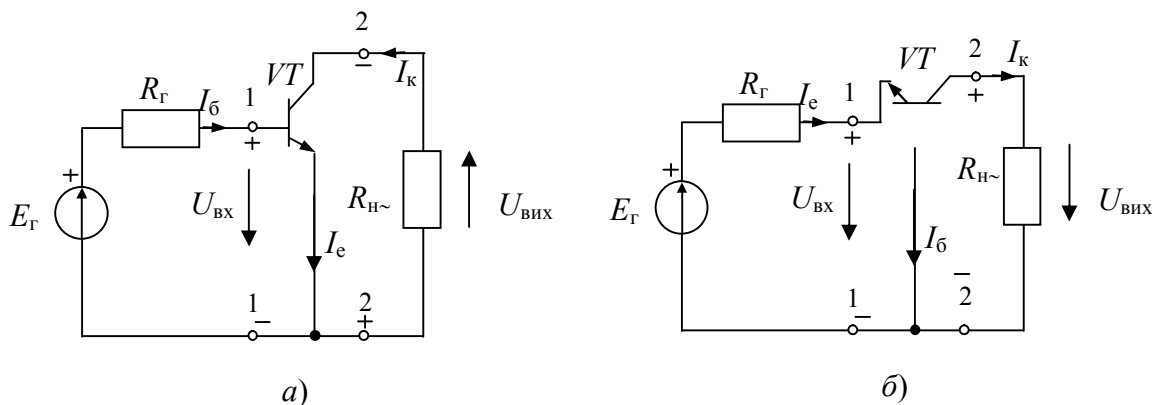
Як зазначалося раніше, біполярний транзистор за змінним струмом як чотириполюсник може бути включений за трьома схемами: **зі спільним емітером (СЕ), зі спільною базою (СБ) та спільним колектором (СК).**

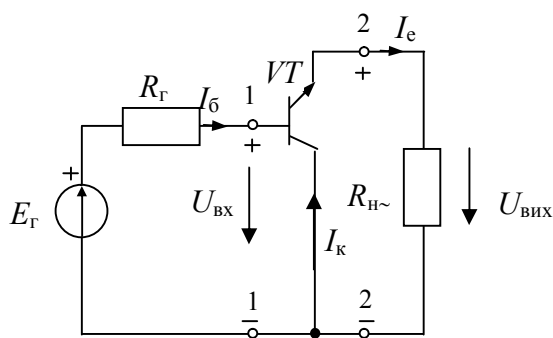
Порівняємо основні властивості різних схем включення БТ. Порівняння виконаємо за основними показниками: зміни фази вихідного сигналу відносно фази вхідного (інвертування або неінвертування сигналу); коефіцієнта підсилення потужності; вхідного і вихідного опорів; частотними властивостями; нелінійними спотвореннями.

Схему зі *спільним емітером* за змінним струмом (без кіл живлення) подано на рис. 3.23,а;  $R_{н\sim}$  – опір навантаження змінному струму; схема зі *спільною базою* – на рис. 3.23,б; схема зі *спільним колектором* – на рис. 3.23,в.

На цих схемах зазначено полярність змінних напруг і струмів.

Характерним для підсилювача зі *спільним емітером* є зміна фази підсилюваного сигналу на  $\pi$ , тобто підсилювач інвертує сигнал (*інвертуючий підсилювач*). Розглянутий підсилювач забезпечує найбільший коефіцієнт підсилення потужності, тому що підсилює і струм, і напругу; має середні значення вхідного і вихідного опорів. Однак підсилювач зі спільним емітером має найгірші частотні властивості і найбільші нелінійні спотворення.





в)

Рисунок 3.23 – Схеми включення БТ за змінним струмом:  
а) зі спільним емітером; б) зі спільною базою; в) зі спільним колектором

У схемі зі *спільною базою* полярність підсилюваного сигналу не змінюється (*неінвертуючий підсилювач*). Коефіцієнт підсилення потужності менший, ніж у схемі зі спільним емітером, тому що не підсилює струм, але підсилює напругу. Вхідний опір мінімальний порівняно з іншими схемами включення, вихідний опір максимальний. Схема має найкращі частотні властивості і малі нелінійні спотворення.

У схемі зі *спільним колектором* полярність підсилюваного сигналу не змінюється (*неінвертуючий підсилювач*). Коефіцієнт підсилення напруги трохи менший одиниці, але схема підсилює струм. Схема має максимальний вхідний і мінімальний вихідний опір, досить хороші частотні властивості і малі нелінійні спотворення.

Оскільки напруга на виході підсилювача, зібраного за схемою зі спільним колектором, за величиною і фазою близька до вхідної напруги і ніби повторює її, такий підсилювач називають *емітерним повторювачем*.

Властивості розглянутих підсилювачів визначили області їх застосування. Найбільш широко застосовується підсилювач зі спільним емітером, тому що він має найбільший коефіцієнт підсилення потужності.

Підсилювачі зі спільною базою (СБ), що мають найкращі частотні властивості, застосовуються на високих частотах (ВЧ) та надвисоких частотах (НВЧ), а також у *каскадних схемах*. Каскодна схема являє собою з'єднання двох каскадів, зібраних за схемою: спільний емітер-спільна база (СЕ-СБ). Каскодні схеми значно використовуються на ВЧ та НВЧ.

Підсилювачі зі спільним колектором (емітерні повторювачі) використовуються як вхідні та вихідні підсилювачі, а також як узгоджувальні каскади (трансформатори опорів).

Як підсилювальний елемент можна використовувати не тільки один транзистор, а і комбінацію з двох або більше транзисторів. Таку комбінацію називають *складеним транзистором*. Найбільш часто складений транзистор являє собою комбінацію з двох транзисторів з безпосереднім зв'язком між ними. Складений транзистор має три виводи, еквівалентні за своїм використанням бази, колектору та емітеру, тобто він веде себе як одиничний транзистор, але має свої параметри.

Схеми найбільш часто вживаних складених транзисторів показані на рис. 3.24 (без кіл живлення).

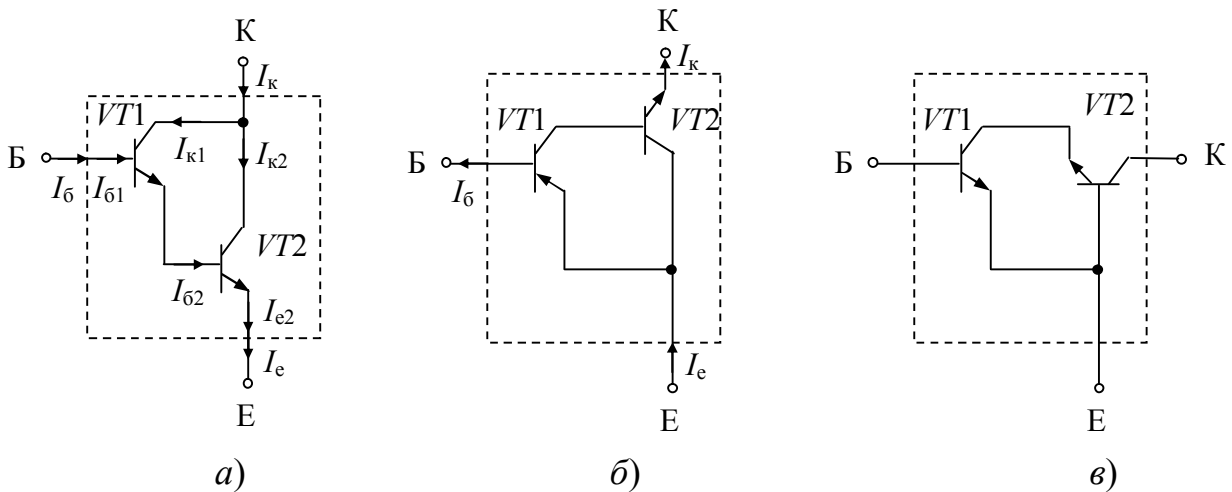


Рисунок 3.24 – Складені транзистори: а) *n-p-n*-типу; б) *p-n-p*-типу; в) каскодна схема

Найбільшого розповсюдження отримала схема рис. 3.24,а, відома під назвою *схеми Дарлінгтона*.

Складені транзистори широко застосовуються у сучасних підсилювачах з безтрансформаторним двотактним виходом.

*Каскодна схема* утворена з каскадно з'єднаних транзисторів, включених за схемою з СЕ та СБ. Каскодна схема має більш широку смугу пропускання, ніж один підсилювач зі СЕ. Практичних варіантів виконання каскодних схем існує багато. Каскодні підсилювачі широко застосовуються в резонансних підсилювачах, широкосмугових підсилювачах та мікросхемах.

#### 3.5.4. Режим роботи підсилювального елемента у схемі

**Режим роботи підсилювального елемента** визначається положенням робочої точки  $O$  на наскрізній динамічній характеристиці підсилювального елемента. Робоча точка  $O$  (точка спокою) визначає величину струмів і напруг на виводах підсилювального елемента за відсутності вхідного сигналу.

*Наскрізною динамічною характеристикою* називають залежність вихідного струму  $i_{\text{вих}}$  підсилювального елемента (ПЕ) від ЕРС джерела сигналу  $e_{\Gamma}$ :  $i_{\text{вих}}(e_{\Gamma})$ , де  $e_{\Gamma} = i_{\text{вх}}R_{\Gamma} + U_{\text{вх}}$ . Для побудови цієї характеристики використовують статичні ВАХ підсилювального елемента і навантажувальну пряму. Наскрізна динамічна характеристика дозволяє врахувати нелінійності як вхідного, так і вихідного кіл ПЕ.

Якщо підсилювальним елементом є *біполярний транзистор*, то наскрізна динамічна характеристика для схеми з СЕ являє собою залежність  $i_{\text{к}}(e_{\Gamma})$ , де  $e_{\Gamma} = i_{\text{б}}R_{\Gamma} + u_{\text{бe}}$ .

Підсилювальні елементи можуть працювати в різних режимах, які відрізняються один від одного тим, що струм у вихідному колі ПЕ може протікати протягом різної частини періоду сигналу, що діє на його вході. *Розрізняють такі основні режими роботи підсилювальних елементів: А, В, С, D.*

*Режим А.* У режимі *А* робоча точка  $O$  ( $I_{\text{вих}0}$ ) вибирається на прямолінійній ділянці наскрізної динамічної характеристики таким чином, щоб вхідний сигнал знаходився у межах прямолінійної ділянки (рис. 3.25).

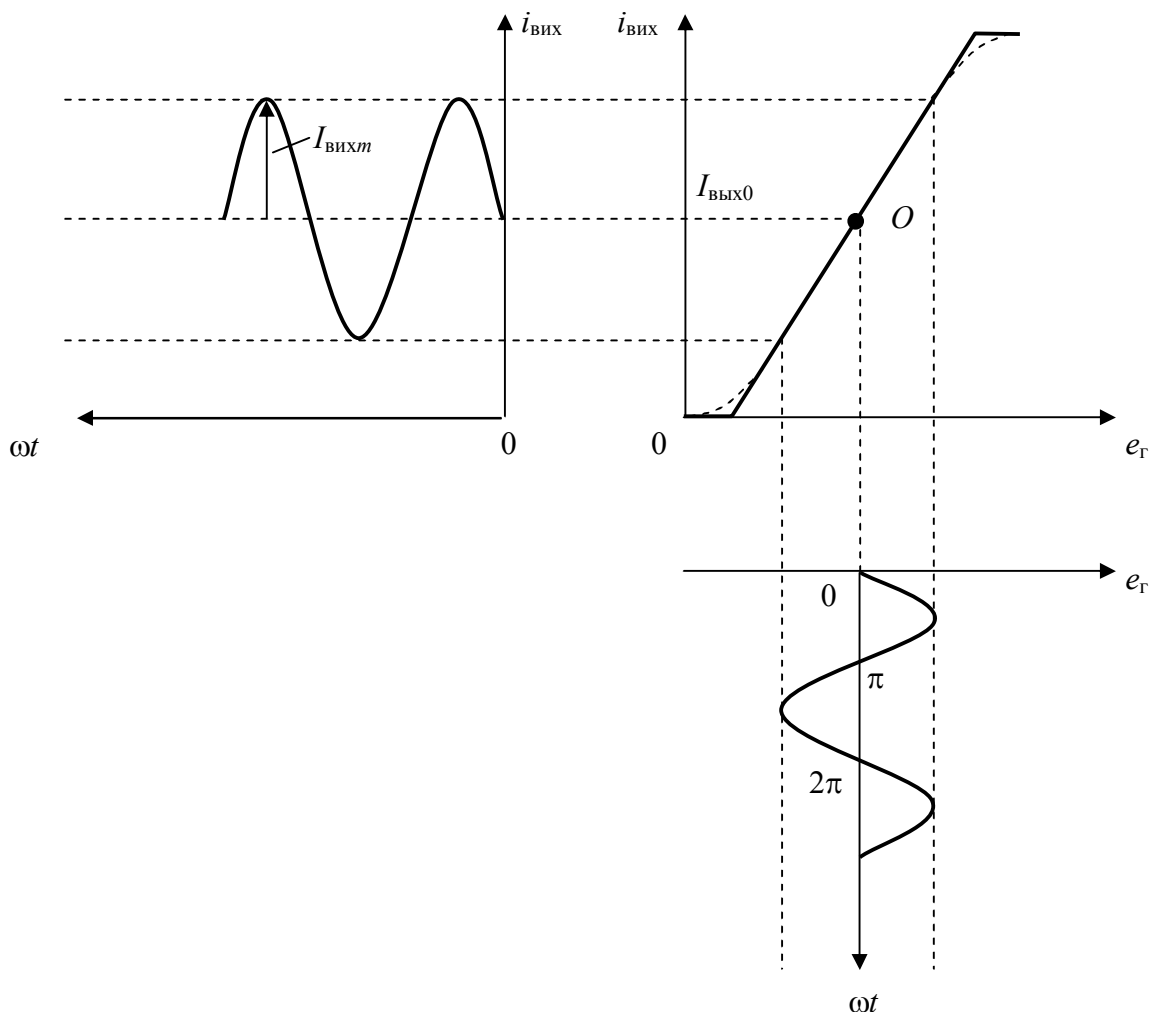


Рисунок 3.25 – Діаграма роботи транзистора в режимі А

Як випливає з рис. 3.25, в режимі *А* вихідний струм  $i_{\text{вих}}$  існує протягом усього періоду підсилювального сигналу  $e_{\gamma}$  і практично повторює форму вхідного сигналу. Нелінійні спотворення вихідного сигналу виходять мінімальними. При цьому середнє значення вихідного струму дорівнює  $I_{\text{вих сер}} \approx I_{\text{вих}0}$ , воно більше амплітуди змінної складової  $I_{\text{вих}0} > I_{\text{вих м}}$ . Тому ККД каскаду в режимі *А* виходить невеликим: максимальний ККД у резисторних підсилювачах не перевищує 25 %, у трансформаторних – 50 %, реальний ККД значно менший. Суттєвою перевагою режиму *А* є малі нелінійні спотворення сигналу. Через зазначені властивості *режим А використовується в підсилювачах попереднього підсилення, а також у вихідних підсилювачах невеликої потужності.*

*Режим В.* При роботі транзистора в режимі *В* його вихідний струм існує протягом половини періоду підсилювального сигналу, протягом іншої половини періоду струм дорівнює нулю, тобто підсилювач працює з відсіканням струму. Однак таке визначення режиму *В* справедливе тільки для ідеалізованого випадку, коли наскрізну динамічну характеристику апроксимують лінійно-



ламанною прямою. При такій ідеалізації струм спокою  $I_{\text{вих}0}$  у режимі  $B$  дорівнює нулю, проте в реальному випадку струм має мале кінцеве значення. На рис. 3.26, що ілюструє роботу транзистора в режимі  $B$ , безперервною лінією показана ідеальна наскрізна характеристика, штриховою – реальна.

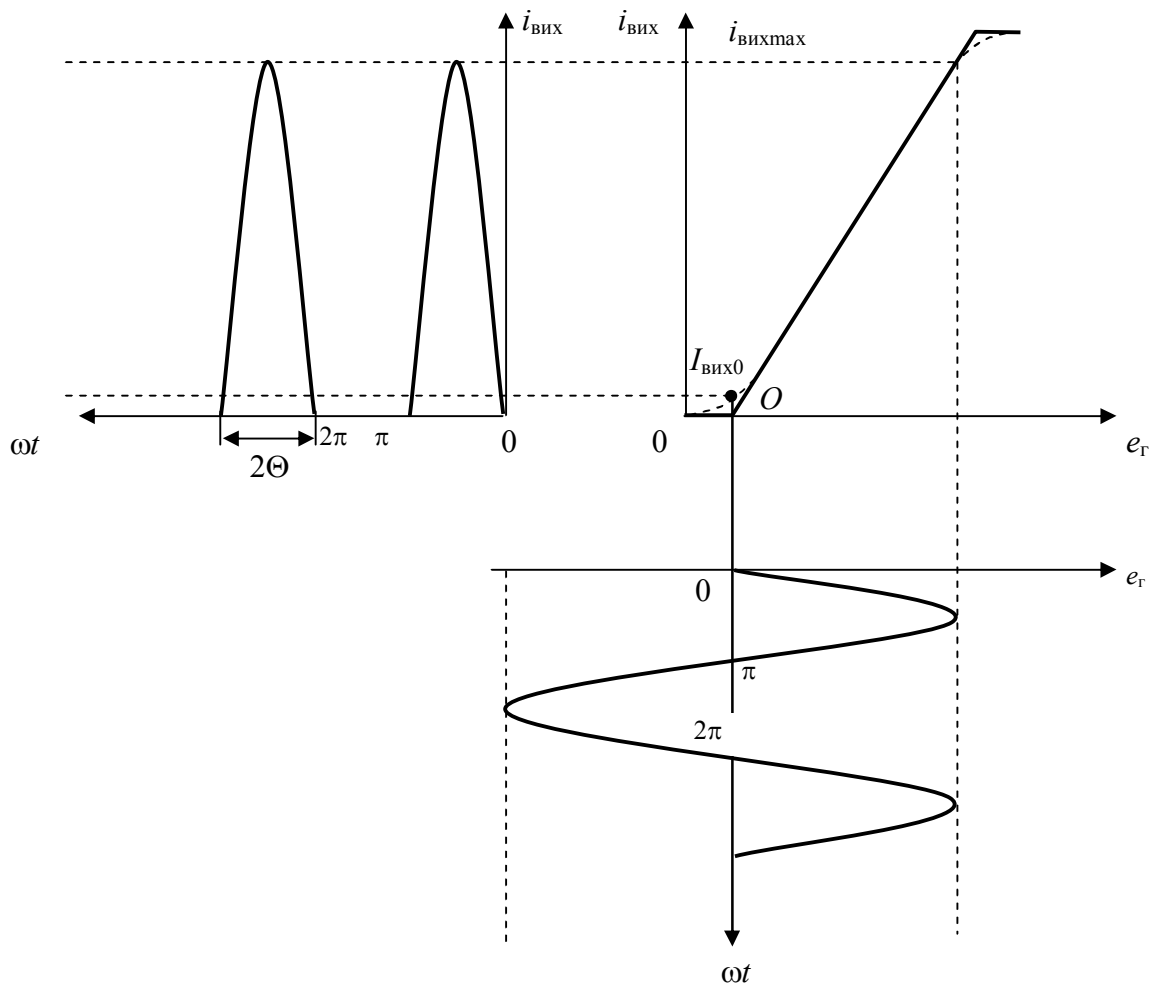


Рисунок 3.26 – Діаграма роботи транзистора в режимі  $B$

При роботі транзистора з відсіканням вихідного струму вводять поняття *кута відсікання*  $\Theta$ . *Кутом відсікання називають половину тієї частини періоду, протягом якої існує вихідний струм*. Вимірюється кут відсікання в радіанах або в градусах. Як впливає з діаграми рис. 3.26 у режимі  $B$ , в ідеалізованому випадку  $\Theta = \frac{\pi}{2}$ , в реальному  $\Theta > \frac{\pi}{2}$ . У режимі  $A$  кут відсікання  $\Theta = \pi$ , тому що струм протікає протягом усього періоду вхідного сигналу.

Одною з головних переваг режиму  $B$  є більший ККД: максимальне значення для реальних схем дорівнює  $\eta_{\text{в}} = 0,6$ ; для ідеалізованого випадку –  $\eta_{\text{в}} = 0,785$ , тому що за відсутності сигналу в ідеалізованому випадку струм від джерела живлення не споживається ( $I_{\text{вих сер}} = 0$ ). У реальній схемі споживається слабкий струм  $I_{\text{вих}0}$ . При тривалій роботі підсилювача в режимі  $B$  витрата енергії джерела живлення виявляється значно меншою, ніж при роботі в режимі  $A$ .

Суттєвим недоліком режиму  $B$  є високий рівень вищих гармонічних складових. Для підсилення гармонічних сигналів режим  $B$  можна використовувати тіль-

ки у двотактному вихідному підсилювачі. У двотактному підсилювачі одне плече працює протягом позитивного півперіоду сигналу, а інше – протягом негативного. У навантаженні обидва сигналу складаються, утворюючи повний сигнал.

В ідеальному двотактному підсилювачі (при повній симетрії схеми) парні гармоніки вихідного сигналу компенсуються, що призводить до зменшення його нелінійних спотворень. Якщо у схемі існує несиметрія, нелінійні спотворення зростають. Через нелінійності реальної наскрізної характеристики (пунктирна лінія) нелінійні спотворення великі при малому рівні сигналу: у вихідному сигналі з'являється так звана «сходінка узгодження» (рис. 3.27).

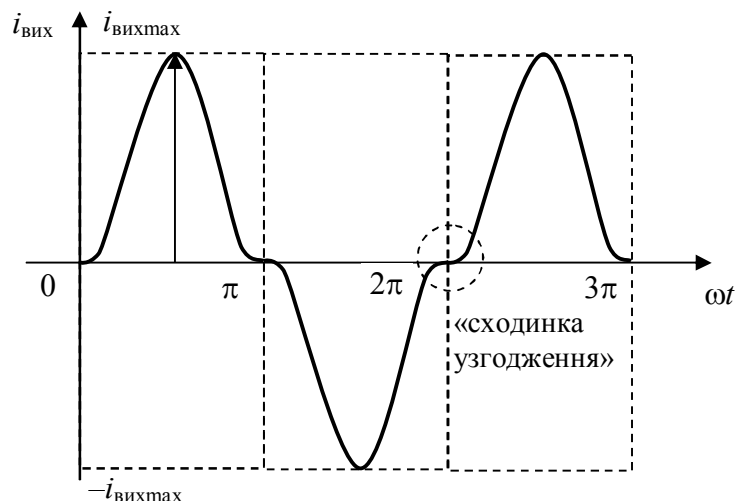


Рисунок 3.27 – Спотворений вихідний сигнал у двотактному каскаді в режимі *B* (при малому рівні сигналу)

Для зменшення «сходінки узгодження» необхідно збільшувати значення струму  $I_{\text{вих}0}$ , що призводить до зменшення ККД двотактного підсилювача. Такий режим називають *AB*.

*Режим C.* Кут відсікання вихідного струму транзистора, що працює в режимі *C*, менший  $\pi/2$ , що забезпечується вибором робочої точки робоча точка *O* на осі абсцис лівіше точки перетину з нею ідеальної наскрізної характеристики (рис. 3.28). Характерним для режиму *C* є те, що за відсутності сигналу, а також при малому його рівні, вихідний струм дорівнює нулю.

Перевагою режиму *C* порівняно з режимами *A* і *B* є більш висока економічність. Але нелінійні спотворення сигналу в підсилювачах, що працюють у режимі *C*, значно більші. Через високий ККД режим *C* використовується у потужних підсилювачах, навантаженням яких є вибіркові кола, що здійснюють ефективне придушення вищих гармонік.

*Режим D.* Одним з недоліків режимів *A*, *B* і *C* є зменшення ККД при зменшенні амплітуди підсилюваного сигналу. Тому зміна в широких межах амплітуди сигналу призводить до зниження середнього ККД порівняно з його максимально можливим значенням. Цей недолік усунуто у підсилювачах з режимом *D*. У підсилювачах з режимом *D* транзистор працює у ключовому режимі, тобто знаходиться або у закритому, або у відкритому стані. Якщо підсилюваль-

ним елементом служить біполярний транзистор (БТ), то закритий стан БТ відповідає *режиму відсікання*, а відкритий – *режиму насичення*.

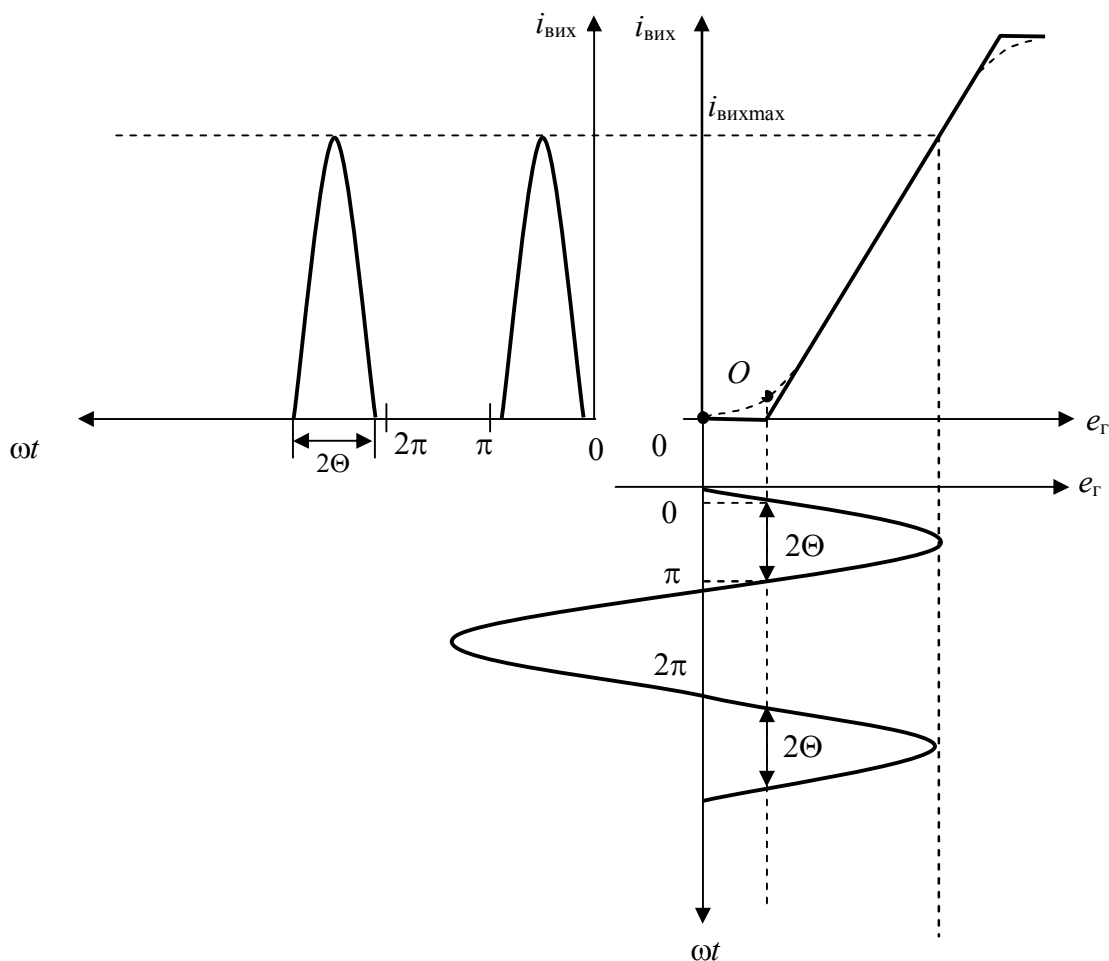


Рисунок 3.28 – Діаграма роботи транзистора в режимі С

У *режимі відсікання* вихідний струм транзистора у схемі зі СЕ  $i_{\text{вих}} = i_{\text{к}} = I_{\text{кб0}}(1 + h_{21\text{е}})$  мінімальний, а вихідна напруга  $u_{\text{вих}} = u_{\text{ке}} \approx E_{\text{ж}}$  близька до максимальної. У режимі насичення вихідний струм у схемі з СЕ  $i_{\text{вих}} = I_{\text{к нас}}$  максимальний, вихідна напруга мінімальна  $u_{\text{вих}} = U_{\text{ке нас}}$ . При ключовому режимі втрати енергії малі, що дає можливість реалізувати ККД підсилювача, близького до одиниці. *Режим D* широко використовується в імпульсних пристроях та цифровій техніці.

### 3.5.5. Кола живлення підсилювачів на біполярних транзисторах

Для роботи біполярного транзистора в підсилювачах, схеми яких показано на рис. 3.23, необхідно увести кола живлення. Кола живлення забезпечують необхідний режим роботи транзистора, який визначається положенням точки спокою, як показано на рис. 3.26, 3.27, 3.28. Струми і напруги спокою БТ встановлюються подачею відповідних постійних напруг і струмів від джерела живлення. Під каскадом розуміють схему, в якій використовується, як правило, один біполярний транзистор (один підсилювальний елемент) або його еквіва-

лент, як, наприклад, у разі використання складених транзисторів або каскодних схем.

Живлення кіл колекторів у підсилювачах на біполярних транзисторах зазвичай здійснюється від спільного джерела живлення, до якого паралельно підключаються живлючі кола (рис. 3.29).

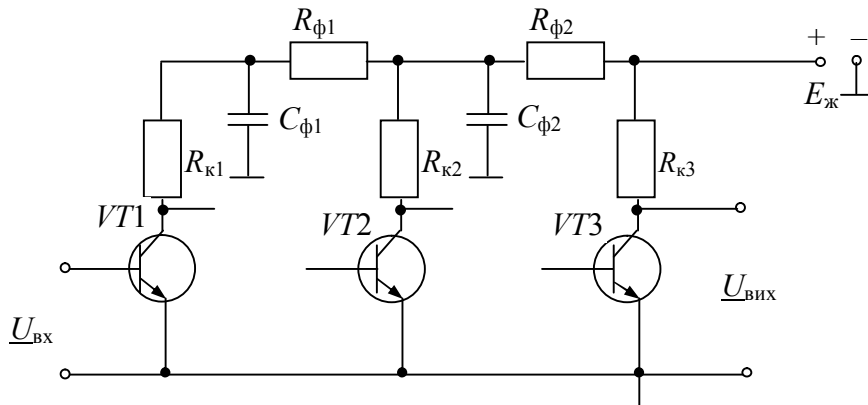


Рисунок 3.29 – Кола живлення колекторів від спільного джерела

При підключенні до одного джерела живлення колекторних кіл кількох касадів змінна складова колекторного струму кожного з них створює змінну складову напруги на клеммах джерела живлення. Ця змінна складова напруги на клеммах  $E_{\text{ж}}$  потім потрапляє на входи касадів. Це призводить до виникнення паразитного міжкаскадного зв'язку через джерело живлення  $E_{\text{ж}}$ , який спотворює характеристики підсилювача, а іноді викликає його самозбудження. Для послаблення цього зв'язку у колекторні кола включають розв'язувальні фільтри  $C_{\phi 1}R_{\phi 1}$ ,  $C_{\phi 2}R_{\phi 2}$ , як показано на рис. 3.29. Фільтри послаблюють змінну складову напруги при передаванні її від джерела живлення до колекторних кіл касадів. Останній касад зазвичай не має розв'язувального фільтра, тому що потребує найбільшої напруги живлення.

Для встановлення необхідного режиму роботи на базу транзистора подають напругу зміщення, яка задає положення робочої точки  $O$  (рис. 3.25, 3.26). Це зміщення бажано отримати від джерела колекторної напруги  $E_{\text{ж}}$ , тому що при цьому для живлення всього підсилювача буде потрібно тільки одне джерело.

На рис. 3.30 показані найпростіші схеми подачі зміщення у коло бази біполярного транзистора. В обох підсилювачах транзистор працює в режимі  $A$  (рис. 3.25), тобто в режимі спокою (за відсутності вхідного сигналу) в транзисторі протікають постійні складові струму колектора  $I_{\text{к}0}$ , струму бази  $I_{\text{б}0}$  і струму емітера  $I_{\text{е}0} = I_{\text{к}0} + I_{\text{б}0}$ . Оскільки зазвичай  $I_{\text{к}0} \gg I_{\text{б}0}$ , то можна вважати, що струм  $I_{\text{е}0} \approx I_{\text{к}0}$ . На виводах транзистора утворюються постійні напруги  $U_{\text{ке}0}$  і  $U_{\text{бе}0}$  (стрілки, як прийнято, спрямовані від плюса до мінуса). Розділювальні конденсатори  $C_{\text{р}1}$  і  $C_{\text{р}2}$  розділяють джерело сигналу, підсилювальний касад і навантаження за постійним струмом. Значення ємностей розділювальних конденсаторів вибирають великими, щоб їх опори для нижньої частоти підсилювального діапазону були невеликими.

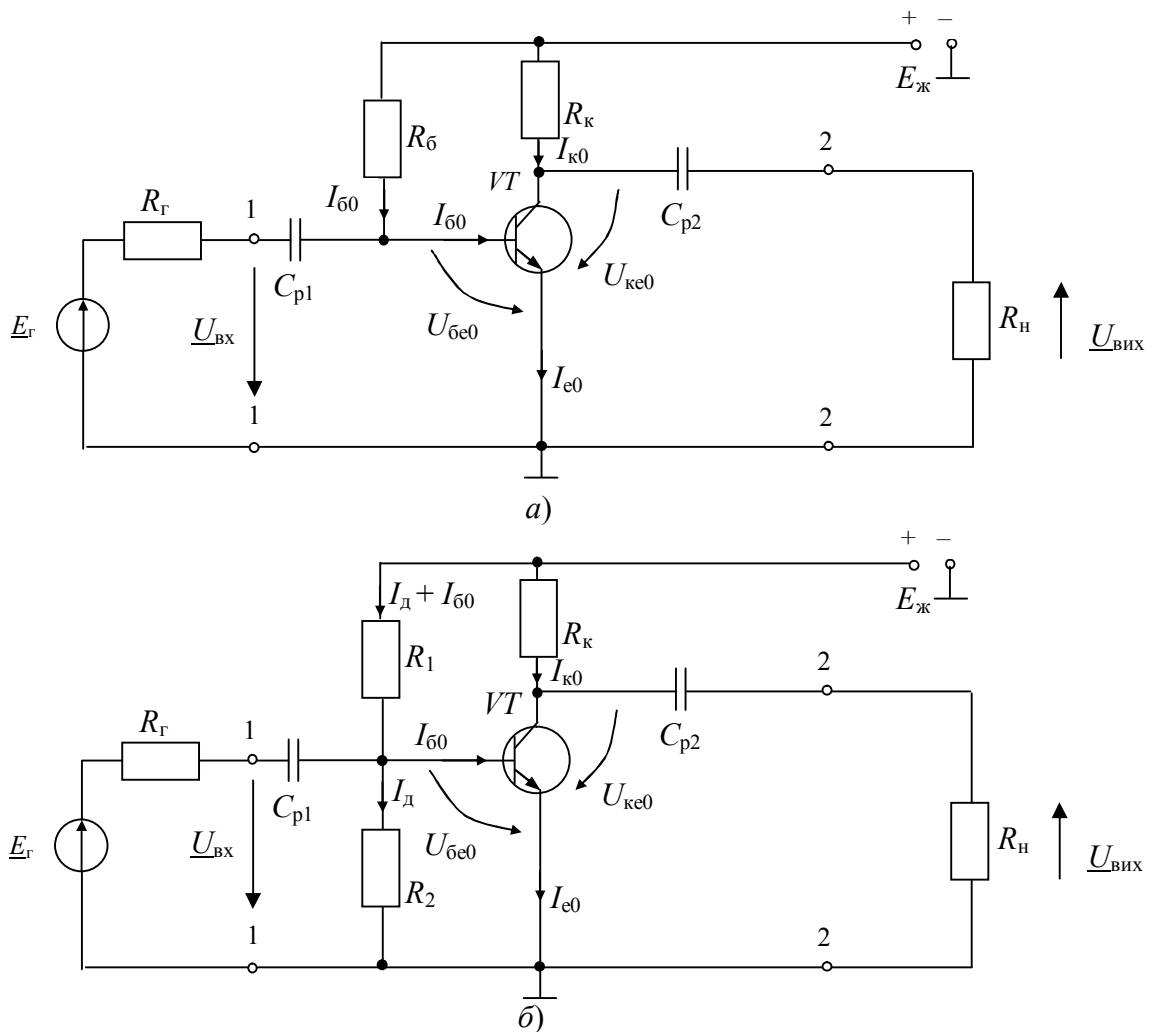


Рисунок 3.30 – Найпростіші схеми подачі зміщення у коло бази біполярного транзистора:  
а) фіксованим струмом бази; б) фіксованою напругою база–емітер

*Схема подавання зміщення фіксованим струмом бази (рис. 3.30,а).*

Розглянемо кола протікання постійних струмів і згідно з другим законом Кірхгофа складемо рівняння для цих кіл.

Струм бази  $I_{б0}$  протікає від плюса джерела живлення  $E_{ж}$  через опір  $R_{б}$ , через перехід база – емітер і на спільний провід (корпус, мінус  $E_{ж}$ ). Запишемо рівняння для кіл базового струму

$$E_{ж} = I_{б0}R_{б} + U_{бе0}. \quad (3.44)$$

З рівняння (3.44) знайдемо струм зміщення  $I_{б0}$

$$I_{б0} = \frac{E_{ж} - U_{бе0}}{R_{б}} \approx \frac{E_{ж}}{R_{б}}, \quad (3.45)$$

тому що зазвичай виконується нерівність  $E_{ж} \gg U_{бе0}$ .

З формули (3.45) випливає, що струм зміщення  $I_{б0}$  практично не залежить від параметрів транзистора, має фіксоване значення, яке визначається лише напругою джерела живлення  $E_{ж}$  і опором  $R_{б}$ . Значення  $I_{б0}$  і  $U_{бе0}$  задані режимом роботи транзистора (робоча точка  $O$ ), тому для забезпечення заданого режиму необхідно визначити значення опору  $R_{б}$

$$R_{\kappa} = \frac{E_{\text{ж}}}{I_{\kappa 0}}. \quad (3.46)$$

Струм колектора протікає від плюса джерела живлення  $E_{\text{ж}}$  через опір  $R_{\kappa}$ , через перехід колектор–емітер і на корпус. Запишемо рівняння для кола колекторного струму

$$E_{\text{ж}} = I_{\kappa 0} R_{\kappa} + U_{\kappa \epsilon 0}. \quad (3.47)$$

Значення  $I_{\kappa 0}$  і  $U_{\kappa \epsilon 0}$  задані режимом роботи, тоді опір  $R_{\kappa}$  дорівнюватиме

$$R_{\kappa} = \frac{E_{\text{ж}} - U_{\kappa \epsilon 0}}{I_{\kappa 0}}. \quad (3.48)$$

*Схема подачі зміщення фіксованою напругою база–емітер (рис. 3.30, б).*

У схемі рис. 3.30, б необхідна напруга зміщення  $U_{\text{б}\epsilon 0}$  забезпечується за допомогою подільника напруги  $R_1$  і  $R_2$  у колі бази. Розглянемо кола протікання постійних струмів у цій схемі. Струм подільника  $I_{\text{д}}$  протікає від плюса джерела живлення  $E_{\text{ж}}$  через опори  $R_1$  і  $R_2$  на корпус. Струм бази  $I_{\text{б}0}$  протікає від плюса  $E_{\text{ж}}$  через опір  $R_1$ , перехід база–емітер і на корпус. Для цих двох кіл складемо рівняння:

$$E_{\text{ж}} = (I_{\text{д}} + I_{\text{б}0}) R_1 + I_{\text{д}} R_2, \quad (3.49)$$

$$E_{\text{ж}} = (I_{\text{д}} + I_{\text{б}0}) R_1 + U_{\text{б}\epsilon 0}. \quad (3.50)$$

Напруга зсуву

$$U_{\text{б}\epsilon 0} = I_{\text{д}} R_2,$$

струм подільника знайдемо з рівняння (3.49)

$$I_{\text{д}} = \frac{E_{\text{ж}} - I_{\text{б}0} R_1}{R_1 + R_2}.$$

Якщо вибрати  $I_{\text{д}} \gg I_{\text{б}0}$ , то відповідно до рівняння (3.49)  $I_{\text{д}} \approx \frac{E_{\text{ж}}}{R_1 + R_2}$ , а напруга зміщення

$$U_{\text{б}\epsilon 0} = E_{\text{п}} \cdot \frac{R_2}{R_1 + R_2}, \quad (3.51)$$

тобто напруга зсуву  $U_{\text{б}\epsilon 0}$  має фіксоване значення, яке визначається лише напругою джерела живлення  $E_{\text{ж}}$  й опорами подільника  $R_1$  і  $R_2$ .

Для колекторного струму  $I_{\kappa 0}$  коло протікання аналогічне схемі рис. 3.30, а, рівняння колекторного кола – формулі (3.47).

### 3.5.6. Розрахунок підсилювача зі спільним емітером

Розглянемо роботу підсилювача зі спільним емітером (рис. 3.30, а), коли на його вхід поданий гармонічний сигнал. За наявності ЕРС сигналу на вході підсилювача у колах транзистора з'являються змінні складові струмів і напруг. Розрахунок підсилювача виконаємо графо-аналітичним методом, використовуючи статичні вольтамперні характеристики транзистора, як показано на рис. 3.31. Підсилювач працює в режимі А. Для отримання невеликих нелінійних спотворень сигнал повинен розташовуватися в межах лінійних ділянок вхідної і вихідної ВАХ. Для цього необхідно задати режим роботи транзистора. Постійні

струми і напруги у колах біполярного транзистора (БТ), що відповідають стану спокою ( $I_{\text{б}0}$ ,  $U_{\text{бe}0}$ ,  $I_{\text{к}0}$ ,  $U_{\text{кe}0}$ ), визначають *робочу точку*  $O$  на статичних характеристиках біполярного транзистора.

Графоаналітичний аналіз наочний і дозволяє краще усвідомити роботу підсилювача. Для проведення графічного аналізу на сімействі вихідних характеристик транзистора будується лінія навантаження, тобто залежність  $i_{\text{к}}(u_{\text{ке}})$  при включеному опорі навантаження.

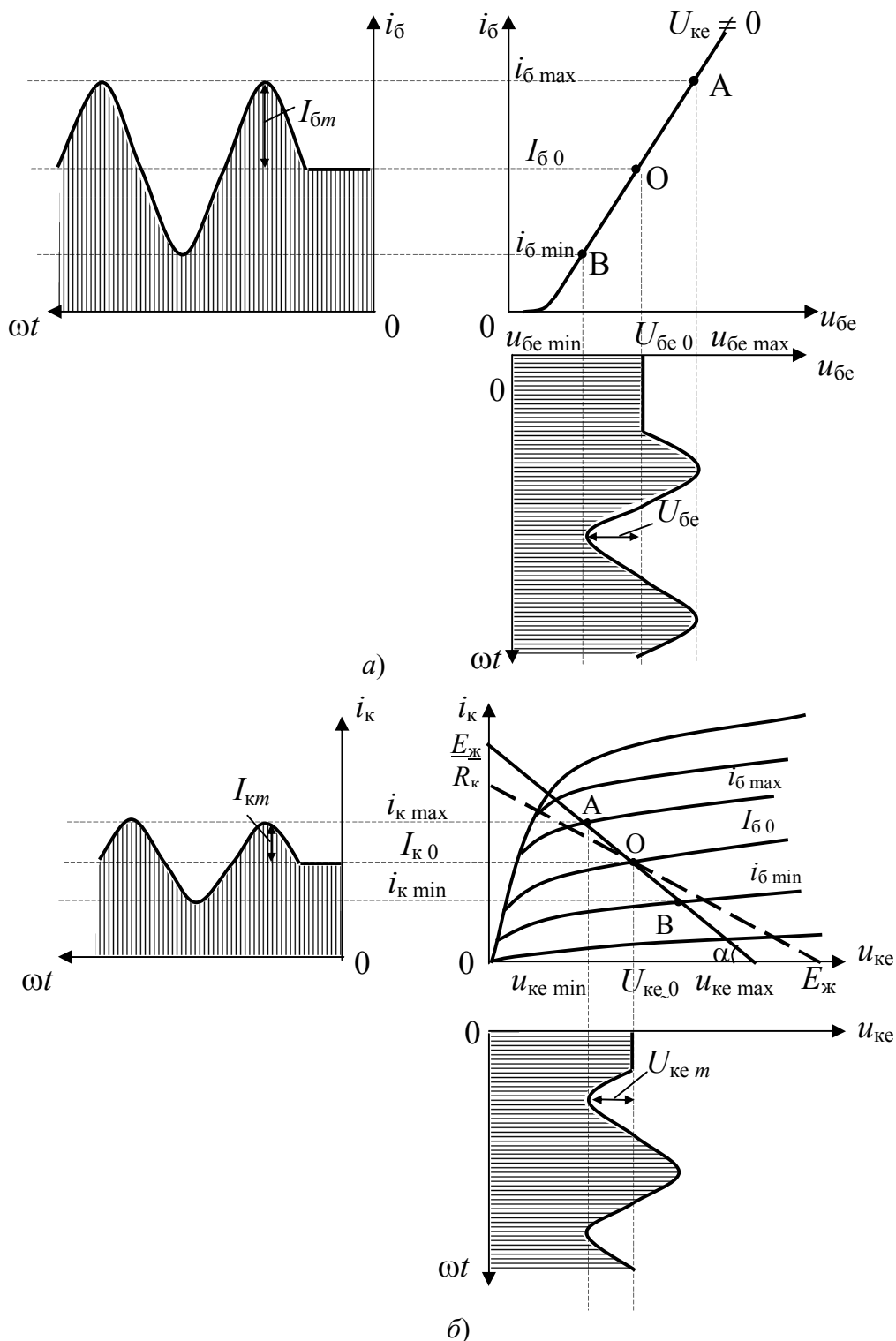


Рисунок 3.31 – Діаграма роботи підсилювача зі спільним емітером в режимі  $A$

Тому що опори колекторного кола для постійного і змінного струмів різні:

$$R_{H\sim} = R_K, R_{H\sim} = \frac{R_H \cdot R_K}{R_H + R_K} \text{ (паралельного з'єднання } R_K \text{ і } R_H), \text{ будують дві навантажувальні прямі: постійного струму } R_H \text{ (штрихова лінія) і змінного струму } R_{H\sim} \text{ (неперервна лінія, } \tan \alpha = \frac{1}{R_H}).$$

Обидві навантажувальні прямі перетинаються у робочій точці  $O$ . Найбільшу інформацію про роботу підсилювача дає навантажувальна пряма змінного струму.

Для побудови навантажувальної прямої постійного струму скористаємося рівнянням (3.47). У координатах  $i_K(u_{KE})$  це рівняння прямої лінії, яку побудуємо як лінію у відрізках:

1) при  $i_K = 0, u_{KE} = E_{JK}$ ;

2) при  $u_{KE} = 0, i_{KP} = E_{JK}/R_K$  – це розрахункове значення координати.

Відкладаючи точки 1 і 2 на відповідних осях і з'єднуючи їх прямою лінією, побудуємо навантажувальну пряму постійного струму (пунктирна лінія на рис. 3.31, б). У схемі рис. 3.30, а положення робочої точки  $O$  на вхідній ВАХ задається струмом бази (струмом зсуву)

$$I_{B0} = \frac{E_{JK} - U_{BE0}}{R_B} \approx \frac{E_{JK}}{R_B}, \quad (3.52)$$

тому що  $E_{JK} \gg U_{BE0}$ .

У цьому випадку положення робочої точки  $O$  на вихідній ВАХ задано точкою перетину статичної вихідної характеристики при  $I_B = I_{B0}$  і навантажувальної прямої постійного струму (рис. 3.31, б). Координати цієї точки визначають струм спокою  $I_{K0}$  і напругу спокою  $U_{KE0}$ . Між струмом  $I_{K0}$  і напругою  $U_{KE0}$  є однозначний зв'язок:

$$U_{KE0} = E_{JK} - I_{K0}R_K. \quad (3.53)$$

Нахил навантажувальної прямої постійного струму залежить від опору  $R_K$ .

Як видно з рис. 3.31, а, при подачі на вхід підсилювача гармонічного сигналу

$$u_{BX} = U_{Bxm} \sin \omega t,$$

миттєва напруга між базою і емітером транзистора стає рівною

$$u_{BE} = U_{BE0} + U_{Bem} \sin \omega t, \quad (3.54)$$

де  $U_{Bem} = U_{Bxm}$ .

При цьому положення робочої точки на вхідній характеристиці починає періодично змінюватися від точки  $A$  до точки  $B$ , миттєве значення струму бази змінюється з амплітудою  $I_{Bm}$ :

$$i_B = I_{B0} + I_{Bm} \sin \omega t.$$

З рис. 3.31, б випливає, що при зміні струму бази від величини  $i_{Bmax}$  до величини  $i_{Bmin}$  змінюється також положення робочої точки на вихідних характеристиках від точки  $A$  до точки  $B$  на навантажувальній прямій  $R_{H\sim}$ . При цьому змінюються струм колектора з амплітудою  $I_{Km}$  і напруга колектор–емітер з амплітудою  $U_{KEm}$ ; миттєві значення їх рівні:

$$i_K = I_{K0} + I_{Km} \sin \omega t, \quad (3.55)$$



$$\begin{aligned} u_{ке} &= E_{ж} - I_{к0}R_{к} - I_{км} \sin \omega t \cdot R_{н\sim} = \\ &= U_{ке0} - I_{км} \sin \omega t \cdot R_{н\sim} = U_{ке0} - U_{кем} \sin \omega t. \end{aligned} \quad (3.56)$$

Ординати на епюрах показують миттєві значення струмів і напруг (заштриховані ділянки на епюрах рис. 3.31).

За рівнянням (3.56) будемо навантажувальну пряму змінного струму (суцільна лінія), де кут нахилу цієї лінії дорівнює

$$\operatorname{tg} \alpha = \frac{1}{R_{н\sim}}. \quad (3.57)$$

Обидві навантажувальні прямі перетинаються у робочій точці  $O$ . У схемі рис. 3.30, а  $R_{н\sim} > R_{н\sim}$ , тому навантажувальні прямі проходять під різними кутами.

Зміна напруги  $u_{ке}$  відбувається у протифазі зі зміною напруги  $u_{бе}$ . Вихідна напруга каскаду дорівнює змінній складовій напруги колектор–емітер, отже,

$$u_{вих} = U_{кем} \sin(\omega t - \pi), \quad (3.58)$$

а

$$u_{вх} = U_{бем} \sin \omega t.$$

Таким чином, підсилювач зі СЕ *інвертує вхідний сигнал*.

Амплітуда колекторного струму  $I_{км}$  у багато разів більша амплітуди струму бази  $I_{бм}$ , тому що коефіцієнт передачі струму бази у схемі з СЕ  $h_{21е} = \frac{I_{к}}{I_{б}} \gg 1$ .

Амплітуда колекторної напруги  $U_{кем}$  у багато разів більша амплітуди вхідного сигналу  $U_{бем} = U_{вхм}$ , тому що колекторна напруга у багато разів більша управляючої напруги на базі. Отже, каскад з СЕ підсилює і струм, і напругу вхідного сигналу.

Користуючись графіками рис. 3.31, можна визначити основні параметри підсилювача:

– коефіцієнт підсилення струму

$$K_i = \frac{I_{км}}{I_{бм}}; \quad (3.59)$$

– коефіцієнт підсилення напруги

$$K_u = \frac{U_{кем}}{U_{бем}}; \quad (3.60)$$

– коефіцієнт підсилення потужності

$$K_p = K_u \cdot K_i;$$

– вихідна потужність

$$P_{вих} = \frac{1}{2} I_{км} U_{кем} = \frac{1}{2} I_{км}^2 R_{н\sim} = \frac{1}{2} \frac{U_{кем}^2}{R_{н\sim}}; \quad (3.61)$$

– вхідний опір

$$R_{вх} = \frac{U_{бем}}{I_{бм}}. \quad (3.62)$$

Потужність, споживана підсилювальним каскадом від джерела живлення, дорівнює

$$P_{\text{сп}} = E_{\text{ж}} \cdot I_{\text{к сер}} \approx E_{\text{ж}} \cdot I_{\text{к0}}, \quad (3.63)$$

тому що в режимі *A* при малих нелінійних спотвореннях  $I_{\text{к сер}} = I_{\text{к0}}$ .

Частина цієї потужності, у вигляді потужності змінного струму, віддається навантаженню, частина витрачається на опорі  $R_{\text{к}}$ , а залишок розсіюється на колекторі. За відсутності сигналу  $P_{\text{вих}} = 0$ , потужність розсіювання на колекторі максимальна, і дорівнює

$$P_{\text{к0}} = U_{\text{кe0}} \cdot I_{\text{к0}}. \quad (3.64)$$

Спожита колектором енергія переходить у тепло і призводить до нагрівання колекторного переходу. Для того, щоб транзистор не вийшов з ладу, повинна виконуватися така нерівність

$$P_{\text{к0}} \leq 0,9 P_{\text{к макс}}, \quad (3.65)$$

де  $P_{\text{к макс}}$  – максимально допустима потужність розсіювання на колекторі.

Значення  $P_{\text{к макс}}$  зазвичай надається у довідковій літературі.

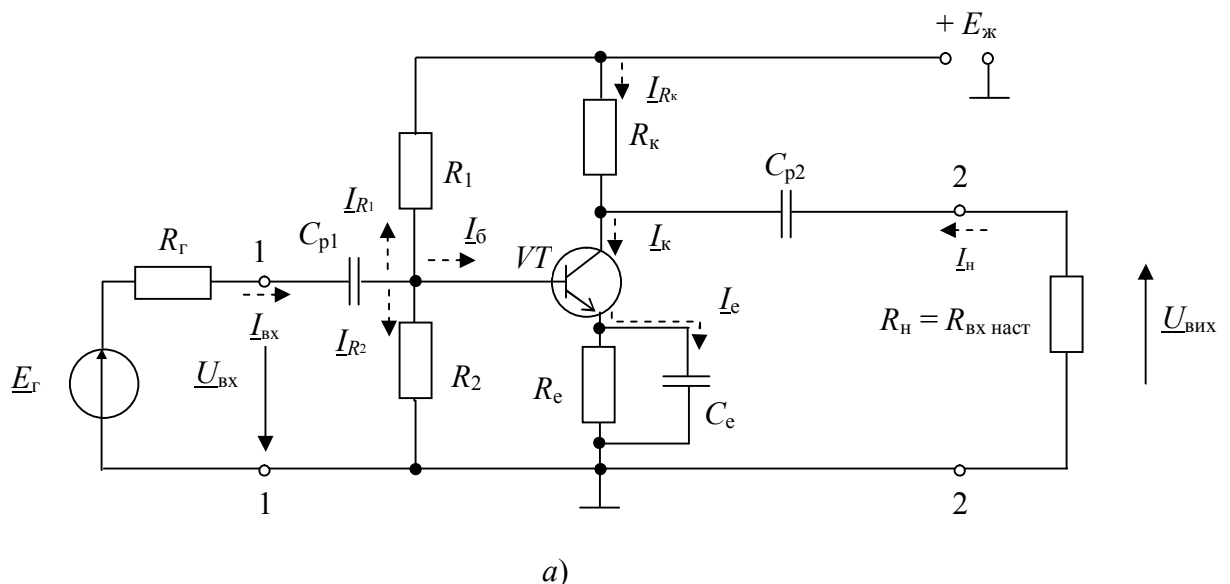
Повний коефіцієнт корисної дії (ККД) підсилювача дорівнює відношенню корисної потужності (вихідної) до спожитої

$$\eta = P_{\text{вих}} / P_{\text{сп}}.$$

Для резисторних підсилювачів (рис. 3.30) повний ККД  $\eta < 0,25$ .

### 3.5.7. Резисторні підсилювачі на біполярних транзисторах та емітерною схемою стабілізації режиму

На рис. 3.32 показано принципові схеми резисторних підсилювачів на біполярних транзисторах та емітерною схемою стабілізації режиму: на рис. 3.32, а – схема зі спільним емітером; на рис. 3.32, б – схема зі спільною базою; на рис. 3.32, в – схема зі спільним колектором (емітерний повторювач).



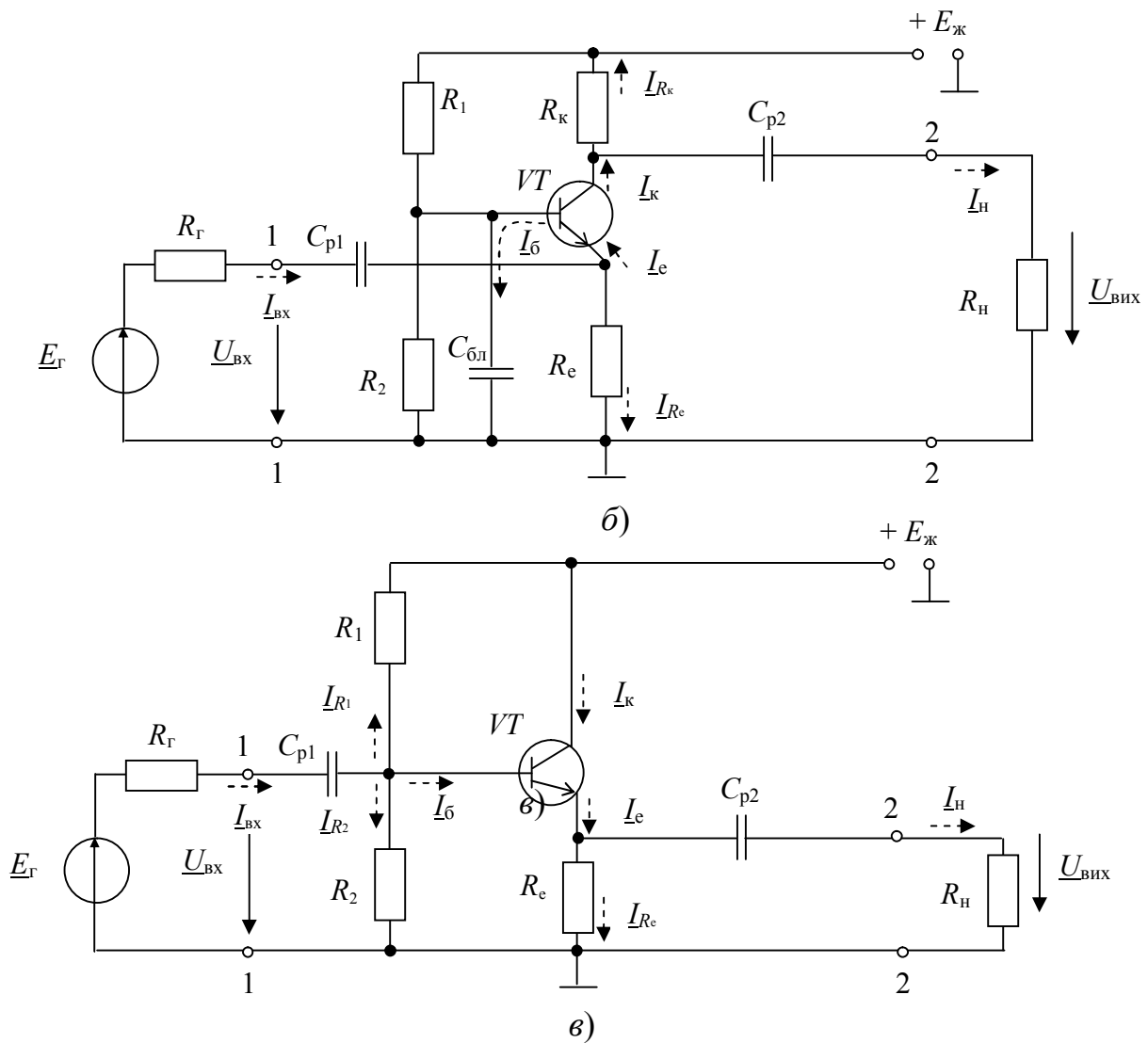


Рисунок 3.32 – Резисторні підсилювачі на біполярних транзисторах та емітерною схемою стабілізації режиму: а) зі спільним емітером; б) зі спільною базою; в) зі спільним колектором (емітерний повторювач)

В усіх схемах рис. 3.32 використовуються однакові кола живлення колекторного кола і подачі зміщення у коло бази від спільного джерела живлення  $E_{\text{ж}}$ . Підсилювачі працюють в режимі А. Для подачі зміщення використовується резистивний подільник  $R_1, R_2$ . Для стабілізації режиму у коло емітера включений резистор  $R_e$ , падіння напруги на якому дорівнює

$$U_{R_e} = I_{e0} R_e \approx I_{k0} R_e, \quad (3.66)$$

тобто прямо пропорційне постійній складовій струму колектора  $I_{k0}$ . Напруга зсуву в цих схемах дорівнює

$$U_{\text{бэ0}} = I_{\text{д}} R_2 - U_{R_3} = I_{\text{д}} R_2 - I_{k0} R_3, \quad (3.67)$$

де струм подільника  $I_{\text{д}}$  дорівнює  $I_{\text{д}} = \frac{E_{\text{ж}}}{R_1 + R_2}$ .

При збільшенні температури струм колектора  $I_{k0}$  збільшується. Як впливає з формули (3.66) напруга зміщення  $U_{\text{бэ0}}$  при цьому зменшується, зменшується також струм зміщення  $I_{\text{б0}}$ . Тому що струм колектора дорівнює  $I_{k0} = h_{21e} I_{\text{б0}}$ , тобто

прямо пропорційний струму бази  $I_{б0}$ , то струм колектора  $I_{к0}$  також зменшується. Такий негативний зворотний зв'язок за постійним струмом призводить до стабілізації струму  $I_{к0}$ , при цьому стабілізується і напруга  $U_{ке0}$ . Отже, стабілізується положення робочої точки (точки спокою  $O$ ) на вихідних характеристиках.

Шляхи протікання змінних струмів у схемах рис. 3.32 показані пунктирними лініями. Напрямки цих струмів задає полярність джерела сигналу  $E_r$  і рівняння, що зв'язує струми транзистора  $I_e = I_k + I_b$ . Змінні струми і напруги у загальному випадку є комплексними величинами.

У схемах використані розділювальні конденсатори  $C_{p1}$  і  $C_{p2}$ , які розділяють каскад, джерело сигналу і навантаження за постійним струмом. Ці конденсатори повинні пропускати змінні струми навіть найнижчої частоти підсилювального діапазону, тому значення ємностей цих конденсаторів вибирають великими.

У схемі з *СЕ* (рис. 3.32,а) емітер з'єднаний з корпусом за змінним струмом через блокувальний конденсатор  $C_e$  великої ємності і є спільною точкою за змінним струмом між входом і виходом підсилювального каскаду. Вхідна напруга  $U_{вх}$  подається на базу, вихідна напруга  $U_{вих}$  знімається з колектора, як показано на рис. 3.23,а.

У схемі з *СБ* (рис. 3.32,б) база з'єднана з корпусом за змінним струмом через блокувальний конденсатор  $C_{бл}$  великої ємності і є спільною точкою за змінним струмом між входом і виходом каскаду.

Вхідна напруга  $U_{вх}$  подається на емітер, вихідна напруга  $U_{вих}$  знімається з колектора, як показано на рис. 3.23,б.

Тому що у схемі з *СБ* вхідним струмом є струм емітера  $I_e$ , а вихідним – струм колектора  $I_k$ , то коефіцієнт підсилення струму схеми з *СБ*

$K_i \approx h_{21б} = \frac{I_k}{I_e} \approx \alpha$  менший одиниці. Отже, схема з *СБ* не підсилює струм, але підсилює напругу.

У схемі з *СК* (рис. 3.32, в) колектор з'єднаний з корпусом за змінним струмом через низькоомне джерело живлення  $E_{ж}$ , і є спільною точкою за змінним струмом між входом і виходом каскаду. Вхідна напруга  $U_{вх}$  подається на базу, вихідна напруга  $U_{вих}$  знімається з емітера, як показано на рис. 3.23,в. Як впливає з рис. 3.32,в, у схемі зі *СК* вхідна напруга  $U_{вх}$  дорівнює сумі напруг

$$U_{вх} = U_{бе} + U_{вих},$$

тобто вхідна напруга більша вихідної. Тому коефіцієнт підсилення напруги схеми з *СК*  $K_u = \frac{U_{вих}}{U_{вх}}$  менший одиниці. Отже, схема з *СК* не підсилює напругу,

але підсилює струм  $K_i \approx \frac{I_e}{I_b} = 1 + h_{21е}$ .

### 3.5.8. Двотактні вихідні підсилювачі на біполярних транзисторах

Двотактними називають підсилювачі, що містять два (або дві групи) біполярних транзистори, що працюють на спільне навантаження, вихідні струми

яких зміщені на  $\pi$ . Кожен БТ з відповідними колами утворює плече двотактного підсилювача. Зазвичай кажуть, що плечі працюють у протифазі. Двотактні підсилювачі дозволяють використовувати режим  $B$  і забезпечити необхідну потужність у навантаженні при високому ККД і допустимих нелінійних спотвореннях.

### **Трансформаторний двотактний вихідний підсилювач**

Принципову схему двотактного трансформаторного підсилювача зі спільним емітером показано на рис. 3.33.

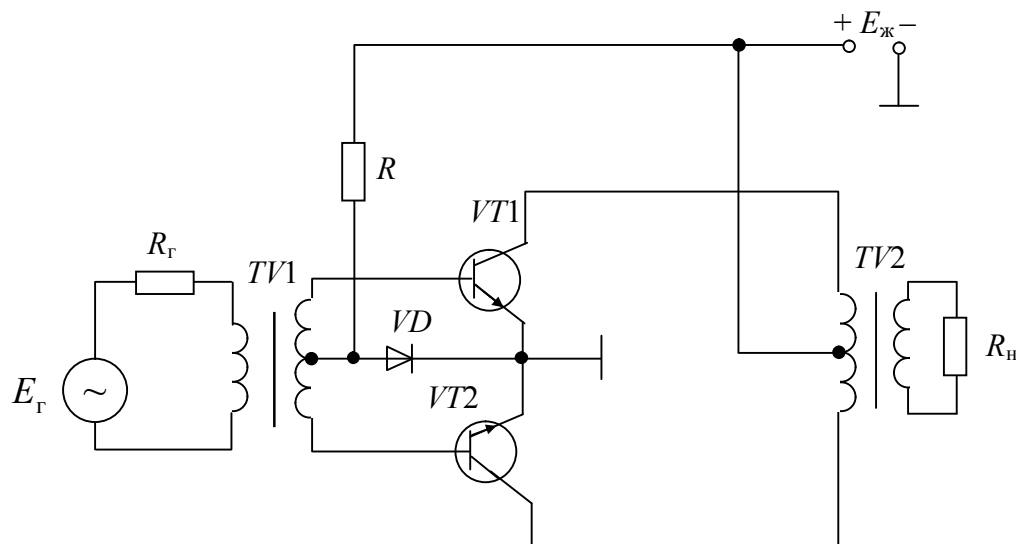


Рисунок 3.33 – Двотактний трансформаторний підсилювач зі спільним емітером

Схема повинна бути симетричною, у цьому випадку суттєво зменшуються нелінійні спотворення підсилювача. У схемі використано два трансформатори: вхідний  $TV1$  і вихідний  $TV2$ . Вхідний трансформатор дозволяє отримати на транзисторах  $VT1$  і  $VT2$  вхідні напруги, зміщені за фазою на  $\pi$ , тобто попередній каскад *фазоінверсний*. Вихідний трансформатор дозволяє створити транзисторам оптимальний опір навантаження колектора змінному струму кожного плеча  $R_{н\sim пл}$  при заданому опорі навантаження підсилювача  $R_n$ . За допомогою резистора  $R$  і діода  $VD$  подається напруга зміщення, за якої відсутня "сходінка узгодження". Крім того, діод  $VD$  служить елементом температурної компенсації для стабілізації точки спокою транзисторів  $VT1$  і  $VT2$ . Отже, підсилювач працює у режимі  $AB$ , що також дозволяє зменшити його нелінійні спотворення.

У схемі транзистори  $VT1$  і  $VT2$  працюють по черзі. Якщо на базу транзистора  $VT1$  подається позитивна напівхвиля вхідної синусоїдальної напруги, то на базу транзистора  $VT2$  у цей момент подається напруга у протифазі – негативна напівхвиля. У результаті транзистор  $VT1$  відкривається, транзистор  $VT2$  закривається. Працює верхнє плече схеми. Змінний струм колектора транзистора  $VT1$   $i_{к1}$  протікає через верхню напівобмотку трансформатора  $TV2$  і джерело живлення  $E_{ж}$ , створюється змінний магнітний потік, який у вторинній обмотці індукуює ЕРС. Під дією цієї ЕРС у навантаженні з'являється струм і створюється вихідна напруга певного знака.

Через півперіода ситуація зміниться на протилежну:  $VT1$  – закриється,  $VT2$  – відкриється, буде працювати нижнє плече. Напрямок струму колектора транзис-

тора  $VT2$   $i_{k2}$  у напівобмотці трансформатора  $TV2$  протилежний напрям струму  $i_{k1}$ , тому магнітний потік змінить свій напрям і напруга на навантаженні змінить свій знак. Таким чином, на навантаженні отримаємо повний підсилений синусоїдальний сигнал.

Значне застосування двотактних вихідних підсилювачів зумовлено цілою низкою позитивних властивостей цих схем:

1) Струм у навантаженні, а, отже, і *вихідний сигнал не містить парних гармонік*. Компенсація парних гармонік дозволяє використовувати економічний режим  $B$ .

2) *На виході підсилювача компенсуються всі синфазні завади*. Це знижує чутливість двотактного підсилювача до пульсацій напруги живлення, що дозволяє спростити згладжувальні фільтри випрямлячів, які живлять підсилювач. При цьому збільшується динамічний діапазон підсилювача.

3) *Відсутнє постійне підмагнічування осердя вихідного трансформатора  $TV2$* , тому що різницевий струм не містить середньої складової  $I_{\text{сеп}}$ . Це дозволяє при заданій вихідній потужності значно знизити масу, габарити і вартість трансформатора  $TV2$ .

4) *Струм, що протікає через спільне джерело живлення  $E_{\text{ж}}$ , не містить основну частоту (першу гармоніку) сигналу*, тому що загальний струм у колах живлення дорівнює сумі струмів плечей

$$i_{\Sigma} = i_{k1} + i_{k2} = 2I_{\text{сеп}} + 2I_{m2}\cos 2\omega t + \dots$$

і містить тільки постійну складову і парні гармоніки, непарні гармоніки компенсуються. Завдяки цьому помітно знижується паразитний міжкаскадний зв'язок через спільне джерело живлення, спрощуються розв'язувальні фільтри.

### ***Безтрансформаторний двотактний вихідний підсилювач***

Використання трансформаторів у підсилювачах потужності призводить до низки суттєвих недоліків. Трансформатор вносить додаткові частотні, фазові, перехідні й нелінійні спотворення сигналу і має великі масу, габарити та вартість. У трансформаторі втрачається частина потужності, тому зменшується ККД підсилювача. Але, найголовніше, трансформатор неможливо виконати за інтегральною технологією.

На даний час широкого застосування набули безтрансформаторні транзисторні двотактні вихідні підсилювачі, особливо у зв'язку з можливістю використання таких підсилювачів в інтегральних мікросхемах (ІМС).

Найбільшого розповсюдження набули двотактні схеми, в яких використовуються комплементарні пари. *Комплементарну пару* утворюють транзистори з однаковими параметрами, але різними типами провідності, наприклад, біполярні транзистори  $n\text{-}p\text{-}n$  і  $p\text{-}n\text{-}p$  типу. У цьому випадку входи обох плечей двотактної схеми можна об'єднати. Тоді сигнал, що відкриває транзистор  $n\text{-}p\text{-}n$  типу, буде відповідно закривати транзистор  $p\text{-}n\text{-}p$  типу, і навпаки. Таким чином, схема буде працювати як двотактна.

Для отримання високого ККД безтрансформаторні вихідні підсилювачі найчастіше працюють в режимі  $B$  ( $AB$ ). Транзистори у вихідних підсилювачах включаються як повторювачі, тобто використовуються *двотактні емітерні повторювачі*. Для отримання великої потужності промисловість спеціально випускає комплементарні пари потужних транзисторів з великими струмами колекторів і вели-

кими коефіцієнтами підсилення струму. Ці комплементарні пари широко використовуються у побутовій апаратурі. Для збільшення потужності можна використовувати комплементарні пари, виконані на складених транзисторах, як показано на рис. 3.34, *а* і *б*. Використання комплементарних пар дозволило суттєво спростити і здешевити схеми вихідних підсилювачів.

Схема двотактного безтрансформаторного підсилювача на біполярних транзисторах, що працює в режимі *В* (*AB*), показана на рис. 3.34. У схемі використано безпосередній зв'язок між каскадами та з навантаженням (відсутні розділяльні конденсатори), що полегшує використання інтегральної технології. У схемі транзистори *VT1* і *VT2* включені як емітерні повторювачі. Тому схему назвали *двотактним емітерним повторювачем*.

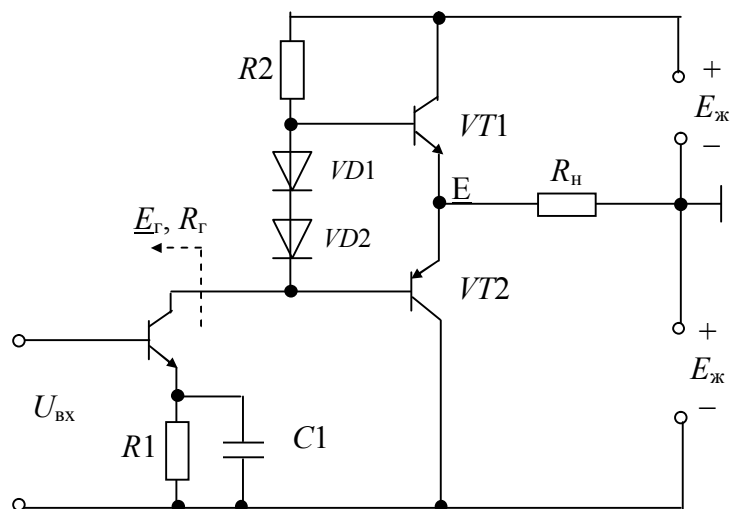


Рисунок 3.34 – Двотактний безтрансформаторний вихідний підсилювач на біполярних транзисторах

У схемі використане двополярне джерело живлення. Транзистори *VT1* і *VT2* утворюють комплементарну пару.

Зупинимося детальніше на роботі схеми рис. 3.34. У схемі використані два діоди *VD1* і *VD2* для отримання невеликої напруги зсуву на транзисторах *VT1* і *VT2* та забезпечення режиму роботи *AB*. Число діодів вибрано рівним числу проміжків база-емітер. Постійна напруга, існуюча на діодному колі, надходить на бази транзисторів *VT1* і *VT2*. Сигнал на транзистори *VT1* і *VT2* надходить з колекторного кола транзистора *VT3* передвихідного одностактного каскаду, що працює в режимі *А*. Постійний струм колектора транзистора *VT3* створює на діодах необхідну (подвоєну) напругу зміщення транзисторів *VT1* і *VT2*. Резистор *R1* призначений для стабілізації режиму роботи транзистора *VT3*. Опори відкритих діодів *VD1* і *VD2* для сигналу малі, тому можна вважати, що бази транзисторів *VT1* і *VT2* безпосередньо приєднані за сигналом до колектора транзистора *VT3*. Діоди *VD1* і *VD2* забезпечують також стабільність струмів спокою вихідних транзисторів (компенсацію). Транзистори *VT1* і *VT2* включені за схемою зі спільним колектором (емітерні повторювачі), тому що колектори для сигналу підключені до корпусу через джерела живлення, а навантаження включене у кола емітерів.

Підсилювач працює таким чином. У стані спокою (за відсутності вхідного сигналу) транзистори *VT1* і *VT2* майже закриті, через них протікає невеликий струм спокою  $I_{к0}$ . При появі на колекторі транзистора *VT3* миттєвої напруги

сигналу, наприклад, *позитивної полярності*, *n-p-n*-транзистор  $VT1$  відкривається і через навантаження  $R_n$  протікає струм колектора  $i_{k1}$  транзистора  $VT1$ . Транзистор  $VT2$  у цей час практично закритий. Імпульс струму  $i_{k1}$  спрямований від точки Е до корпусу, на навантаженні утворюється вихідна напруга *позитивної полярності* відносно корпусу.

У другому напівперіоді вхідного сигналу полярність напруги на колекторі  $VT3$  змінюється на протилежну, стає *негативною полярністю*. Тепер відкривається *p-n-p*-транзистор  $VT2$ , транзистор  $VT1$  практично закритий. Імпульс струму тепер спрямований від корпусу до точки Е. На навантаженні утворюється вихідна напруга *негативної полярності*. У результаті на навантаженні отримуємо повний період вихідного сигналу.

### 3.5.9. Ключі на біполярних транзисторах

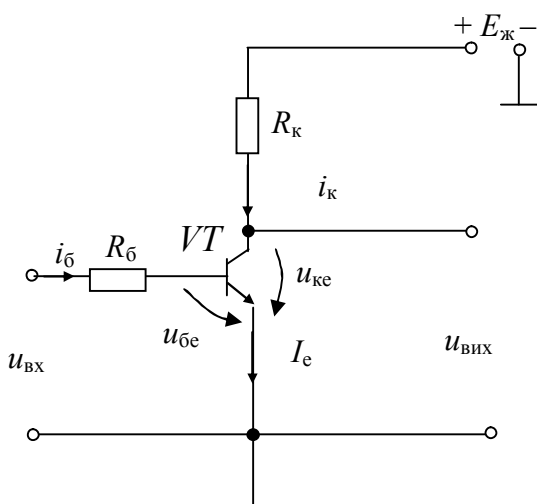


Рисунок 3.35 – Ключ на біполярному транзисторі з СЕ

Транзисторні ключі є одним з основних елементів цифрових інтегральних мікросхем. Транзисторні ключі являють собою підсилювачі, що працюють у *ключовому режимі* – режимі  $D$ . У цифрових пристроях вхідний сигнал має тільки два дискретних рівня: логічний нуль –  $U^0$  і логічну одиницю –  $U^1$ .

Схему ключа на біполярному транзисторі зі спільним емітером наведено на рис. 3.35. У схемі рис. 3.35: опір  $R_k$  – колекторне навантаження; опір  $R_б$  обмежує струм бази  $I_б$ ;  $E_k$  – джерело живлення.

Транзисторний ключ може знаходитися в одному з двох станів: *вимкнено*, коли транзистор закритий і ключ розімкнутий, і *включено*, коли транзистор відкритий і ключ замкнутий. Керують ключем, подаючи на його вхід управляльну напругу  $u_{вх}$ .

Розглянемо роботу ключа за допомогою ВАХ транзистора (рис. 3.36). На вихідних ВАХ (рис. 3.36,б) побудована лінія навантаження.



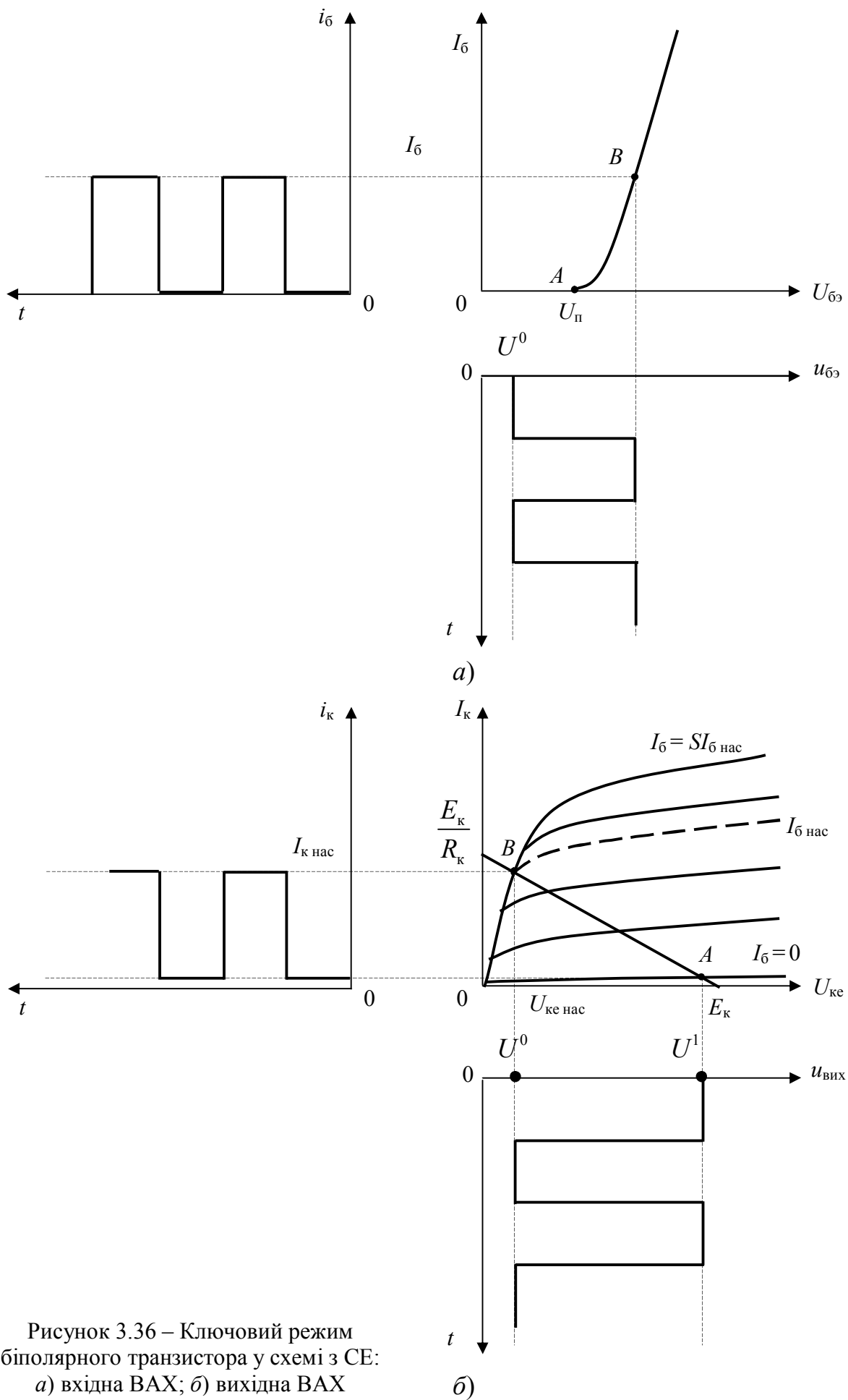


Рисунок 3.36 – Ключовой режим біполярного транзистора у схемі з СЕ:  
а) вхідна ВАХ; б) вихідна ВАХ

Якщо напруга на базі менша порога відмикання ( $u_{б\epsilon} = U^0 < U_{\pi}$ ), транзистор закритий ( $I_6 = 0$ ) і перебуває у *режимі відсікання*. Робоча точка на рис. 3.36,б знаходиться у т. А. У режимі відсікання у колекторному колі протікає дуже маленький струм  $I_{к\text{ відс}} = I_{к60}(1 + h_{21\epsilon})$ . Вихідна напруга  $u_{\text{вих}} = U^1 \approx E_{\kappa}$  практично дорівнює напрузі живлення, тому що вихідна ВАХ при струмі  $I_6 = 0$  практично зливається з віссю  $U_{\kappa\epsilon}$ .

При подачі на вхід великої відмикальної напруги  $u_{\text{вх}} = U^1$  транзистор переходить у *режим насичення*, робоча т. В на рис. 3.36,б. У режимі насичення у колекторному колі протікає великий струм  $I_{\kappa\text{ нас}}$ , значення якого визначається точкою перетину навантажувальної прямої і характеристики для струму бази  $I_6$ , яке зазначено на вхідних ВАХ (рис. 3.36,а). Напруга на виході мінімальна і дорівнює  $u_{\text{вих}} = U_{\kappa\epsilon\text{ нас}} = U^0$ .

Отже, на виході транзисторного ключа з СЕ рівень логічної одиниці в режимі відсікання практично дорівнює напрузі живлення  $U^1 = E_{\kappa}$ , рівень логічного нуля дорівнює напрузі колектор–емітер у режимі насичення  $U^0 = U_{\kappa\epsilon\text{ нас}}$  і становить десять частки вольт.

Як впливає з рис. 3.36, ключ на біполярному транзисторі з СЕ реалізує *логічну операцію інверсії*: 1) при вхідній напрузі  $u_{\text{вх}} = U^0$  вихідна напруга дорівнює  $u_{\text{вих}} = U^1$ ; 2) при вхідній напрузі  $u_{\text{вх}} = U^1$  вихідна напруга дорівнює  $u_{\text{вих}} = U^0$ . Якщо позначити вхідну напругу  $u_{\text{вх}} = x$ , а вихідну  $u_{\text{вих}} = y$ , то можна записати логічну функцію інверсії, яку виконує ключ:  $y = \bar{x}$ . Таким чином, ключ зі СЕ є *інвертором*.

При зміні базового струму  $I_6$  робоча точка переміщується уздовж навантажувальної прямої від точки А до точки В, визначаючи у кожен момент часу режими роботи біполярного транзистора.

У ключі транзистор може знаходитися в одному з *двох статичних режимів*: *режимі відсікання* (транзистор закритий) і *режимі насичення* (транзистор відкритий і насичений). Активний режим роботи зумовлений переходом з одного статичного режиму в інший.

У *режимі відсікання* робоча точка знаходиться у т. А. Для забезпечення режиму відсікання повинна виконуватися умова

$$U_{\pi} > U^0. \quad (3.68)$$

При виконанні умови (3.68) обидва переходи (емітерний і колекторний) будуть закриті, транзистор знаходиться в режимі відсікання.

В *активному режимі* транзистор знаходиться короткий час, рівний часу перемикання з одного статичного стану в інший, в цей час через електроди транзистора протікають прямі струми  $i_{\epsilon}$ ,  $i_{\kappa}$ ,  $i_6$ . При деякому значенні струму бази  $I_{6\text{ нас}}$  (*струм бази насичення*) робоча точка потрапляє до т. В, яка відповідає режиму насичення транзистора. У колекторному колі протікає струм колектора  $I_{\kappa\text{ нас}}$  (*струм колектора насичення*).

У *режимі насичення* на вході діє напруга  $u_{\text{вх}} = U^1$ , яка викликає в базовому колі струм  $I_6 > I_{6\text{ нас}}$ . У режимі насичення транзистор повністю відкритий і колекторний струм обмежується тільки резистором  $R_{\kappa}$ , тому значення  $I_{\kappa\text{ нас}}$  близьке до значення

$$I_{\kappa\text{ нас}} \approx \frac{E_{\kappa}}{R_{\kappa}}.$$

Для кількісної оцінки глибини насичення використовують коефіцієнт насичення

$$S = \frac{I_{\text{б}}}{I_{\text{б нас}}}, \quad (3.69)$$

який показує, у скільки разів струм  $I_{\text{б}}$ , який втікає у базу транзистора, перевищує струм бази, за якого транзистор опиняється на межі насичення  $I_{\text{б нас}}$ .

### **Перехідні процеси в ключі на біполярному транзисторі**

При подачі на вхід ключа прямокутного імпульсу вихідна напруга буде змінюватися не миттєво, а за кінцеві проміжки часу, які зумовлені тривалістю *перехідних процесів*. Виникнення перехідних процесів пов'язано з наявністю в транзисторі ємностей емітерного  $C_{\text{е}}$  й колекторного  $C_{\text{к}}$  переходів, які при перемиканні ключа заряджаються і розряджаються за кінцевий час, а також інерційністю процесів накопичення і рекомбінації заряду в базі при комутації ключа.

Розглянемо перехідні процеси, що відбуваються в ключі при подачі на його вхід прямокутного імпульсу. Часові діаграми, що ілюструють зміни струму бази  $i_{\text{б}}(t)$ , струму колектора  $i_{\text{к}}(t)$  та  $i_{\text{вих}}(t)$  зображені на рис. 3.37:

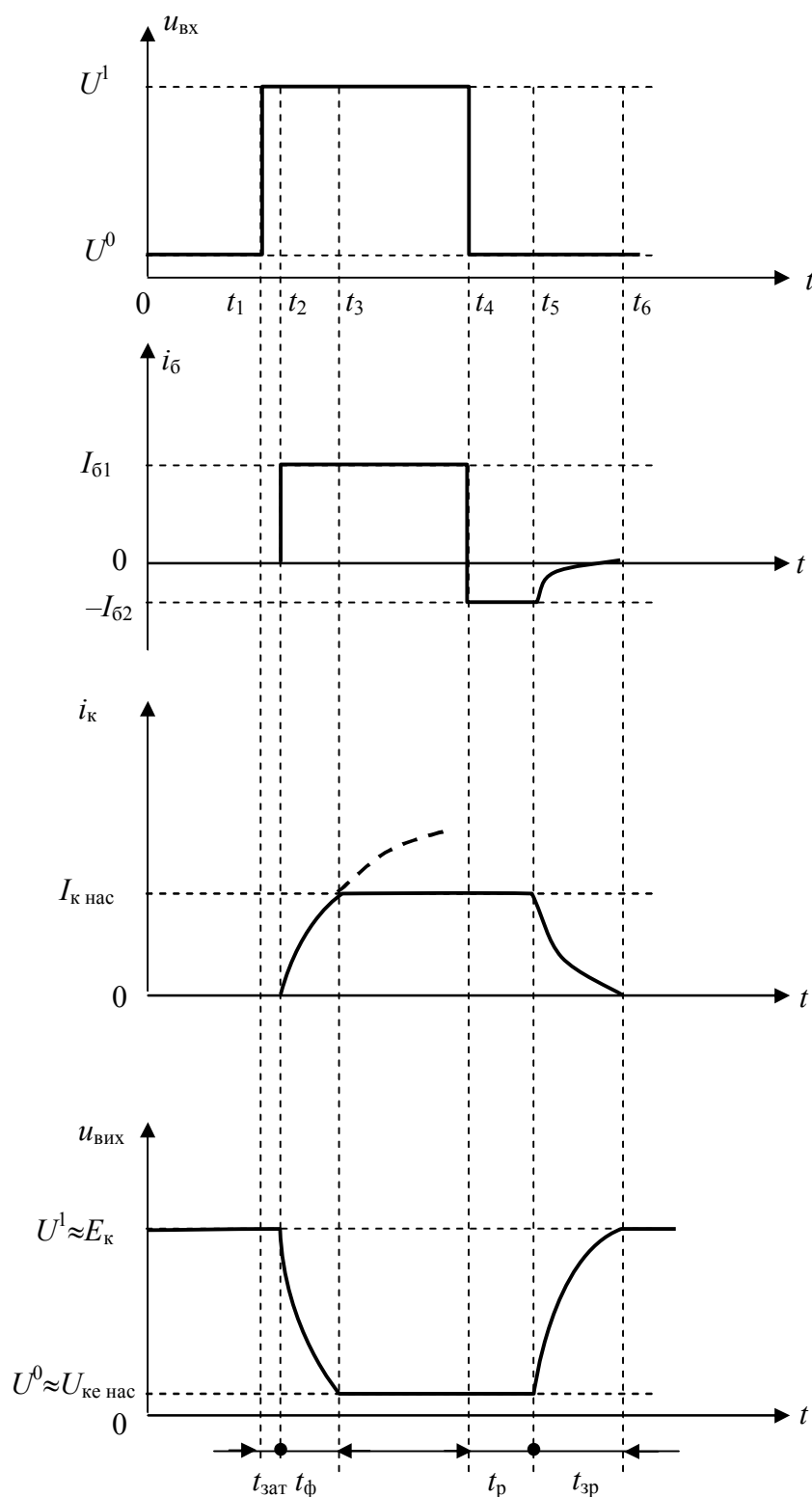


Рисунок 3.37 – Часові діаграми перехідних процесів у ключі на біполярному транзисторі з СЕ

1) *Затримка фронту*. При подачі імпульсу вхідної напруги  $U^1$  в момент часу  $t_1$  відбувається затримка фронту. Цей перший етап перехідного процесу зумовлений зарядом вхідної ємності замкненого транзистора, який відбувається за експоненціальним законом. Вхідну ємність звичайно приймають рівною сумі бар'єрних ємностей емітерного й колекторного переходів:  $C_{\text{вх}} = C_{\text{е}} + C_{\text{к}}$ .

Коли напруга  $u_{\text{бе}}$  стане рівною пороговій напрузі  $U_{\text{п}}$ , відмикається емітерний перехід транзистора, з'являється струм бази  $I_{\text{б1}}$ .

Час затримки фронту на рис. 3.37 дорівнює

$$t_{\text{зат}} = t_2 - t_1.$$

2) *Формування фронту*. Наростання колекторного струму  $i_{\text{к}}$  і спад вихідної напруги  $u_{\text{вих}}$  (колекторної напруги  $u_{\text{вих}} = u_{\text{ке}}$ ) відбувається при заданому струмі бази  $I_{\text{б1}}$  за час

$$t_{\text{ф}} = t_3 - t_2,$$

який називають *тривалістю фронту*. Перехідний процес формування фронту закінчується, коли струм колектора досягає значення струму насичення  $I_{\text{к нас}}$ .

3) *Накопичення заряду*. Після того, як транзистор почав працювати в режимі насичення, струм колектора  $I_{\text{к нас}}$  практично не змінюється, але триває накопичення заряду й у базовому, й у колекторному прошарках.

4) *Затримка зрізу*. Заряд, накопичений у шарах і переходах транзистора, не може змінитися миттєво. Відповідно не можуть миттєво змінюватися і напруги на емітерному та колекторному переходах. Отже у момент перемикавання  $t_4$  вхідної напруги від  $U^1$  до  $U^0$  зберігаються прямі напруги на обох переходах. При цьому колекторний струм не змінюється і залишається рівним  $I_{\text{к нас}}$ , а базовий струм стрибком приймає значення замикаючого струму  $I_{\text{б2}}$ .

Стрибок базового струму від  $I_{\text{б1}}$  до  $I_{\text{б2}}$  тягне за собою розсмоктування (зменшення) заряду.

Час розсмоктування дорівнює

$$t_{\text{р}} = t_5 - t_4.$$

В кінці процесу розсмоктування на колекторному переході відновлюється зворотна напруга. Після цього колекторний струм починає зменшуватися, і формується зріз імпульсу.

Тривалість формування зрізу

$$t_{\text{зр}} = t_6 - t_5.$$

У динамічному режимі ключ характеризується наступними часовими параметрами:

1) *Час включення*  $t_{\text{вкл}}$  – проміжок часу від моменту подачі на вхід ключа напруги високого рівня  $u_{\text{вх}} = U^1$  до моменту зниження вихідної напруги до нульового рівня  $u_{\text{вих}} = U^0$ . На рис. 3.37

$$t_{\text{вкл}} = t_3 - t_1 = t_{\text{зат}} + t_{\text{ф}}.$$

2) *Час виключення*  $t_{\text{викл}}$  – проміжок часу від моменту подачі на вхід ключа напруги нульового рівня  $u_{\text{вх}} = U^0$  (стрибок вхідної напруги від високого рівня  $U^1$  до нульового  $U^0$ ) до моменту збільшення вихідної напруги до високого рівня  $u_{\text{вих}} = U^1$ . На рис. 3.37

$$t_{\text{викл}} = t_5 - t_4 = t_{\text{р}} + t_{\text{зр}}.$$

3) *Швидкодія* – максимально допустима частота проходження вхідних сигналів, які чергуються ( $U^0$  і  $U^1$ ), кожен з яких призводить до комутації ключа. Для характеристики швидкодії ключа використовують середній час затримки сигналу

$$t_{\text{зат сер}} = 0,5(t_{\text{вкл}} + t_{\text{викл}}).$$

Збільшення  $t_{\text{зат сер}}$  призводить до зменшення швидкодії ключа – зменшення максимальної частоти проходження вхідного сигналу.

### **Ключ з нелінійним зворотним зв'язком**

Однією з головних проблем при підвищенні швидкодії ключів є зменшення часу розсмоктування  $t_r$ . Для цього треба зменшувати коефіцієнт насичення  $S$ , але при цьому збільшується тривалість фронту  $t_f$ . Для зменшення часу розсмоктування в ключ вводять нелінійний зворотний зв'язок, виконаний за допомогою діода Шотткі, як показано на рис. 3.38.

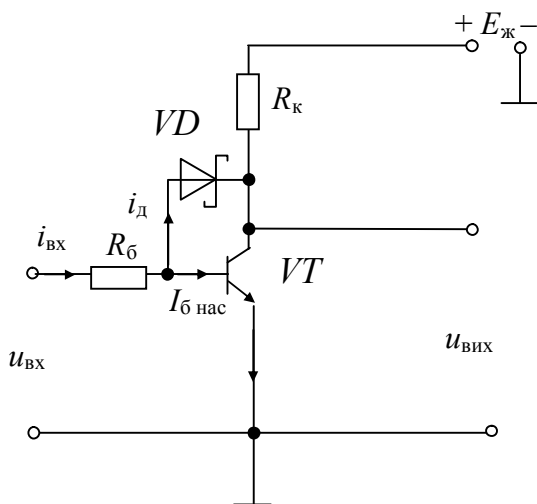


Рисунок 3.38 – Ключ на біполярному транзисторі з нелінійним зворотним зв'язком

Для нормальної роботи ключа з нелінійним зворотним зв'язком необхідно, щоб діод  $VD$ , включений паралельно колекторному переходу транзистора  $VT$ , відкривався при порівняно малій напрузі, коли колекторний перехід ще закритий. З цією метою у схемі рис. 3.38 використаний діод з *бар'єром Шотткі*, в якого пряма відкриваюча напруга менша, ніж у звичайного кремнієвого діода, як це видно з табл. 3.2.

### **Контрольні питання**

1. Дайте визначення біполярного транзистора.
2. Дайте класифікацію біполярних транзисторів.
3. Назвіть схеми включення БТ.
4. Назвіть режими роботи БТ.
5. Поясніть принцип дії БТ.
6. Побудуйте статичні характеристики БТ у схемі з СЕ і поясніть їх хід.
7. Побудуйте статичні характеристики БТ у схемі з СБ і поясніть їх хід.

8. Назвіть  $h$ -параметри транзистора і розкажіть, як їх визначити за характеристиками.
9. Які параметри характеризують частотні властивості транзисторів?
10. Яка з двох схем включення транзистора зі СЕ або зі СБ є більш високо-частотною?
11. Що таке складений транзистор?
12. Назвіть режими роботи підсилювального елемента у схемі.
13. Наведіть модель Еберса-Молла БТ і поясніть її.
14. Накресліть схему резисторного каскаду на БТ зі спільним емітером і поясніть, як вона працює.
15. Накресліть схему ключа на БТ зі спільним емітером і поясніть, як вона працює.
16. Як можна збільшити швидкодію транзисторного ключа на БТ?

## Розділ 4. ПОЛЬОВІ ТРАНЗИСТОРИ

**Польовим** називається транзистор, керований електричним полем, тобто практично без витрат потужності керуючого сигналу. Тому вхідний опір польового транзистора дуже великий, його вважають рівним нескінченності. Робота польового транзистора (ПТ) зумовлена носіями однієї полярності, тому їх називають також *уніполярними*. Розрізняють шість основних типів польових транзисторів, їх умовні позначення і передавальні статичні вольтамперні характеристики надано в табл. 4.1.

Керуючим електродам ПТ є *затвор* (З). Він дозволяє керувати величиною опору між *стоком* (С) і *витоком* (В). Керуючою є напруга затвор-виток  $U_{зв}$ . У польових транзисторів з ізолюваним затвором затвор відділений від каналу стік-витік тонким шаром діелектрика. Тому їх називають МДН-транзисторами: метал-діелектрик-напівпровідник, або МОН-транзисторами: метал-оксид-напівпровідник, тому що затвор відділений від каналу діелектриком – шаром оксиду  $\text{SiO}_2$ . У МОН-транзисторах часто роблять четвертий вивід від підкладки (П). Якщо необхідні два керуючі електроди, використовують двозатворні МОН-транзистори (МОН-тетроди), що мають два рівноцінних затвори.

Розглянемо принцип дії і ВАХ польових транзисторів.

### 4.1. Польові транзистори з керуючим *p-n*-переходом

Структуру ПТ з керуючим *p-n*-переходом і каналом *n*-типу показано на рис. 4.1.

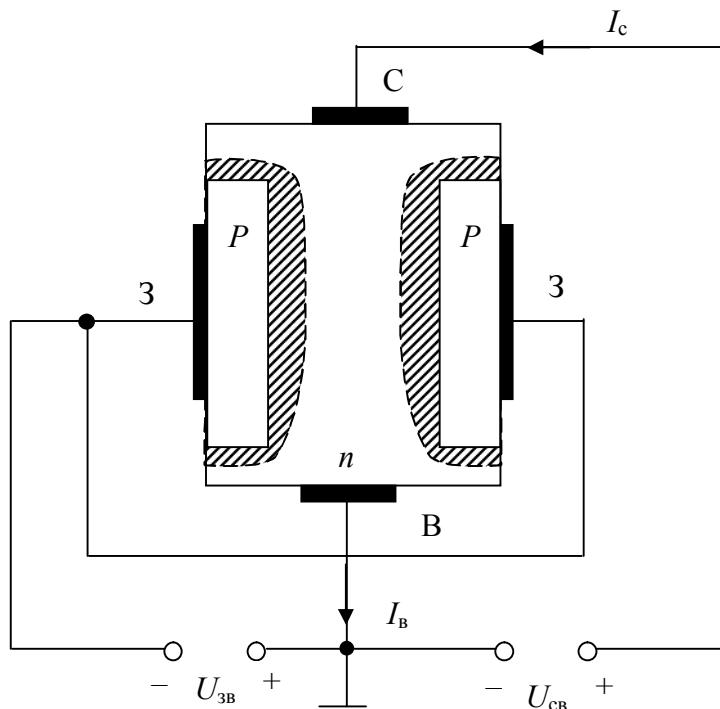
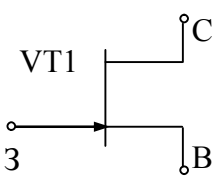
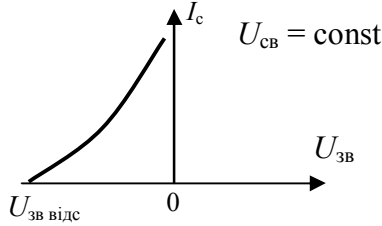
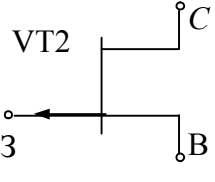
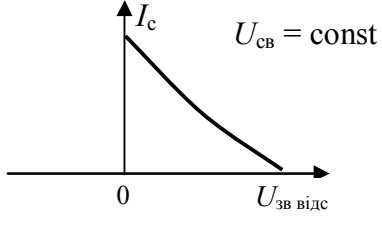
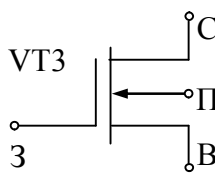
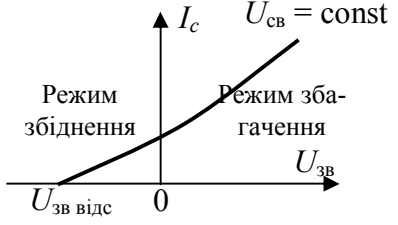
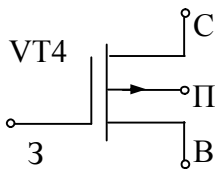
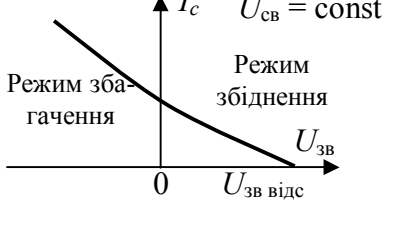
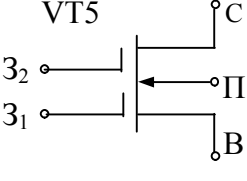
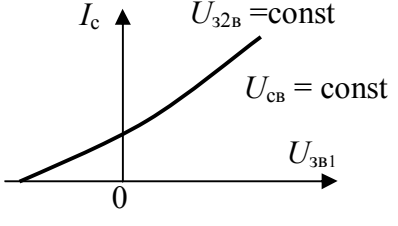
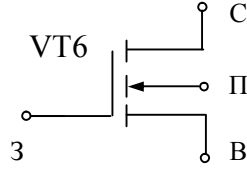
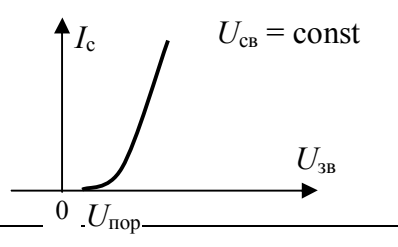
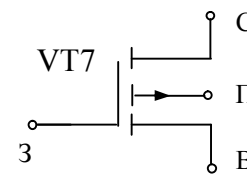
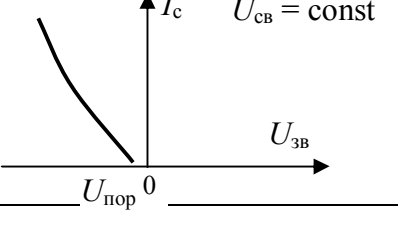


Рисунок 4.1 – Структура ПТ з керуючим *p-n*-переходом і каналом *n*-типу

Таблиця 4.1 – Умовні позначення та вольтамперні характеристики ПТ

№ з/п	Найменування	Умовне позначення	Передавальні ВАХ
1	ПТ з керуючим $p$ - $n$ -переходом та каналом $n$ -типу		
2	ПТ з керуючим $p$ - $n$ -переходом та каналом $p$ -типу		
3	МОН ПТ з ізолюваним затвором та вбудованим каналом $n$ -типу		
4	МОН ПТ з ізолюваним затвором та вбудованим каналом $p$ -типу		
5	МОН тетрод з ізолюваним затвором та вбудованим каналом $n$ -типу (дво-затворний ПТ)		
6	МОН ПТ з ізолюваним затвором та індукованим каналом $n$ -типу		
7	МОН ПТ з ізолюваним затвором та індукованим каналом $p$ -типу		



Пластина з напівпровідника  $n$ -типу являє собою канал. До торців пластини приєднані два металевих контакти, які називають *витоком* (В) і *стоком* (С). Між стоком і витоком включене джерело живлення  $U_{\text{св}}$ . Напруга  $U_{\text{св}}$  має таку полярність, щоб струм основних носіїв (у каналі  $n$ -типу – електрони) протікав від В до С. Напрямок струму стоку  $I_{\text{с}}$  на рис. 4.1 показано, як прийнято, від плюса джерела живлення  $U_{\text{св}}$  до мінуса. У схемі рис. 4.1 струми  $I_{\text{с}} = I_{\text{в}}$  рівні, вважаємо  $I_{\text{з}} \approx 0$ .

Біля каналу розташовані області напівпровідника з провідністю  $p$ -типу. Ці області з'єднані разом і утворюють єдиний електрод, називаний *затвором* (З). Між каналом і затвором утворюються два  $p$ - $n$ -переходи. Ширина  $p$ - $n$ -переходів на рис. 4.1 показана штрихуванням.

На затвор відносно витоку подається зворотна (запираюча) напруга  $U_{\text{зв}}$  (при  $n$ -каналі – негативна). При  $U_{\text{зв}} = 0$  ширина  $p$ - $n$ -переходу мінімальна, тому  $n$ -канал має максимальну ширину, його електричний опір мінімальний, а струм стоку  $I_{\text{с}}$  максимальний. При збільшенні негативної напруги  $U_{\text{зв}}$  ширина запираючих шарів збільшується, ширина  $n$ -каналу зменшується, опір каналу збільшується, струм стоку  $I_{\text{с}}$  зменшується. Струм затвора при цьому дорівнює нулю ( $I_{\text{з}} = 0$ ). Таким чином, змінюючи керуючу напругу  $U_{\text{зв}}$ , можна змінювати струм в каналі  $I_{\text{с}}$ .

Канал може бути утворений напівпровідником  $p$ -типу, а область затвору – напівпровідником  $n$ -типу. У цьому випадку основними носіями в каналі будуть дірки. Тоді для протікання струму стоку  $I_{\text{с}}$  та керування ним полярності живлючих напруг  $U_{\text{св}}$  й  $U_{\text{зв}}$  необхідно змінити на протилежні.

Умовні позначення ПТ з керуючим  $p$ - $n$ -переходом надано в табл. 4.1: VT1 – з каналом  $n$ -типу; VT2 – з каналом  $p$ -типу.

Управляючий вплив затвора наочно ілюструє статична передавальна (стоко-затворна) ВАХ  $I_{\text{с}} = f(U_{\text{зв}})$  при  $U_{\text{св}} = \text{const}$ , яка показана на рис. 4.2.

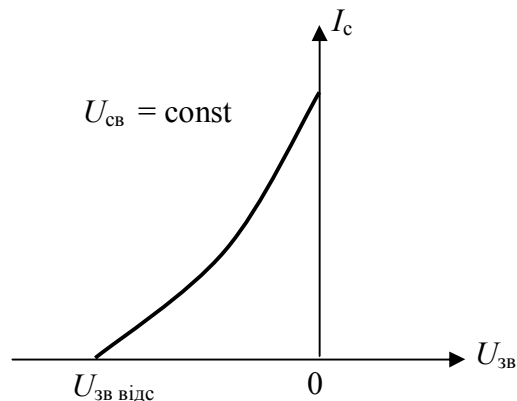


Рисунок 4.2 – Передавальна ВАХ польового транзистора з керуючим  $p$ - $n$ -переходом й каналом  $n$ -типу

Як впливає з рис. 4.2, при значенні напруги  $U_{\text{зв}} = U_{\text{зв відс}}$  ( $U_{\text{зв відс}}$  – напруга відсікання) канал повністю перекривається й струм стоку дорівнює нулю ( $I_{\text{с}} = 0$ ).

На рис. 4.3 надано статичні вихідні (стокові) ВАХ  $I_{\text{с}} = f(U_{\text{св}})$  при  $U_{\text{зв}} = \text{const}$ .

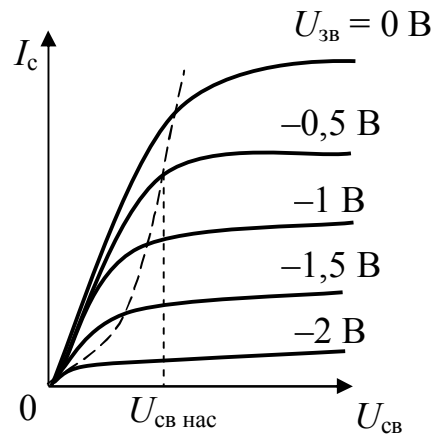


Рисунок 4.3 – Вихідні ВАХ польового транзистора з керуючим  $p$ - $n$ -переходом і каналом  $n$ -типу

Робота ПТ зазвичай відбувається на пологих ділянках вихідних характеристик. Область пологих ділянок вихідних ВАХ називають *областю насичення*. Напруга, за якої починається ця область, називається *напругою насичення*. На рис. 4.3 напруги насичення  $U_{св\text{ нас}}$  показані пунктирною лінією, звідки випливає, що значення  $U_{св\text{ нас}}$  залежить від значення напруги  $U_{зв}$ .

Недоліком ПТ з керуючим  $p$ - $n$ -переходом є значне, але кінцеве значення вхідного опору затвор-витік  $R_{зв}$ . Цей недолік усунуто у польових транзисторах з ізолюваним затвором.

## 4.2. Польові транзистори з ізолюваним затвором

У ПТ з ізолюваним затвором металевий затвор відділений від напівпровідникового каналу тонким шаром діелектрика. Ці прилади називають польовими *МОН-транзисторами* (від слів метал-оксид-напівпровідник).

Польові транзистори з ізолюваним затвором бувають двох типів: з вбудованим каналом та з індукованим каналом. Канали також бувають  $n$ -типу або  $p$ -типу.

Структуру МОН ПТ з ізолюваним затвором і вбудованим каналом  $n$ -типу показано на рис. 4.4.

Підкладкою (основою) (П) транзистора служить кремнієва пластина з електропровідністю  $p$ -типу. У ній створено дві області з підвищеною провідністю  $n^+$ -типу. Ці області є витоком (В) і стоком (С). Від них відходять металеві виводи. Між стоком і витоком є тонкий приповерхневий вбудований канал з електропровідністю  $n$ -типу. Штрихуванням показаний шар діелектрика  $\text{SiO}_2$ . Зверху діелектричного шару розташований затвор (З) у вигляді тонкого металевого шару. Від підкладки також є вивід (П). Підкладка, як правило, з'єднується з витоком.

Якщо при  $U_{зв} = 0$  прикласти напругу  $U_{св}$  позитивної полярності, як показано на рис. 4.4, то через канал потече струм, що являє собою потік електронів. Напрямок струмів  $I_c$  і  $I_b$  також показано на рис. 4.4. Через підкладку струм не тече, тому що  $p$ - $n$ -перехід підкладка–сток знаходиться під зворотною напругою.

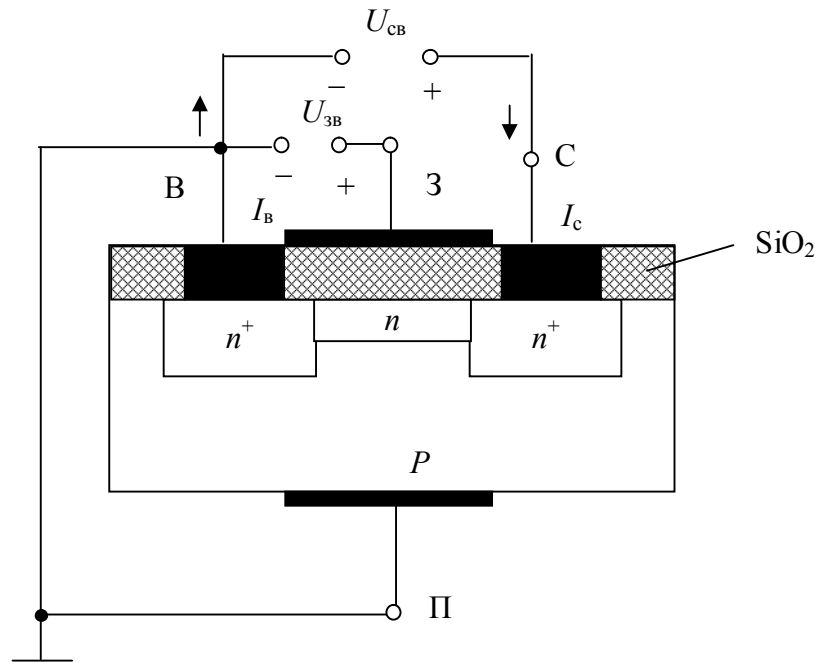


Рисунок 4.4 – Структура МОН ПТ з ізольованим затвором і вбудованим каналом  $n$ -типу

Якщо на затвор подати *негативну напругу*  $U_{зв}$ , у каналі створюється електричне поле, яке виштовхує електрони з каналу до підкладки. Канал збіднюється електронами, опір його збільшується, а струм стоку  $I_c$  зменшується. Чим більша негативна напруга  $U_{зв}$ , тим менший струм стоку  $I_c$ . Такий режим транзистора називається *режимом збіднення*.

Якщо на затвор подати *позитивну напругу*  $U_{зв}$ , то під дією поля, створеного цією напругою, з областей витоку і стоку, а також з підкладки до каналу приходять електрони, провідність каналу при цьому збільшується, і струм стоку  $I_c$  зростає. Цей режим називається *режимом збагачення*. В усіх випадках струм затвора дорівнює нулю  $I_z = 0$ . МОН польовий транзистор з вбудованим каналом може працювати як у режимі збіднення, так і у режимі збагачення.

Роботу МОН ПТ з вбудованим каналом  $n$ -типу наочно ілюструють його статичні вольтамперні характеристики. На рис. 4.5 показана передавальна (стоко-затворна) ВАХ  $I_c = f(U_{зв})$  при  $U_{св} = \text{const}$ ; на рис. 4.6 – вихідні (стокові) ВАХ  $I_c = f(U_{св})$  при  $U_{зв} = \text{const}$ .

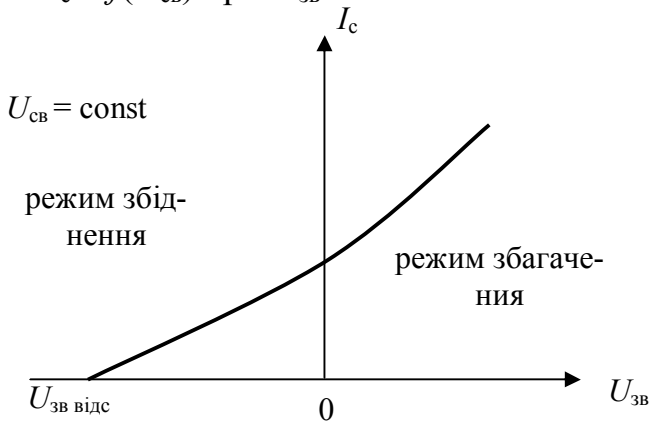


Рисунок 4.5 – Передавальна ВАХ МОН ПТ з ізольованим затвором та вбудованим  $n$ -каналом

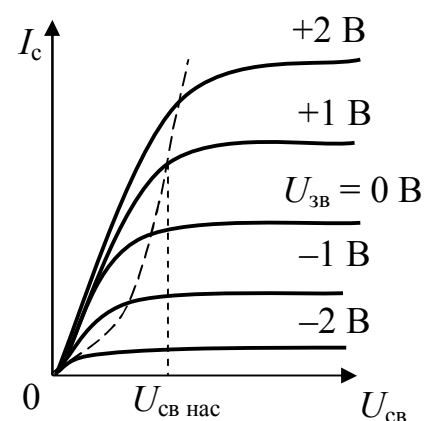


Рисунок 4.6 – Вихідні ВАХ МОН ПТ з ізольованим затвором і вбудованим  $n$ -каналом

У МОН ПТ з ізолюваним затвором і вбудованим каналом  $p$ -типу полярність живлячих напруг  $U_{\text{св}}$  й  $U_{\text{зв}}$  необхідно змінити на протилежну.

Умовні позначення МОН ПТ з ізолюваним затвором надано в табл. 4.1:  $VT3$  – з вбудованим каналом  $n$ -типу;  $VT4$  – з вбудованим каналом  $p$ -типу.

У табл. 4.1 надано умовне позначення ( $VT5$ ) МОН ПТ з двома ізолюваними затворами і вбудованим каналом  $n$ -типу (МОН тетрод). У МОН тетроді струм стоку  $I_{\text{с}}$  змінюється під дією обох напруг на затворі  $U_{\text{зв}1}$  і  $U_{\text{зв}2}$ . МОН тетроди використовуються у схемах автоматичного регулювання підсилення (АРП), а також у схемах автоматики.

Структура МОН ПТ з ізолюваним затвором та індукованим каналом  $n$ -типу наведено на рис. 4.7.

Від МОН ПТ з вбудованим каналом МОН ПТ з індукованим каналом відрізняється тим, що канал виникає тільки при подачі на затвор напруги певної полярності. Для транзистора з  $n$ -каналом напруга затвор-витік  $U_{\text{зв}}$  має бути позитивною (як показано на рис. 4.7), для транзистора з  $p$ -каналом – негативною.

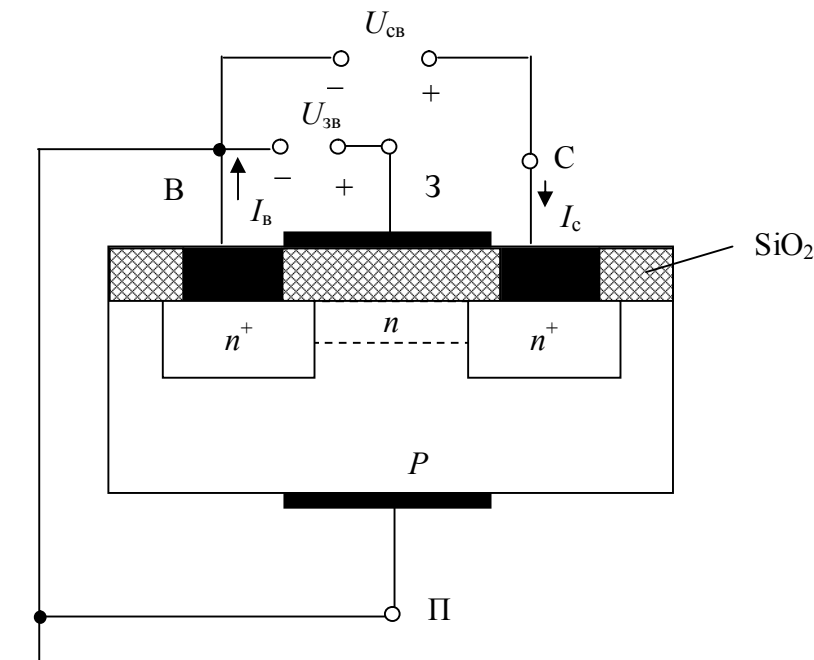


Рисунок 4.7 – Структура МОН ПТ з ізолюваним затвором та індукованим каналом  $n$ -типу

Розглянемо принцип роботи МОН ПТ з індукованим  $n$ -каналом (рис. 4.7). При напрузі  $U_{\text{зв}} = 0$  каналу немає, між стоком та витіком  $n^+$ -типу розташована тільки підкладка  $p$ -типу і на переході сток-підкладка отримується зворотна напруга. У цьому стані опір між стоком і витіком дуже великий, тобто транзистор запертий, струм стоку дорівнює нулю  $I_{\text{с}} = 0$ .

Якщо подати на затвор позитивну напругу  $U_{\text{зв}}$ , то під впливом поля затвора електрони будуть переміщатися з областей стоку, витіку і підкладки у напрямку до затвору. Коли напруга  $U_{\text{зв}}$  перевищить деяке відпираюче, або *порогове*  $U_{\text{зв пор}}$ , значення, то у приповерхневому шарі концентрація електронів настільки збільшиться, що утворюється тонкий  $n$ -канал, і транзистор почне про-

водити струм. З'явиться струм стоку  $I_c$ . Чим більша позитивна напруга  $U_{зв}$ , тим більша провідність каналу і більший струм стоку  $I_c$ . Статична передавальна ВАХ МОН ПТ з ізолюваним затвором та індукованим  $n$ -каналом показана на рис. 4.8:  $I_c = f(U_{зв})$  при  $U_{св} = \text{const}$ ; статичні вихідні ВАХ показано на рис. 4.9:  $I_c = f(U_{св})$  при  $U_{зв} = \text{const}$ .

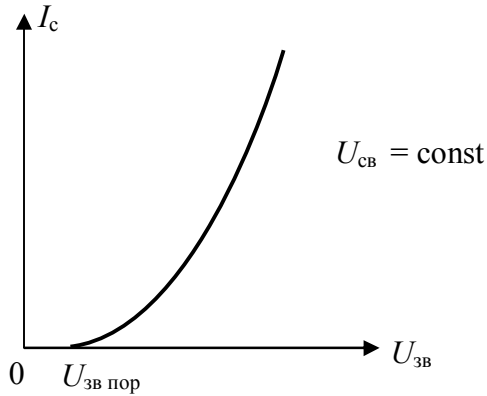


Рисунок 4.8 – Передавальна ВАХ МОН польового транзистора з ізолюваним затвором і індукованим  $n$ -каналом

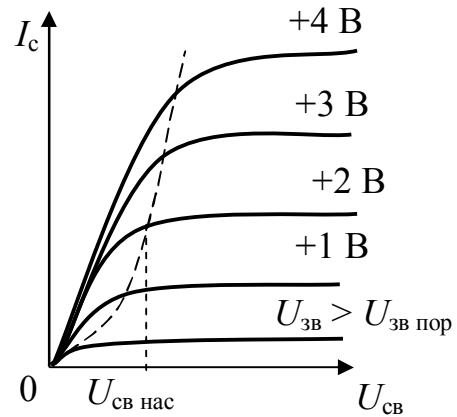


Рисунок 4.9 – Вихідні ВАХ МОН польового транзистора з ізолюваним затвором і індукованим каналом  $n$ -типу

В усіх випадках струм затвора дорівнює нулю  $I_3 = 0$ . Умовні позначення МОН ПТ з ізолюваним затвором надано в табл. 4.1:  $VT6$  – з індукованим каналом  $n$ -типу;  $VT7$  – з індукованим каналом  $p$ -типу.

Польові транзистори з ізолюваним затвором мають переваги відносно температурних, шумових, радіаційних та інших властивостей порівняно з польовими транзисторами з керуючим  $p$ - $n$ -переходом. Крім того, вони мають ще низку переваг. Вхідний опір цих транзисторів на низьких частотах дорівнює опору ізоляції затвору і досягає великих значень  $10^{12} \dots 10^{15}$  Ом. Важливо, що вхідний опір залишається великим за будь-якої полярності напруги  $U_{зв}$ . У польових транзисторів з керуючим  $p$ - $n$ -переходом при прямій напрузі на затворі вхідний опір стає дуже маленьким. У МОН транзисторів кращі також високочастотні властивості.

### 4.3. Граничні експлуатаційні параметри польових транзисторів

У довідковій літературі надаються такі основні граничні експлуатаційні параметри польових транзисторів:

- $U_{св \text{ макс}}$  – максимально допустима напруга стік–витік;
- $U_{зв \text{ макс}}$  – максимально допустима напруга затвор–витік;
- $U_{зс \text{ макс}}$  – максимально допустима напруга затвор–стік;
- $I_{с \text{ макс}}$  – максимально допустимий постійний струм стоку;
- $P_{с \text{ макс}}$  – максимально допустима постійна розсіювана потужність;
- $T_{с \text{ мін}}^\circ \dots T_{с \text{ макс}}^\circ$  – температура навколишнього середовища.

Для різного типу польових транзисторів надають також додаткові експлуатаційні параметри.

#### 4.4. Лінійні моделі польового транзистора

Для польових транзисторів як *формалізована модель* використовується система  $Y$ -параметрів, що зв'язує малі прирости струмів транзистора і напруг на його електродах. Польовий транзистор має три виводи: витік, стік, затвор. При включенні польового транзистора за змінним струмом (для сигналу) як чотириполюсник один з його електродів є спільним між вхідним колом і вихідним. Тому розрізняють три схеми включення польового транзистора за змінним струмом: **зі спільним витоком (СВ)**, **зі спільним затвором (СЗ)**, **зі спільним стоком (СС)**. Найчастіше використовується схема включення зі спільним витоком.

Тому розглянемо формалізовану модель польового транзистора для схеми з СВ, яка представлена системою рівнянь (4.1), що зв'язує прирости струмів і напруг у схемі

$$\begin{cases} dI_3 = \frac{\partial I_3}{\partial U_{3B}} \cdot dU_{3B} + \frac{\partial I_3}{\partial U_{CB}} \cdot dU_{CB}, \\ dI_c = \frac{\partial I_c}{\partial U_{3B}} \cdot dU_{3B} + \frac{\partial I_c}{\partial U_{CB}} \cdot dU_{CB}. \end{cases} \quad (4.1)$$

Прирости незалежних змінних  $dU_{3B}$  і  $dU_{CB}$  розглядають як малі змінні напруги сигналу з комплексними амплітудами  $\underline{U}_{3B}$  і  $\underline{U}_{CB}$ . У цьому випадку збільшення струмів  $dI_3$  й  $dI_c$  будуть являти собою також гармонічні коливання з комплексною амплітудою  $\underline{I}_3$  й  $\underline{I}_c$ , а частинні похідні – комплексні провідності. Позначимо провідності відповідно:  $Y_{11B}$ ,  $Y_{12B}$ ,  $Y_{21B}$ ,  $Y_{22B}$ ; індекс «в» вказує на те, що це параметри для схеми зі спільним витоком (СВ).

Тоді систему рівнянь (4.1) для *малих сигналів* можна записати у наступному вигляді:

$$\begin{cases} \underline{I}_3 = Y_{11B} \underline{U}_{3B} + Y_{12B} \underline{U}_{CB}, \\ \underline{I}_c = Y_{21B} \underline{U}_{3B} + Y_{22B} \underline{U}_{CB}. \end{cases} \quad (4.2)$$

У системі (4.2) позначені наступні диференціальні параметри польового транзистора:

$$Y_{11B} = \left. \frac{\underline{I}_3}{\underline{U}_{3B}} \right|_{\underline{U}_{CB}=0} \quad \text{– вхідна провідність транзистора;}$$

$$Y_{12B} = \left. \frac{\underline{I}_3}{\underline{U}_{CB}} \right|_{\underline{U}_{3B}=0} \quad \text{– провідність зворотної передачі транзистора;}$$

$$Y_{21B} = \left. \frac{\underline{I}_c}{\underline{U}_{3B}} \right|_{\underline{U}_{CB}=0} \quad \text{– провідність прямої передачі транзистора (крутість тран-}$$

зистора);

$$Y_{22B} = \left. \frac{\underline{I}_c}{\underline{U}_{CB}} \right|_{\underline{U}_{3B}=0} \quad \text{– вихідна провідність транзистора.}$$

Всі  $Y$ -параметри визначаються в режимі короткого замикання для змінної складової на протилежній стороні чотириполіусника: на вході ( $U_{\text{св}} = 0$ ) для  $Y_{22\text{в}}$  і  $Y_{12\text{в}}$ , на виході ( $U_{\text{зв}} = 0$ ) для  $Y_{11\text{в}}$  і  $Y_{21\text{в}}$ . У загальному випадку всі  $Y$ -параметри, як і струми, і напруги, є комплексними величинами. Система  $Y$ -параметрів широко використовується для опису високочастотних властивостей транзистора, оскільки режим вимірювання даних параметрів на високій частоті реалізується досить просто.

Розглянемо параметри польового транзистора на низьких частотах. У цьому випадку система рівнянь (4.2) спрощується. Тому що на низьких частотах можна вважати, що струм затвору близький до нуля ( $I_3 \approx 0$ ), то вхідна провідність транзистора дорівнює нулю:  $Y_{11\text{в}} = \left. \frac{I_3}{U_{\text{зв}}} \right|_{U_{\text{св}}=0} \approx 0$ , а вхідний опір польового транзистора  $R_{\text{вх}} = \frac{1}{Y_{11\text{в}}} \rightarrow \infty$ , дуже великий. Провідність зворотного зв'язку

також дорівнює нулю, тому що при  $I_3 = 0$   $Y_{12\text{в}} = \left. \frac{I_3}{U_{\text{св}}} \right|_{U_{\text{зв}}=0} \approx 0$ .

Позначимо провідність прямої передачі  $Y_{21\text{в}} = S$  – крутість транзистора, вихідну провідність  $Y_{22\text{в}} = G_{\text{вих}}$ . Іноді замість вихідної провідності беруть зворотну їй величину  $R_i = \frac{1}{G_{\text{вих}}}$ , яку називають внутрішнім опором транзистора.

Використовуючи ці позначення, система рівнянь (4.2) буде мати тільки одне рівняння (4.3)

$$I_{\text{с}} = S U_{\text{зв}} + G_{\text{вих}} U_{\text{св}}. \quad (4.3)$$

Розглянемо диференціальні параметри польового транзистора.

*Крутість*  $S$  характеризує управляючий вплив напруги затвор–витік  $U_{\text{зв}}$  на струм стоку  $I_{\text{с}}$ . Зазвичай крутість виражають у наступних одиницях: для мало-потужних транзисторів – в міліамперах на вольт (мА/В); для потужних транзисторів – в амперах на вольт (А/В), або в мілісіменсах та сіменсах.

*Вихідна провідність*  $G_{\text{вих}}$  характеризує вплив напруги стік–витік  $U_{\text{св}}$  на струм стоку  $I_{\text{с}}$ . На пологих ділянках вихідних ВАХ польового транзистора вплив напруги  $U_{\text{св}}$  на  $I_{\text{с}}$  малий, тому значення вихідної провідності  $G_{\text{вих}}$  також мале, а значення внутрішнього опору  $R_i$  велике.

Фізична модель польового транзистора показана на рис. 4.10.

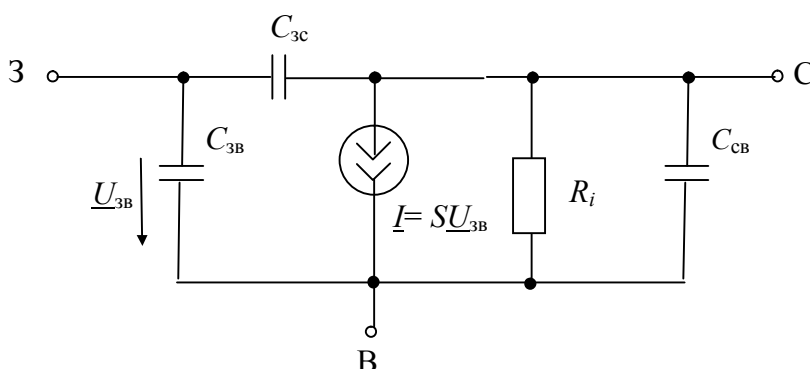


Рисунок 4.10 – П-подібна модель польового транзистора

У моделі рис. 4.10 позначені наступні параметри:  $C_{зв}$  – ємність між затвором і витоком (вхідна ємність ПТ);  $C_{зс}$  – ємність між затвором і стоком (прохідна ємність ПТ);  $C_{св}$  – ємність між стоком і витоком (вихідна ємність ПТ);  $S = \frac{\Delta i_c}{\Delta u_{зв}}$  – крутість статичної наскрізної ВАХ польового транзистора у робочій

точці;  $R_i = \frac{\Delta u_{св}}{\Delta i_c}$  – внутрішній опір польового транзистора, що визначається за статичною вихідною характеристикою у робочій точці.

У моделі зазначені основні виводи польового транзистора: В – витік, З – затвор, С – стік. Цей триполіусник можна використовувати для моделювання будь-якої схеми включення ПТ, якщо сигнал малий порівняно з постійною складовою відповідного струму або напруги.

Частотні властивості польового транзистора зумовлені головним чином впливом міжелектродних ємностей  $C_{зв}$ ,  $C_{зс}$ ,  $C_{св}$ . На надвисоких частотах модель ПТ рис. 4.10 ускладнюють, тому що необхідно враховувати вплив розподілених опорів каналу, стоку і витоку, залежність крутості від частоти, а також вплив індуктивностей ввідів та інших паразитних параметрів польового транзистора.

Залежність модуля крутості  $S$  від частоти можна апроксимувати наступною функцією

$$|S| = \frac{S_0}{\sqrt{1 + \left(\frac{f}{f_s}\right)^2}}, \quad (4.4)$$

де  $S_0$  – значення крутості транзистора на низькій частоті;  $f_s$  – гранична частота провідності прямої передачі, на якій  $|S| = \frac{S_0}{\sqrt{2}}$ .

## 4.5. Робота польового транзистора у схемі

### 4.5.1. Схеми включення польового транзистора за змінним струмом та їх властивості

Подібно біполярному транзистору польовий транзистор для змінного струму (для сигналу) можна включити за однією зі схем: **зі спільним витоком (СВ)**, **зі спільним затвором (СЗ)** або **зі спільним стоком (СС)**. Три схеми включення польового транзистора за змінним струмом без кіл живлення надано на рис. 4.11. Ці схеми за своїми властивостями аналогічні схемам на біполярному транзисторі.

Схема зі спільним витоком (СВ) аналогічна схемі зі спільним емітером (СЕ) (рис. 3.32,а). Тому що у польових транзисторів струм затвору практично дорівнює нулю, то  $I_{вх} = I_3 = 0$ , тому у схемі зі СВ визначається тільки коефіцієнт підсилення напруги  $K = K_u = \frac{U_{вих}}{U_{вх}} = SR_{н\sim}$ , де  $R_{н\sim}$  – опір навантаження змінному



струму;  $S$  – крутість транзистора. Значення коефіцієнта підсилення  $K$  у схемах на малопотужних польових транзисторах зазвичай дорівнює кільком десяткам одиниць.

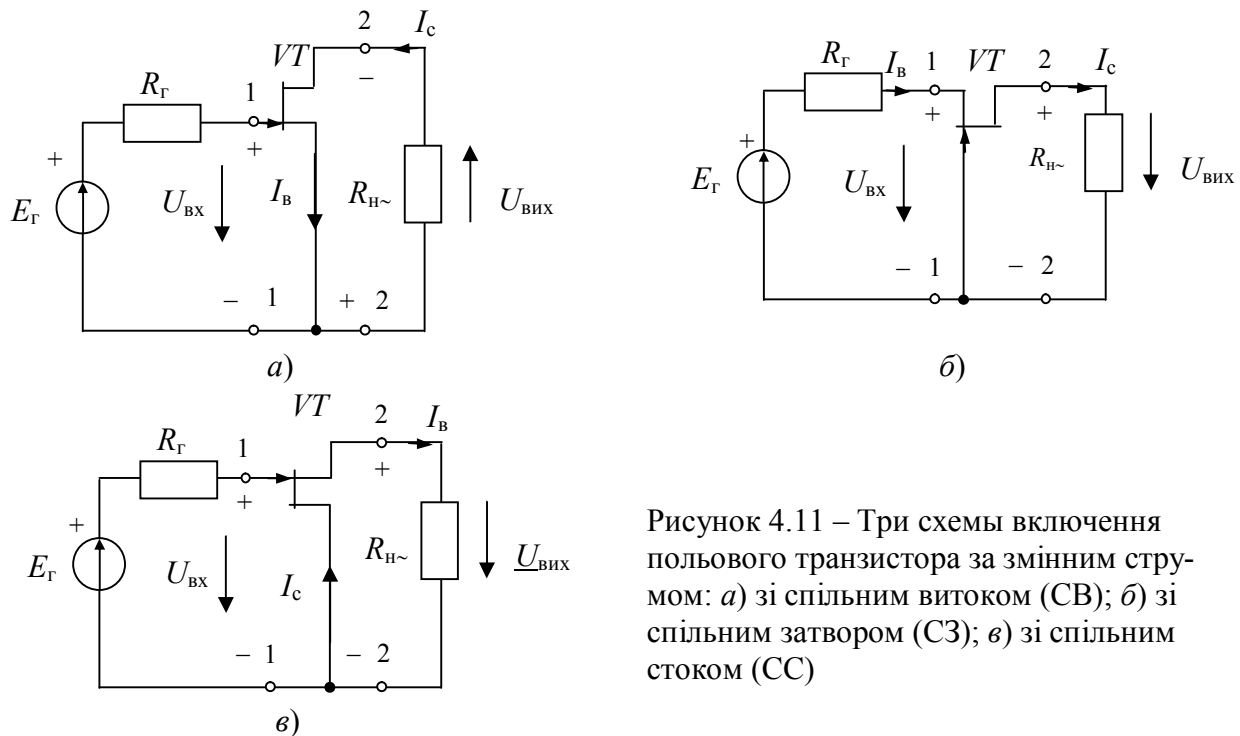


Рисунок 4.11 – Три схеми включення польового транзистора за змінним струмом: а) зі спільним витоком (СВ); б) зі спільним затвором (СЗ); в) зі спільним стоком (СС)

Тому що вхідний опір польового транзистора дуже великий (вважають, що  $R_{\text{вх ПТ}} \rightarrow \infty$ ), то вхідний опір підсилювача зі СВ визначається колами живлення і зазвичай дорівнює (1...5) МОм. Вихідний опір підсилювача з СВ має порядок декількох десятків кОм. Як впливає з рис. 4.11,а, схема з СВ інвертує сигнал: фаза вихідної напруги зміщена на  $\pi$  (протифазна) відносно вхідної напруги. З усіх схем включення польового транзистора схема з СВ має найгірші частотні властивості.

Схема зі спільним затвором (СЗ) аналогічна схемі зі спільною базою (СБ) (рис. 4.11,б). У цій схемі вхідним струмом є струм витоку  $I_{\text{в}}$ , а вихідним – струм стоку  $I_{\text{с}}$ . Але тому що ці струми рівні  $I_{\text{с}} = I_{\text{в}}$ , то схема з СЗ не підсилює струм  $K_i = 1$ , але підсилює напругу  $K_u = SR_{\text{н}\sim}$ . Тому що вхідний струм схеми з СЗ великий ( $I_{\text{вх}} = I_{\text{в}}$ ), то вхідний опір підсилювача з СЗ малий:  $R_{\text{вх}} \approx \frac{1}{S}$ , і має порядок десятків-сотень Ом для малопотужних ПТ. Як впливає з рис. 4.11,б схема з СЗ не інвертує сигнал: фази вхідної і вихідної напруг збігаються. З усіх схем включення польового транзистора схема з СЗ має найкращі частотні властивості.

Схема зі спільним стоком (СС) аналогічна схемі зі спільним колектором (СК) (див. рис. 3.23,в), і тому її частіше називають *витоківим повторювачем*.

Схема з СС не підсилює напругу ( $K_u = \frac{SR_{\text{н}\sim}}{1 + SR_{\text{н}\sim}}$ ),  $K_u$  менший одиниці, але близький до одиниці. Як впливає з рис. 4.11,в, схема з СС не інвертує сигнал, має хороші частотні властивості, має великий вхідний опір і малий вихідний опір:  $R_{\text{вих}} \approx \frac{1}{S}$ . Тому підсилювачі з СС (витоківі повторювачі) використовують як вхідні, вихідні або узгоджувальні каскади.

#### 4.5.2. Підсилювачі на польових транзисторах

Схеми живлення підсилювачів на польових транзисторах відрізняються залежно від режиму роботи польового транзистора ( $A, B, C, D$ ), його типу, полярності напруги зміщення, схеми включення розділяльних або блокувальних конденсаторів. У підсилювачах з безпосереднім зв'язком між каскадами кола живлення виконуються з урахуванням напруг у різних колах.

Як приклади розглянемо підсилювачі на польових транзисторах.

##### Підсилювачі зі спільним витоком

Принципові схеми резисторних підсилювачів зі спільним витоком (СВ) наведені: на рис. 4.12,а – при негативному зміщенні на затворі; на рис. 4.12,б – при позитивному зміщенні на затворі. Шляхи протікання змінних струмів на рис. 4.12 показані пунктирними лініями.

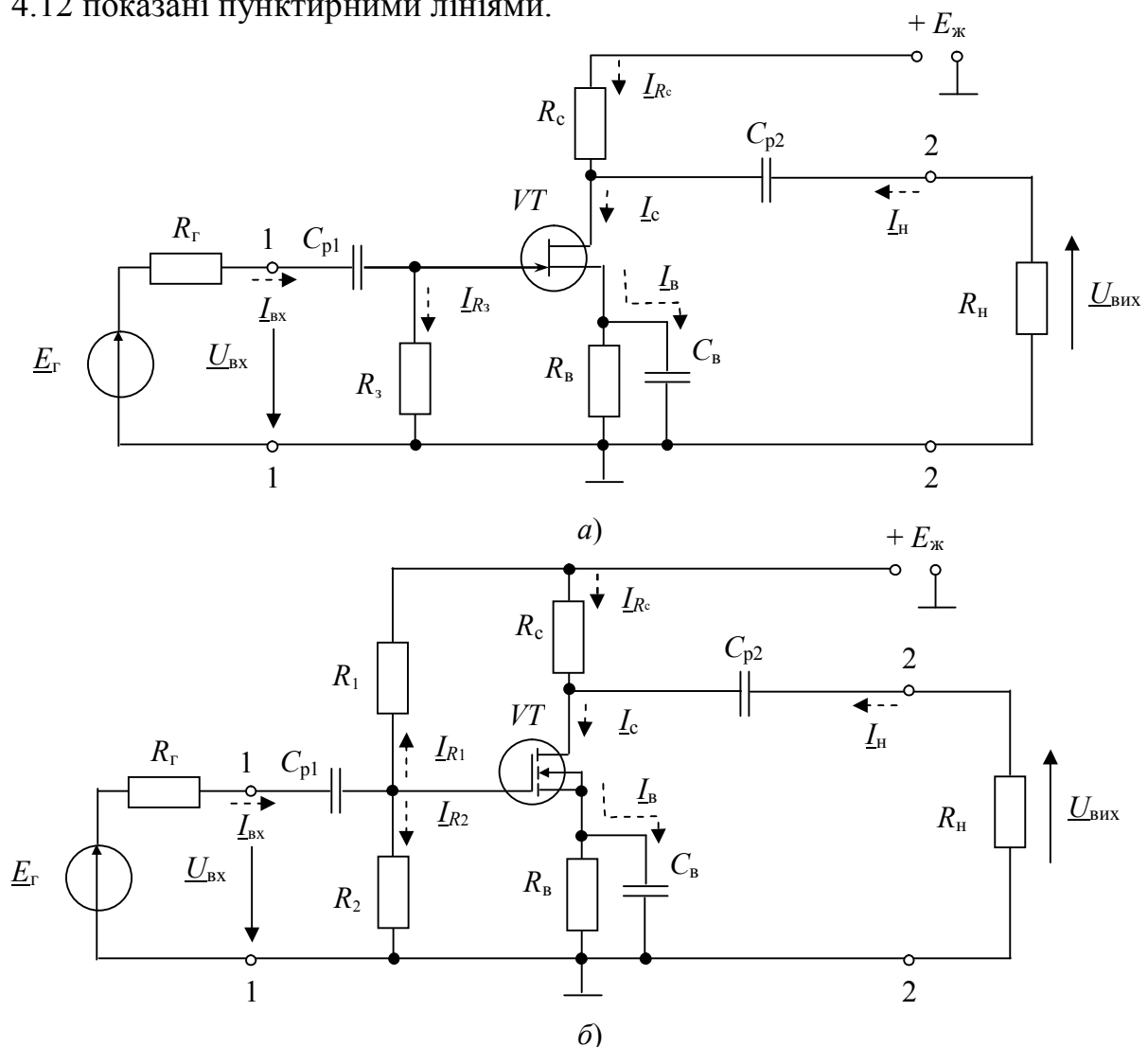


Рисунок 4.12 – Підсилювачі зі спільним витоком: а) при негативному зміщенні на затворі; б) при позитивному зміщенні на затворі

Однотактні підсилювачі (рис. 4.12) працюють в режимі  $A$ , тому робочу точку необхідно вибрати в межах лінійної ділянки передавальної ВАХ польового транзистора.

У схемі підсилювача рис. 4.12,а використаний ПТ з керуючим  $p$ - $n$ -переходом і каналом  $n$ -типу. Як випливає з табл. 4.1, у транзистора типу VT1 для вибору робочої точки на затвор необхідно подати негативну напругу  $U_{зв0}$ . Негативна напруга зміщення у схемі рис. 4.12,а утворюється на резисторі  $R_в$  у колі витоку і дорівнює за модулем  $|U_{зв0}| = I_{c0}R_в$ , де  $I_{c0}$  – постійна складова струму стоку в робочій точці. Резистор у колі затвора  $R_з$  з'єднує затвор з корпусом. Тому що  $I_з = 0$ , то корпус і затвор за постійним струмом еквіпотенційний. Напруга зміщення  $U_{зв0}$  у схемі рис. 4.12,а прямо пропорційна струму  $I_{c0}$ . Таке зміщення називають *автоматичним*, воно дозволяє стабілізувати режим роботи схеми.

У схемі підсилювача рис. 4.12,б використаний МОН ПТ з індукованим каналом  $n$ -типу. Як випливає з табл. 4.1, у транзистора типу VT6 для вибору робочої точки на затвор необхідно подати позитивну напругу  $U_{зв0}$ . Позитивна напруга на затвор у схемі рис. 4.12,б подається за допомогою резистивного подільника напруги  $R_1, R_2$ . У коло витоку включений резистор  $R_в$  для стабілізації режиму роботи схеми. В результаті напруга зміщення дорівнює

$$U_{зв0} = I_d R_2 - I_{c0} R_в,$$

де струм подільника дорівнює

$$I_d = \frac{E_{ж}}{R_1 + R_2}.$$

Щоб опір  $R_з$  у схемі рис. 4.12,а та подільник напруги  $R_d = \frac{R_1 R_2}{R_1 + R_2}$  у схемі

рис. 4.12,б не шунтували входи підсилювачів за змінним струмом (за сигналом), їх вибирають великих значень:  $R_з, R_1, R_2 - (1...2)$  МОм. У колах стоку резистор  $R_c$  служить для подачі живлючої напруги на стік транзистора VT і спільно з опором навантаження  $R_n$  створює опір навантаження для змінного струму

$$R_{н\sim} = \frac{R_c \cdot R_n}{R_c + R_n},$$

$C_{p1}$  і  $C_{p2}$  – розділяльні конденсатори;  $C_в$  – шунтуючий конденсатор, який з'єднує витік з корпусом за змінним струмом. Тому підсилювачі рис. 4.12 мають витік спільним між входом і виходом, тобто є підсилювачами зі спільним витоком.

### ***Підсилювачі зі спільним стоком (витікові повторювачі)***

Принципові схеми резисторних підсилювачів зі спільним стоком (СС) показані: на рис. 4.13,а – при негативному зміщенні на затворі, на рис. 4.13,б – при позитивному зміщенні на затворі. Шляхи протікання змінних струмів на рис. 4.13 показані пунктирними лініями.

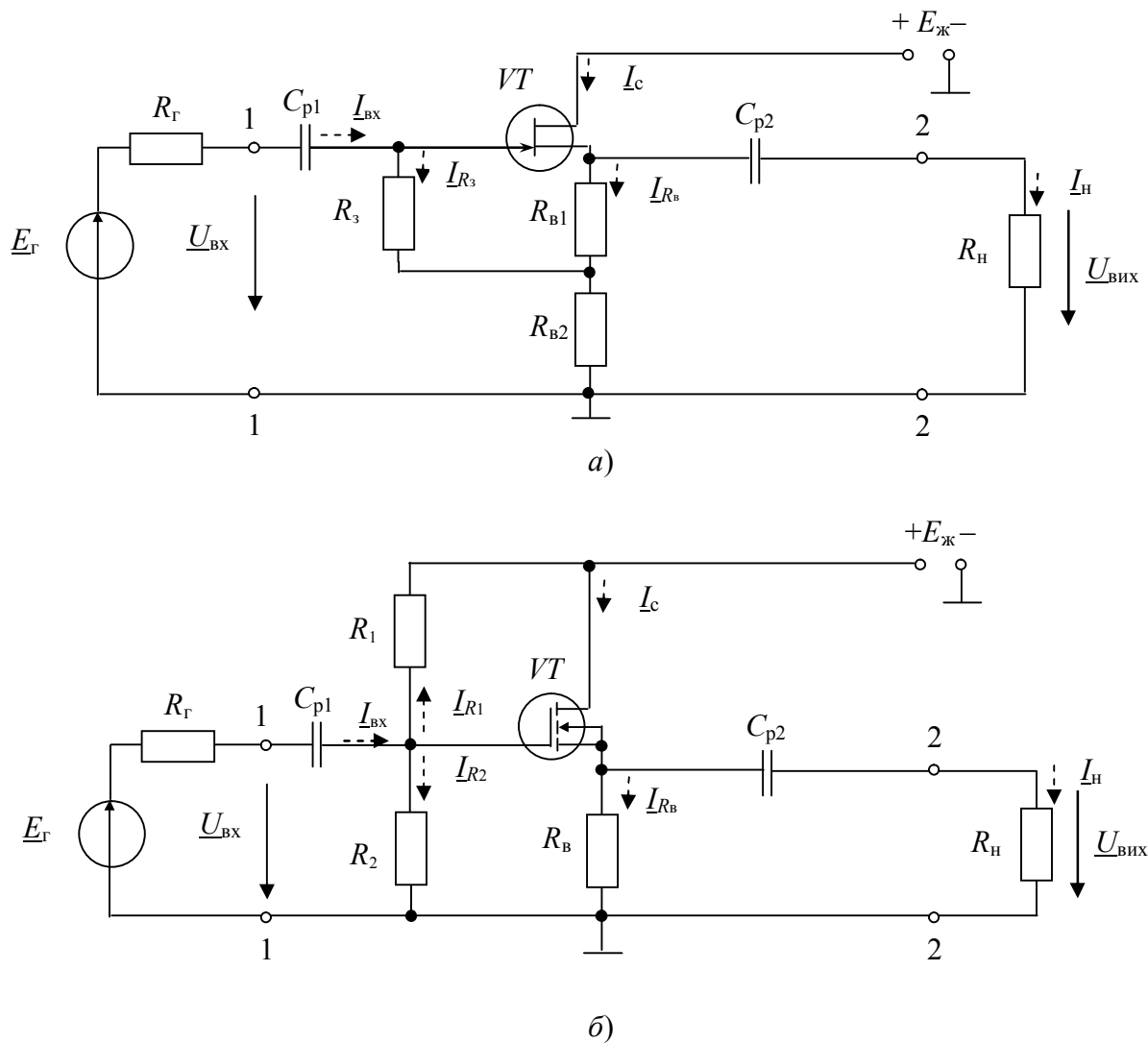


Рисунок 4.13 – Підсилювачі зі спільним стоком (витоківі повторювачі): а) при негативному зміщенні на затворі; б) при позитивному зміщенні на затворі

У схемі рис. 4.13,а опір у колі витоку задано у вигляді двох резисторів  $R_{B1}$  і  $R_{B2}$  ( $R_B = R_{B1} + R_{B2}$ ). Таке включення опору  $R_B$  дозволяє подати необхідну напругу зміщення на затвор

$$|U_{зв0}| = I_{c0} \cdot R_{B1},$$

а також збільшити опір навантаження для змінного струму

$$R_{H\sim} = \frac{R_B R_H}{R_B + R_H}.$$

При цьому також зменшується шунтуюча дія резистора  $R_3$  у вхідному колі каскаду.

В обох схемах рис. 4.13 стоки з'єднані за змінним струмом з корпусом через низькоомні джерела живлення  $E_{ж}$ . Тому підсилювачі рис. 4.13 мають стік спільним між входом і виходом, тобто є підсилювачами зі спільним стоком – виткові повторювачі.

### Двотактний підсилювач зі спільним стоком

Принципова схема двотактного безтрансформаторного підсилювача зі спільним стоком показана на рис. 4.14.

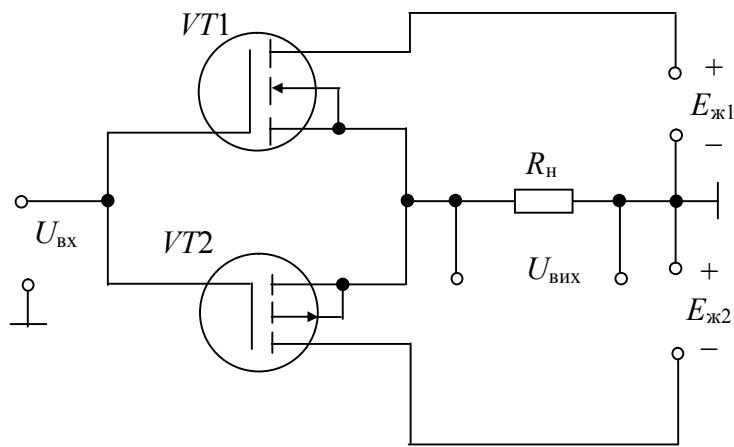


Рисунок 4.14 – Двотактний безтрансформаторний підсилювач зі спільним стоком

У схемі рис. 4.14 використана комплементарна пара МОН польових транзисторів з ізольованим затвором та індукованим каналом:  $VT1$  – з  $n$ -каналом;  $VT2$  – з  $p$ -каналом.

Опір навантаження  $R_Н$  включено у колі витоків обох транзисторів, а стоки за змінним струмом з'єднані з корпусом через низькоомні джерела живлення  $E_{Ж1}$  і  $E_{Ж2}$ . Вважаємо, що джерела живлення  $E_{Ж1}$  і  $E_{Ж2}$  є практично ідеальними генераторами ЕРС, отже, тому їхні внутрішні опори дорівнюють нулю ( $r_i \approx 0$ ). Тому підсилювач (рис. 4.14) називають *двотактним витоківим повторювачем*.

Каскад працює в режимі  $B$ . У стані спокою (за відсутності вхідного сигналу  $U_{ВХ} = 0$ ) обидва транзистора  $VT1$  і  $VT2$  закриті, тому вихідна напруга дорівнює нулю  $U_{ВЫХ} = 0$ .

При подачі вхідної напруги  $U_{ВХ}$  позитивної полярності відкривається транзистор  $VT1$  (з  $n$ -каналом), транзистор  $VT2$  (з  $p$ -каналом) у цей час закритий. Через транзистор  $VT1$  протікає струм стоку  $I_{C1} = I_{B1}$  від плюса джерела живлення  $E_{Ж1}$  через транзистор  $VT1$ , через опір навантаження  $R_Н$  до мінуса джерела живлення  $E_{Ж1}$ , тобто на корпус. На навантаженні утворюється *вихідна напруга*  $U_{ВЫХ} = I_{B1}R_Н$  *позитивної полярності відносно корпусу*.

При подачі вхідної напруги  $U_{ВХ}$  негативної полярності відкривається транзистор  $VT2$  (з  $p$ -каналом), транзистор  $VT1$  (з  $n$ -каналом) у цей час закритий. Через транзистор  $VT2$  протікає струм стоку  $I_{C2} = I_{B2}$  від плюса джерела живлення  $E_{Ж2}$  (тобто від корпусу) через опір навантаження  $R_Н$ , через транзистор  $VT2$  до мінуса джерела живлення  $E_{Ж2}$ . На навантаженні утворюється *вихідна напруга*  $U_{ВЫХ} = I_{B2}R_Н$  *негативної полярності відносно корпусу*.

Якщо схема симетрична, то на навантаженні отримуємо повний період вхідного сигналу. Вихідна напруга і за фазою, і за значенням повторює вхідний сигнал ( $K_u \approx 1$ ). Двотактний витоківий повторювач має великий вхідний опір ( $R_{ВХ} \rightarrow \infty$ ) і малий вихідний опір.

### 4.5.3. Ключі на польових транзисторах

Транзисторні ключі на ПТ широко використовуються у цифровій техніці. Їх суттєвими перевагами перед ключами на біполярних транзисторах є:

- 1) мала залишкова напруга на відкритому ключі;
- 2) мала потужність, споживана від джерела керуючої напруги (сигналу);
- 3) високий ККД при використанні в одному ключі комплементарної пари;
- 4) хороша електрична розв'язка між вхідними і вихідними колами;
- 5) висока технологічність при виконанні мікросхем.

У ключах використовують МОН ПТ з індукованим каналом: транзистори  $VT_6$  і  $VT_7$  у табл. 4.1. Відомі три різновиди МОН-транзисторних ключів, схеми яких показано на рис. 4.15: а) з резистивним навантаженням; б) з динамічним навантаженням; в) ключ на комплементарній парі (КМОН-ключ). В інтегральному виконанні використовують ключі на МОН-транзисторах, схеми яких показано на рис. 4.15,б і 4.15,в.

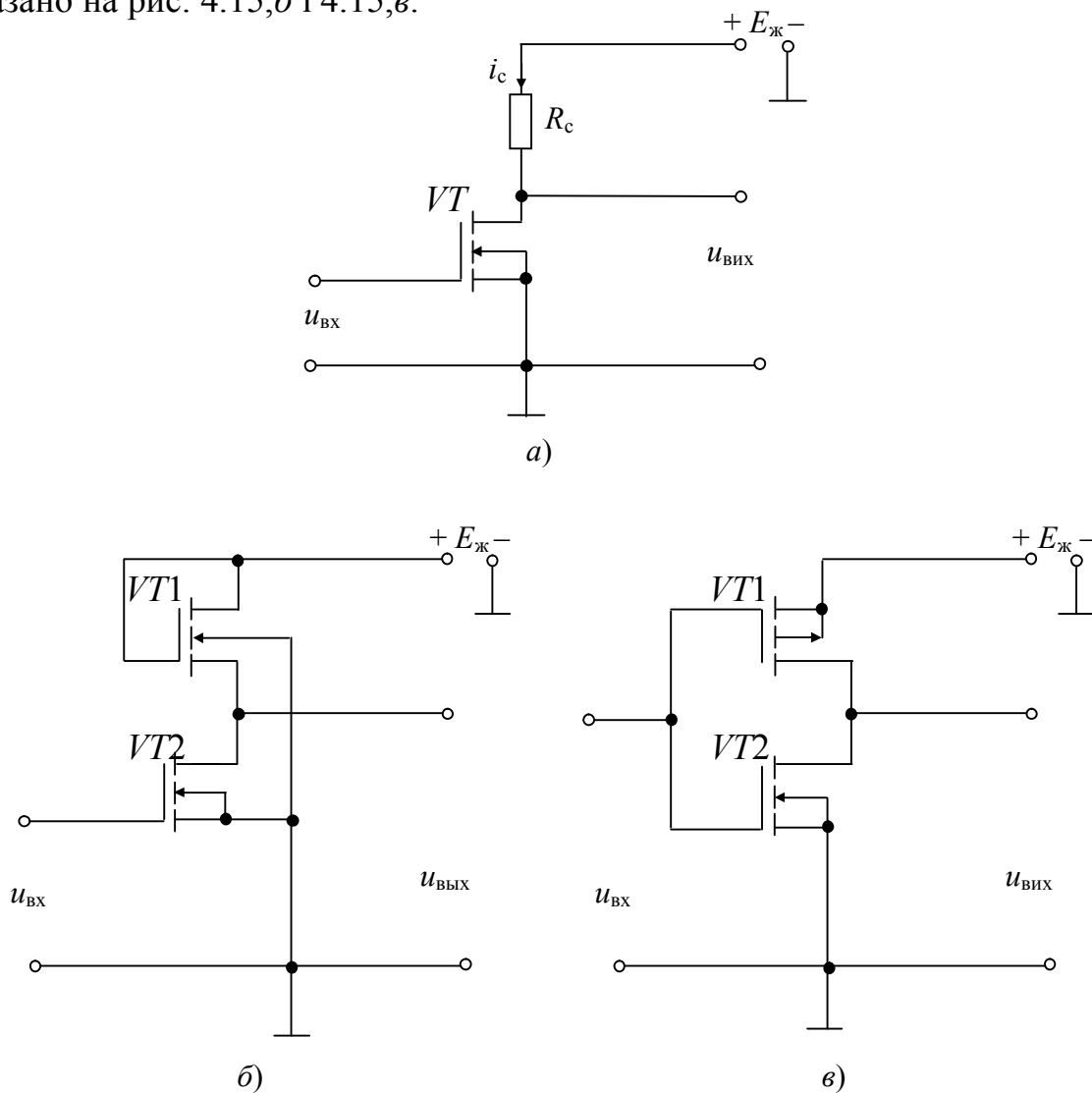


Рисунок 4.16 – Ключі на МОН польових транзисторах: а) з резистивним навантаженням; б) з динамічним навантаженням; в) на комплементарній парі (КМОН-ключ)

**Схему МОН-ключа з резистивним навантаженням** показано на рис. 4.15,а, резистор  $R_c$  служить опором навантаження. Розглянемо роботу ключа за допомогою вихідних ВАХ МОН-транзистора (рис. 4.16).

При низькій вхідній напрузі, що відповідає рівню логічного нуля  $U_{\text{вх}} = U^0 = U_{\text{зв}} < U_{\text{пор}}$ , яка менша порогової напруги МОН-транзистора, транзистор закритий, струм стоку дорівнює нулю  $I_c = 0$ . Робоча точка знаходиться у т. А на вихідних ВАХ транзистора (рис. 4.16). На виході встановлюється висока напруга  $U_{\text{вих}} = U_{\text{св}} = E_{\text{ж}} = U^1$ , що відповідає логічній одиниці.

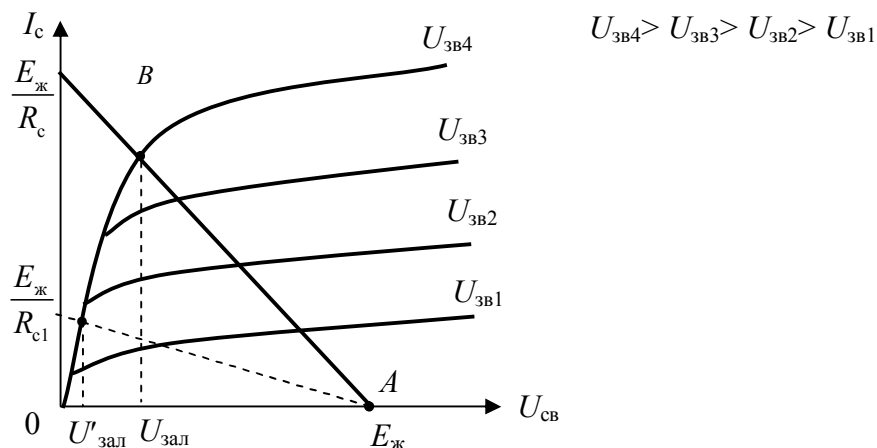


Рисунок 4.16 – Ключовий режим МОН транзистора

При високій вхідній напрузі, що відповідає рівню логічної одиниці  $U_{\text{вх}} = U^1$ , транзистор відкритий. Робоча точка на ВАХ транзистора (рис. 4.16) знаходиться у т. В. На виході встановлюється низька залишкова напруга  $U_{\text{вих}} = U_{\text{зал}} = U^0$ , що відповідає логічному нулю.

Таким чином, значення вихідної логічної величини є інверсією вхідної логічної величини, ключ реалізує операцію інверсії, тобто є інвертором.

У МОН-ключах немає принципового обмеження на значення залишкової напруги  $U_{\text{зал}} = U^0$ , яка дорівнює рівню логічного нуля: залишкову напругу можна зробити якою завгодно малою, збільшуючи опір  $R_c$  і напругу живлення  $E_{\text{ж}}$ . Приклад збільшення опору навантаження зображений на рис. 4.16: значення  $R_{c1} > R_c$ , навантажувальна пряма пройшла нижче, залишкова напруга зменшилася  $U'_{\text{зал}} < U_{\text{зал}}$ . Це одна з найважливіших переваг МОН-ключів перед біполярними, у яких значення  $U^0$  обмежене напругою  $U_{\text{ке нас}}$ .

**Схему МОН-ключа з динамічним навантаженням** показано на рис. 4.15,б. Транзистор VT2 служить основним (активним) транзистором. Роль динамічного навантаження виконує транзистор VT1, в якого затвор з'єднаний зі стоком, тим самим, є двополюсником – резистором. Динамічне навантаження активного транзистора VT2 дорівнює диференціальному опором (вихідному опору  $R_d = \frac{\Delta U_{\text{св}}}{\Delta I_c}$ ) транзистора VT1, значення якого на прямолінійній ділянці вихід-

них ВАХ дорівнює десяткам кілоом. Ключ з динамічним навантаженням дозволяє отримати більш низький рівень логічного нуля  $U^0$ , ніж схема рис. 4.15,а. Схема також реалізує операцію інверсії.

**Схему КМОН-ключа** показано на рис. 4.15,в. У цій схемі використовується комплементарна пара транзисторів (КМОН-транзистори): *основний (активний) транзистор VT2 з індукованим каналом n-типу*, транзистор VT1 з індукованим каналом p-типу.

При подачі на вхід ключа низького позитивного рівня логічного нуля ( $U_{\text{вх}} = U^0 = U_{\text{зв2}}$ ) *основний транзистор VT2 закритий*, тому що  $U_{\text{зв2}} = U^0 < U_{\text{пор}}$ . У цей час між затвором і витоком транзистора VT1 діє велика негативна напруга, що дорівнює  $U_{\text{зв1}} = U_{\text{вх}} - E_{\text{ж}} = U^0 - E_{\text{ж}}$ . Оскільки напруга  $E_{\text{ж}} \gg U^0$ , напруга  $U_{\text{зв2}}$  має негативний знак, тому транзистор VT1 з каналом p-типу *відкритий*.

Тому що основний транзистор VT2 закритий, то вихідна напруга дорівнює високому рівню логічної одиниці  $U_{\text{вих}} = E_{\text{ж}} = U^1$ , при цьому струм стоку у спільному колі дорівнює нулю  $I_{\text{с}} = 0$ . При подачі на вхід ключа високого позитивного рівня логічної одиниці ( $U_{\text{вх}} = U^1 = U_{\text{зв2}}$ ) *основний транзистор VT2 відкритий*. При цьому напруга затвор-витік транзистора VT1, дорівнює  $U_{\text{зв2}} = U^1 - E_{\text{ж}}$ , близька до нуля ( $U_{\text{зв1}} < U_{\text{пор}}$ ), тому що  $U^1 \approx E_{\text{ж}}$ . Тому транзистор VT1 *закритий*.

Оскільки *основний транзистор VT2 відкритий*, то вихідна напруга дорівнює низькому рівню логічного нуля  $U_{\text{вих}} = U_{\text{зал}} = U^0$ . Тому що транзистор VT1 закритий, то струм стоку у спільному колі дорівнює нулю  $I_{\text{с}} = 0$ .

*КМОН-ключ є інвертором*, реалізує операцію інверсії.

Таким чином, у кожному з усталених станів один із транзисторів відкритий, другий – закритий, і ключ у стаціонарних станах практично не споживає струму. Струми у колах транзисторів виникають лише в короткі інтервали часу, в які ключ перемикається з одного стану в інший. *КМОН-ключ споживає малу потужність, має високий ККД*.

*Перехідні процеси у МОН-ключах* зумовлені головним чином перезарядом ємностей транзисторів і паразитних ємностей. Еквівалентну сумарну ємність можна наближено визначити як суму ємностей

$$C_{\text{екв}} = C_{\text{пар}} + C_{\text{сп}} + C_{\text{зв}} + KC_{\text{зс}},$$

де  $C_{\text{пар}}$  – паразитна ємність монтажу відносно підкладки;  $C_{\text{сп}}$  – ємність сток-підкладка;  $C_{\text{зв}}$  – ємність затвор-витік;  $C_{\text{зс}}$  – ємність затвор-стік;  $K$  – коефіцієнт, що враховує вплив внутрішнього негативного зворотного зв'язку через ємність  $C_{\text{зс}}$ .

Значення  $K \approx 10 \dots 30$  дорівнює коефіцієнту підсилення ключа. При цьому вплив ємності  $C_{\text{зс}}$  є домінуючим. Для збільшення швидкодії всіх МОН-ключів необхідно зменшувати сумарну ємність  $C_{\text{екв}}$ .

Поряд зі споживанням малої потужності КМОН-ключ має також і високу швидкодію, тому що ємності схеми швидко перезаряджаються через малий опір того з транзисторів, який на даний момент часу відкритий.

Зазначені переваги КМОН-схем визначили їхнє широке використання у цифрових інтегральних мікросхемах.



### Контрольні питання

1. Дайте визначення польового транзистора.
2. Дайте класифікацію польових транзисторів.
3. Розкажіть принцип дії польового транзистора з управляючим *p-n* переходом.
4. Розкажіть принцип дії польового транзистора з ізольованим затвором і вбудованим каналом.
5. Розкажіть принцип дії польового транзистора з ізольованим затвором і індукованим каналом.
6. Накресліть П-подібну еквівалентну схему ПТ і поясніть її.
7. Назвіть схеми включення ПТ.
8. Накресліть схему підсилювача на ПТ з управляючим *p-n*-переходом зі спільним витоком і розкажіть як вона працює.
9. Накресліть схему ключа на ПТ з резистивним навантаженням і розкажіть як вона працює.
10. Накресліть схему ключа на ПТ з динамічним навантаженням і розкажіть, як вона працює.
11. Накресліть схему КМОН ключа на ПТ і розкажіть як вона працює.
12. Які переваги ключів на ПТ перед ключами на БТ?

## Розділ 5. ТИРИСТОРИ

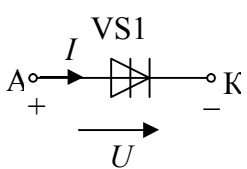
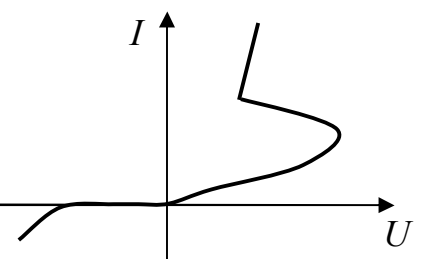
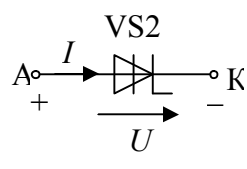
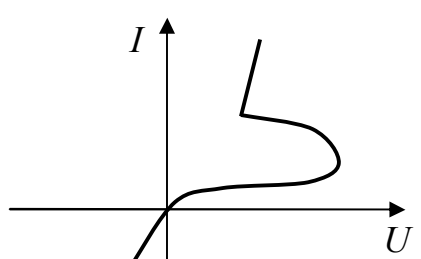
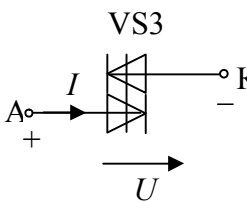
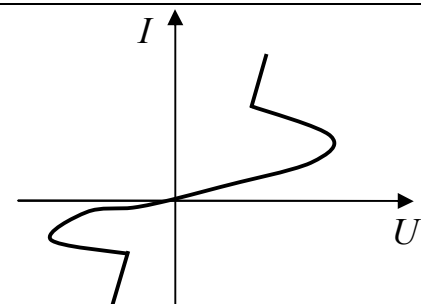
### 5.1. Принцип дії тиристора

**Тиристор** – це напівпровідниковий прилад з трьома і більше взаємодіючими  $p$ - $n$ -переходами, вольтамперна характеристика якого має ділянку з негативним диференціальним опором.

На основі  $p$ - $n$ - $p$ - $n$ -структури створено низку тиристорних приладів, умовні позначення та вольтамперні характеристики яких надано в табл. 5.1. Тиристор, що має два виводи, називається *діодним тиристором (диністором)*. Тиристор, що має два основних і один керуючий виводи, називається *триодним тиристором (триністором)*. Тиристор, що має симетричну відносно початку координат вольтамперну характеристику, називається *симетричним тиристором (симістором)*.

Тиристори мають широкий діапазон застосування: як комутатори струму, інвертори, випрямлячі з регульованою вихідною потужністю, генератори імпульсів та інші схеми. Малопотужні швидкодіючі тиристори використовуються в різних схемах автоматики.

Таблиця 5.1 – Умовні позначення та ВАХ тиристорів

№ п/п	Найменування	Умовне позначення	Вольтамперна характеристика
1	Тиристор діодний, який запирається у зворотному напрямку		
2	Тиристор діодний, який проводить у зворотному напрямку		
3	Тиристор діодний симетричний		

4	Тиристор тріодний, який запирається у зворотному напрямку, з керуванням: по катоду VS4, по аноду VS5		
5	Тиристор тріодний, який проводить у зворотному напрямку, з керуванням: по катоду VS6, по аноду VS7		

Діодні та тріодний тиристори пропускають робочий струм тільки в одному напрямку, що обмежує можливість їхнього застосування для регулювання змінного струму. Для цього розроблені двосторонні напівпровідникові структури *n-p-n-p-n*-типу – *симістори*. Промисловість випускає тиристори з робочими струмами від часток ампера до 1000 А і з напругами включення від одиниць до 1000 В. Структуру і схему включення триністора показано на рис. 5.1,а.

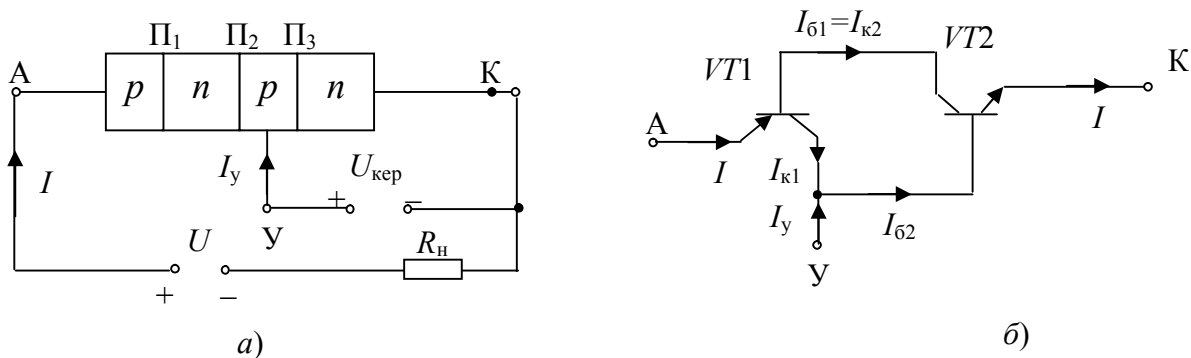


Рисунок 5.1 – Триністор: а) структура та схема включення; б) модель триністора

На рис. 5.1,а позначені: А – анод; К – катод; К – керуючий електрод. Тиристор має три *p-n*-переходи, причому переходи П1 і П2 працюють при прямій напрузі, а середній перехід П2 – при зворотній напрузі. Тиристор можна подати у вигляді моделі, що складається з двох біполярних транзисторів *VT1* і *VT2* типу *p-n-p* і *n-p-n*, з'єднаних так, як показано на рис. 5.1, б. З моделі випливає, що переходи П1 і П3 є емітерними переходами транзисторів *VT1* і *VT2*, а перехід П2 в обох транзисторах працює як колекторний перехід. Тому переходи П1 і П3 називають емітерними, а перехід П2 – колекторним. Вольт-амперна характеристика триністора показана на рис. 5.2.

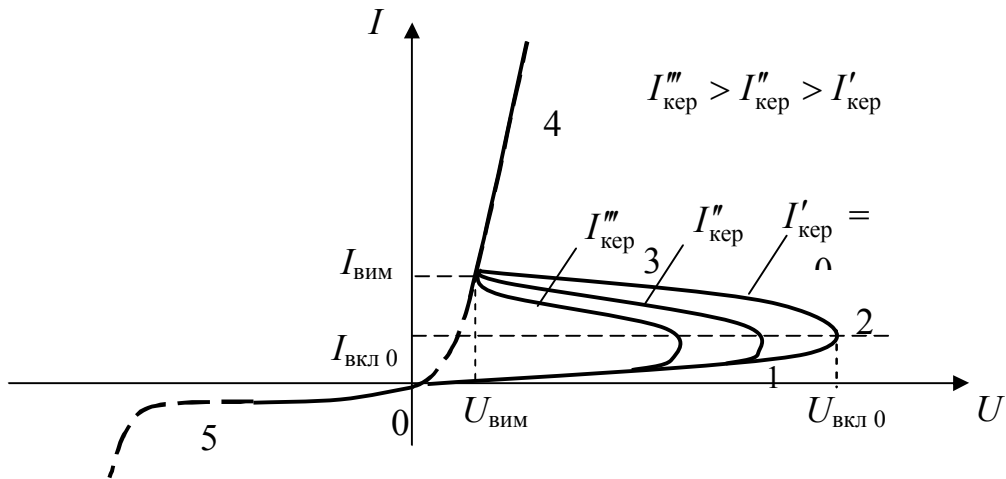


Рисунок 5.2 – Вольтамперна характеристика триністора

На ВАХ можна виділити п'ять основних ділянок: 1 – запертого стану, коли струм через тиристор визначається струмом обернено зміщеного колекторного переходу П2; 2 – оборотного електричного пробую; 3 – негативного опору; 4 – включеного стану, коли струм через тиристор визначається величиною опору зовнішнього навантаження; 5 – зворотної напруги.

Якщо збільшувати напругу джерела живлення  $U$  при струмі керуючого електрода  $I_{упр} = 0$ , струм тиристора збільшується незначно (ділянка 1), поки напруга не стане рівною напрузі  $U_{вкл}$ . На ділянці 2 відбувається оборотний електричний пробій колекторного переходу П2. Збільшення струму через прилад супроводжується зменшенням напруги між анодом і катодом, диференціальний опір приладу носить негативний характер (ділянка 3). Напруга на резисторі навантаження зростає і відбувається перемикання тиристора. Колекторний перехід П2 переходить у відкритий стан. ВАХ має вигляд, що відповідає прямій гілці діода (ділянка 4). Далі при збільшенні напруги  $U$  тиристор поводить себе як звичайний діод. Якщо струм  $I$  через тиристор зменшувати (зменшувати напругу  $U$ ), то при деякому значенні струму  $I_{вим}$  (напруга  $U_{вим}$ ) струм  $I$  різко зменшується, тиристор переходить стрибком назад у закритий стан.

Якщо прикласти до тиристора напругу зворотної полярності, то емітерні переходи виявляються закритими. У цьому випадку ВАХ тиристора нагадує зворотну гілку звичайного діода (ділянка 5). При дуже великих зворотних напругах спостерігається необоротний пробій тиристора. Напруга  $U_{вкл}$  залежить від струму керуючого електрода  $I_{упр}$ : зі збільшенням струму  $I_{упр}$  напруга  $U_{вкл}$  зменшується.

Основною відмінністю і перевагою тиристорної структури порівняно з транзисторною є те, що тиристор має властивість пам'яті. Достатньо короткочасним сигналом переключити його у провідний стан, як він залишиться у цьому стані до тих пір, поки струм через нього не стане меншим струму вимикання –  $I_{вим}$ . Для керування транзистором на його вході безперервно треба підтримувати сигнал. У тиристорних схемах через лавиноподібне перемикання форма вихідного сигналу практично не залежить від величини і форми вхідного. Це дозволяє отримати в тиристорних схемах дуже великі коефіцієнти підсилення потужності, великий ККД і круті фронти імпульсних сигналів.

## Електричні параметри тиристорів

До основних електричних параметрів тиристорів відносяться:

$U_{\text{вкл}}$  – максимальна пряма напруга, називана *напругою включення*;

$I_{\text{вкл}}$  – анодний струм включення;

$U_{\text{вим}}$  – анодна напруга вимикання;

$I_{\text{вим}}$  – анодний струм вимикання;

$I_{\text{доп}}$  – максимально допустимий анодний струм у відкритому стані;

$U_{\text{зал}}$  – залишкова напруга, тобто падіння напруги на тиристорі у відкритому стані при максимально допустимому анодному струмі;

$I_{\text{у вкл}}$  – струм включення керуючого електрода;

$U_{\text{проб}}$  – напруга пробою;

$U_{\text{зв макс}}$  – максимально допустима зворотна напруга, за якої забезпечується задана надійність приладу.

Параметрами тиристорів є також час включення  $t_{\text{вкл}}$ , час виключення  $t_{\text{викл}}$  і загальна ємність  $C_0$ .

## 5.2. Робота тиристора у схемі

### Керований випрямляч

Керовані випрямлячі дозволяють одночасно з випрямленням змінної напруги здійснити плавне регулювання середнього значення випрямленої напруги в широких межах. Зазвичай керовані випрямлячі будують за тими самими схемами, що й некеровані, однак використовують кремнієві керовані діоди – *тиристори*. Включення тиристорів здійснюється подачею імпульсу від схеми керування на керуючий електрод тиристора. Схема керованого однофазного однопівперіодного випрямляча показана на рис. 5.3, а. Часові діаграми вхідної  $U_{\text{вх}}$  і вихідної  $U_{\text{вих}}$  напруг показані на рис. 5.3, б.

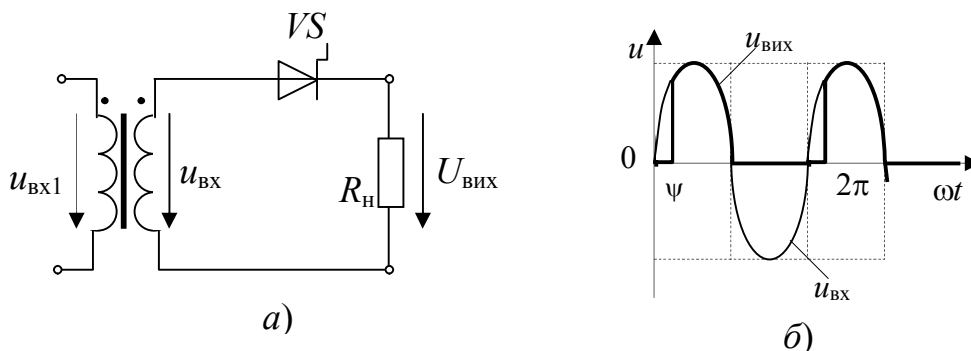


Рисунок 5.3 – Керований однопівперіодний випрямляч: а) схема; б) часові діаграми вхідної і вихідної напруг

### Автогенератор на диністорі

Генератори і формувачі на діодних тиристорах (диністорах) застосовуються для формування імпульсних сигналів у пристроях обчислювальної техніки і малопотужних релейних й комутаційних пристроях засобів автоматики. Найпростішу схему автогенератора потужних імпульсів струму на диністорі показано на рис. 5.4.

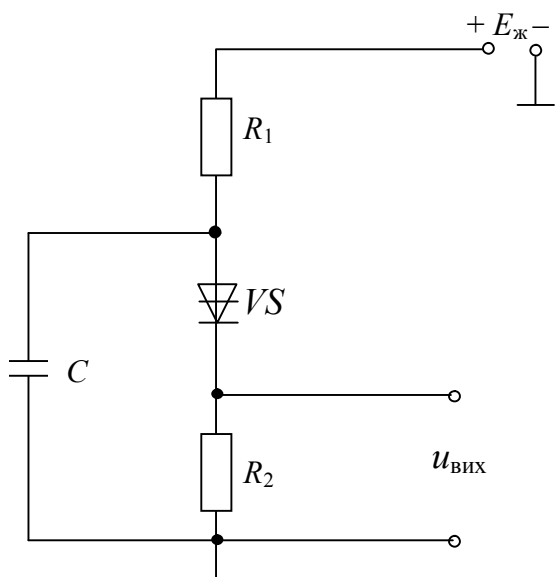


Рисунок 5.4 – Автогенератор на диністорі

Щоб схема працювала в автоколи-  
вальному режимі, необхідно виконання  
умов

$$E_{\text{ж}} > U_{\text{вкл}} \quad \text{і} \quad R_1 \gg R_2.$$

При закритому діодному тиристорі  
 $VS$  конденсатор  $C$  заряджається через  
резистор  $R_1$ . Коли напруга на конденсаторі  
досягне величини  $U_{\text{вкл}}$ , тиристор  
включається, і конденсатор швидко  
розряджається через малий опір тиристора  
 $VS$  і резистор  $R_2$ . При розряді конденсатора  
струм через тиристор падає. Коли він  
досягне величини  $I_{\text{вим}}$ , тиристор стрибком  
повертається у початковий стан  
(вимикається), і цикл повторюється. При  
цьому формуються короткі потужні

імпульси струму, період проходження яких дорівнює

$$T = t_i + t_{\text{п}},$$

де  $t_i$  – тривалість імпульсу

$$t_i = CR_2 \ln \frac{U_{\text{вкл}}}{I_{\text{вкл}} \cdot R_2},$$

$t_{\text{п}}$  – тривалість паузи

$$t_{\text{п}} = CR_1 \ln \frac{E_{\text{ж}}}{E_{\text{ж}} - U_{\text{вкл}}}.$$

Така схема генератора імпульсів струму при малих опорах навантаження (до 100 Ом) дозволяє отримати імпульси струму до декількох ампер і тривалістю фронту менше 0,1 мкс.

Принципи побудови імпульсних схем на тріодних тиристорах багато в чому подібні схемам на діодних тиристорах. Відмінність полягає у схемах кіл керування. Як і на діодних, на тріодних тиристорах можна побудувати схеми мультивібраторів, одновібраторів, тригерів, однак найбільш широкого застосування тріодні тиристори знаходять у схемах формування потужних імпульсів. Вихідні імпульси формувачів використовуються для запуску модуляторів радіолокаційних станцій, підпалу імпульсних ламп та ігнітронів, керування силовими тиристорами, збудження напівпровідникових оптичних квантових генераторів, імпульсного живлення магнітних елементів та в інших пристроях.

### Тиристорні ключі

Тиристори складають найбільш широкий клас напівпровідникових приладів з від'ємним опором. Вони призначені, в основному, для комутації струмів і напруг у схемах з великими струмами. Для забезпечення роботи тиристорного ключа у двох стійких режимах його навантажувальна пряма

повинна перетинати вольтамперну характеристику у трьох точках (1, 2, 3) (рис. 5.5), з яких положення 1 і 3 є стійкими.

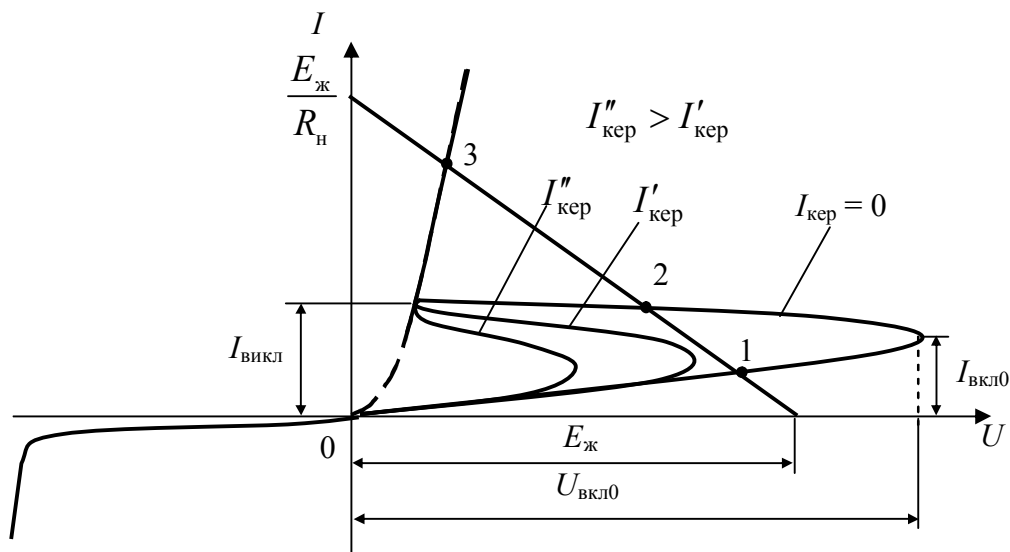


Рисунок 5.5 – Діаграма роботи тиристорного ключа

Якщо за відсутності вхідного сигналу прикладена до тиристорів пряма напруга не перевищує  $U_{вкл}$ , то ключ знаходиться у закритому стані. Перемикання тиристора із закритого стану у відкритий повинне здійснюватися подачею відпираючого імпульсу до кола керування тріодних і запірних тиристорів. Побудова і розрахунок кіл відпирання, вимикання та запирання тиристорних ключів є головними завданнями, які доводиться вирішувати при проектуванні тиристорних пристроїв.

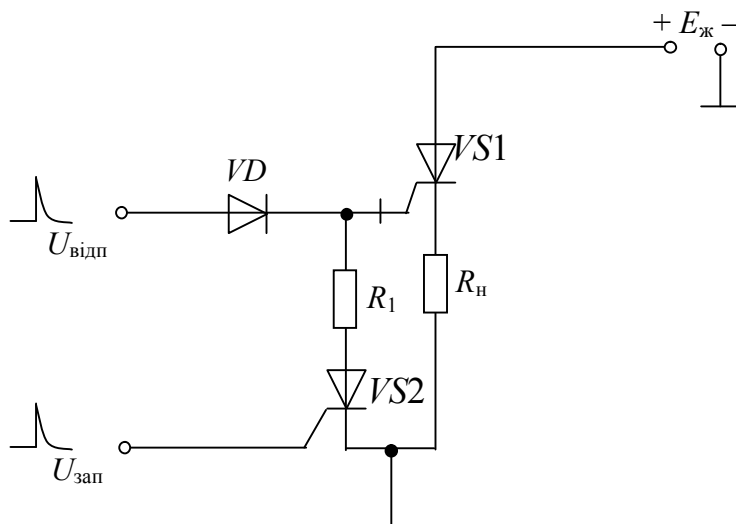


Рисунок 5.6 – Схема ключа на тиристорах

Схему ключа на двох тиристорах показано на рис. 5.6:  $VS1$  – запірний тиристор,  $VS2$  – тріодний тиристор.

У відсутності запираючого сигналу  $U_{зап}$  тиристор  $VS2$  замкнений, а тиристор  $VS1$  може бути включений сигналом  $U_{відп}$ . При надходженні сигналу  $U_{зап}$  ключ

запiрного кола вiдкривається, пропускаючи через себе струм запирання тиристора  $V_{S1}$ .

### **Контрольнi питання**

1. Дайте визначення тиристора.
2. Дайте класифiкацiю тиристорiв.
3. Розкажiть принцип дiї тринiстора.
4. Назвiть електричнi параметри тиристорiв.
5. Накреслiть схему однопiвперiодного випрямляча на тринiсторi i пояснiть як вона працює.
6. Накреслiть схему ключа на тиристорах i пояснiть як вона працює.



## Розділ 6. ЕЛЕКТРОВАКУУМНІ ПРИЛАДИ

**Електровакуумними** називають прилади, принцип дії яких заснований на використанні електричних явищ у вакуумі або газі. Електровакуумні прилади поділяються на електронні та іонні.

В **електронних** електровакуумних приладах проходження електричного струму здійснюється вільними електронами. Робочим середовищем цих приладів є вакуум, який забезпечується газонепроникною оболонкою. Сімейство електровакуумних приладів об'єднує кілька груп приладів: електронні лампи, електронно-променеві прилади, електровакуумні фотоелектронні прилади та інші.

В електронних електровакуумних приладах управління вільними електронами здійснюється за допомогою електричних або магнітних полів. Для отримання потоку вільних електронів у приладах використовується спеціальний електрод – *катод*. Процес виходу електронів з катода називається *електронною емісією*. Найчастіше використовується термоелектронна емісія, за якої додаткова енергія електронам для виходу з катода надається при нагріванні. Використовуються катоди прямого і непрямого накалу, більш поширеними є катоди непрямого накалу, хоча вони мають значну теплову інерцію.

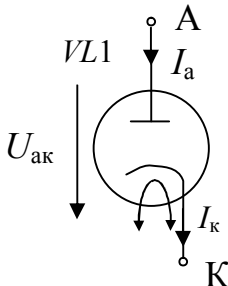
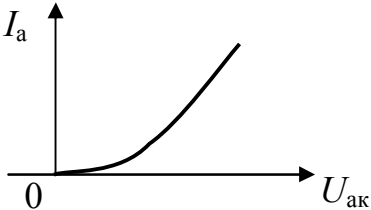
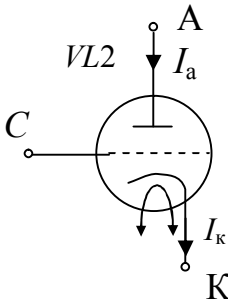
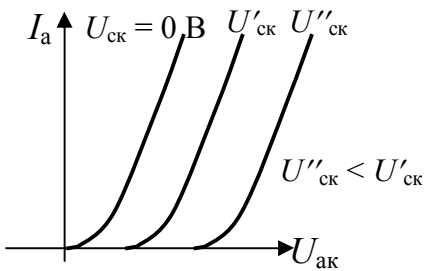
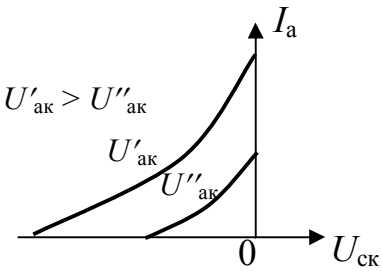
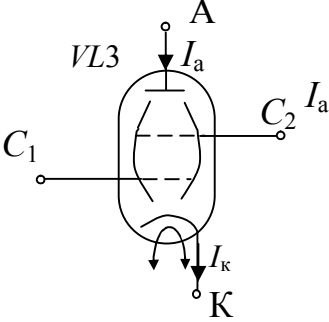
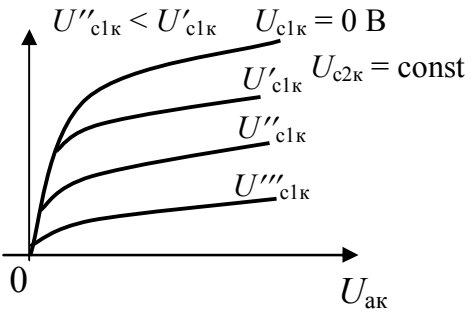
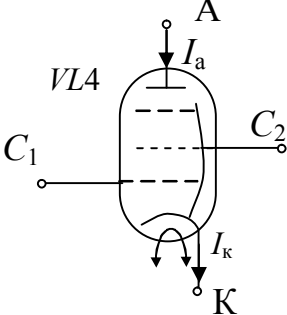
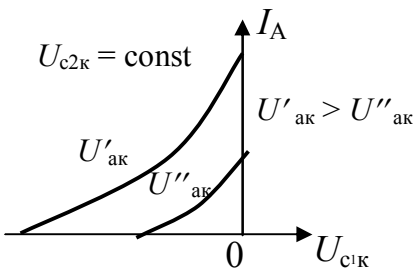
У **іонних** електровакуумних приладах використовується електричний розряд у газі, тому їх часто називають *газорозрядними*. Залежно від виду електричного розряду розрізняють прилади тліючого розряду, дугового розряду та ін. Іонний прилад зазвичай являє собою скляний балон, заповнений інертним газом, воднем або парами ртуті, усередині якого розміщують електроди. Іонні прилади відрізняються від електронних тим, що у їхній роботі використовуються як вільні електрони, так і іони газу.

### 6.1. Електронні лампи

В електронних лампах управління рухом електронів, емітованих катодом, здійснюється за допомогою електричних полів. Для створення електричних полів до електродів підключаються зовнішні джерела напруги. Значення напруг на електродах і струми у їхніх колах визначають електричний режим роботи лампи. В технічних умовах зазначаються номінальний та граничний режими роботи лампи. *Номінальний режим* характеризує умови роботи, на які розрахований даний прилад. *Граничний режим* визначає максимально або мінімально допустимі значення параметрів режиму.

Залежно від числа електродів розрізняють двоелектродні лампи – *діоди*, триелектродні лампи – *тріоди*, чотириелектродні лампи – *тетроди*, п'ятиелектродні лампи – *пентоди* та інші багатосіткові лампи. Для ефективної емісії електронів катодом електронна лампа кожного типу має також коло накалу для підігріву катода. Принцип дії, особливості характеристик та деякі застосування електронних ламп розглянуто далі. У табл. 6.1 надано умовні позначення та ВАХ електронних ламп.

Таблиця 6.1 – Умовні позначення та ВАХ електронних ламп

№ з/п	Найменування	Умовне позначення	Вольтамперні характеристики
1	Діод		
2	Тріод		 
3	Променевий тетрод		Характеристики однакові у променевому тетроді й пентоді 
4	Пентод		

### 6.1.1. Діод

Найпростішою електронною лампою є діод. Вакуумний діод складається з катода К, який є джерелом електронів, і анода А. Електроди діода розташовані у скляному або металевому балоні, в якому створено високий вакуум. Умовне позначення діода і його статична вольтамперна характеристика надано у табл. 6.1.

При нагріванні катода виникає термоелектронна емісія, при подачі між анодом і катодом позитивної напруги  $U_{ак}$  у проміжку анод–катод створюється прискорююче поле і виникає електричний струм. У зовнішньому колі протікає анодний струм  $I_a = I_k$ , напрям якого протилежний напрямку руху електронів, тобто струм протікає від анода до катода. При подачі негативної напруги  $U_{ак}$  електричне поле стає гальмуючим для електронів, при цьому анодний струм практично відсутній ( $I_a = 0$ ).

Основна властивість діода – здатність проводити струм тільки в одному напрямку, тобто діод має *однобічну провідність* і подібно напівпровідниковому діоду може випрямляти змінний струм. Все зазначене про роботу випрямляльних схем з напівпровідниковими діодами справедливо для схем випрямлення за допомогою вакуумних діодів. Особливість вакуумних діодів – відсутність зворотного струму.

Вакуумні діоди, які застосовані для випрямлення змінного струму електромережі, тобто для перетворення його в постійний струм, називають *кенотронами*. Вони використовуються в пристроях живлення радіоелектронної апаратури. Кенотрони можуть працювати при високих зворотних напругах – сотні і тисячі вольт.

Діоди використовуються також для перетворення височастотних коливань: детектування, модуляції, перетворення частоти. Такі діоди прийнято називати *височастотними діодами*. Ці лампи мають невеликі розміри, ємність  $C_{ак}$  повинна бути невеликою.

Граничні експлуатаційні дані електровакуумного діода:

- 1) максимально допустима потужність розсіювання на аноді –  $P_{а макс}$ ;
- 2) максимально допустима зворотна напруга діода –  $U_{ак зв макс}$ .

### 6.1.2. Тріод

Тріодом називається електронна лампа, в якій між анодом і катодом розташований управляючий електрод – *сітка С*. За наявності сітки число електронів, що потрапляють на анод, і, отже, анодний струм залежать не тільки від величини анодної напруги, але й від величини та полярності напруги між сіткою і катодом. Змінюючи потенціал сітки, можна управляти анодним струмом. Тому сітка в тріоді називається *управляючою*. Умовне позначення тріода і його ВАХ надано в табл. 6.1.

Сітку розташовують поблизу катода, завдяки цьому напруга сітка-катод  $U_{ск}$  більше впливає на анодний струм, ніж напруга анод-катод  $U_{ак}$ . Це видно зі статичних характеристик тріода: вихідних (анодних)  $I_a = f(U_{ак})$  при  $U_{ск} = const$  і

передавальних (анодно-сіткових)  $I_a = f(U_{ck})$  при  $U_{ak} = \text{const}$ . При позитивній напрузі на сітці електронні лампи використовуються рідко, тому що при цьому виникає сітковий струм і вхідний опір лампи різко зменшується.

Таким чином, за допомогою зміни невеликої напруги  $U_{ck}$  можна управляти великими змінами анодного струму  $I_a$ . Ця властивість тріода дозволяє його використовувати як підсилювальний елемент.

Катод, сітка і анод аналогічні відповідно емітеру, базі і колектору біполярного транзистора або витоку, затвору і стоку польового транзистора.

Основний і корисний струм у тріоді – анодний струм  $I_a$ . При негативній напрузі сітка-катод струм сітки дорівнює нулю ( $I_c = 0$ ), вхідний опір тріода виходить дуже великим, можна вважати  $R_{вх} \rightarrow \infty$ . У цьому випадку  $I_a = I_k$ . З позитивною напругою сітка-катод  $U_{ck}$  працюють тільки *генераторні й імпульсні тріоди*.

Граничні експлуатаційні параметри тріода:

1)  $P_{a \text{ макс}}$  – максимально допустима постійна потужність розсіювання на аноді

2)  $U_{ak \text{ макс}}$  – максимально допустима анодна напруга;

3)  $I_{a \text{ макс}}$  – максимально допустимий анодний струм.

Крім того зазначається напруга накалу  $U_n$  і струм накалу  $I_n$ .

### Малосигнальна модель тріода

Для малого сигналу (для змінного струму) використовується П-подібна модель тріода, рис. 6.1. Модель аналогічна П-подібній моделі польового транзистора (рис. 4.10).

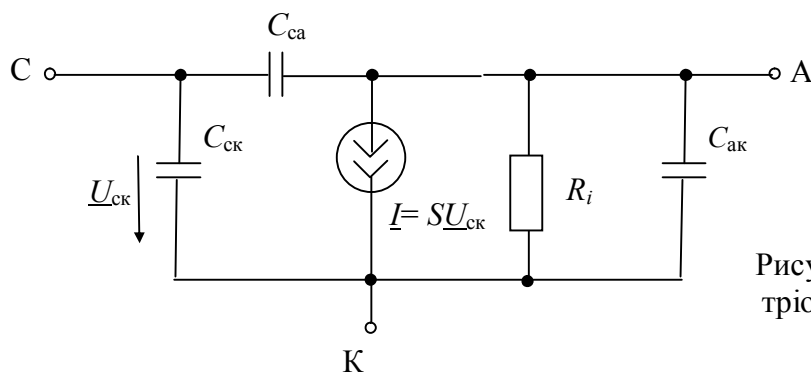


Рисунок 6.1 – П-подібна модель тріода

У цій моделі наведені:

$S = \left. \frac{\Delta I_a}{\Delta U_{ck}} \right|_{U_{ak}=\text{const}}$  – *крутість* анодно-сіткової характеристики у робочій точці;

$R_i = \left. \frac{\Delta U_{ak}}{\Delta I_a} \right|_{U_{ck}=\text{const}}$  – *внутрішній опір*, який визначається по анодній характеристиці тріода в робочій точці;

$C_{ck}$ ,  $C_{ca}$ ,  $C_{ak}$  – міжелектродні ємності тріода.

Для тріода часто використовується параметр  $\mu = \left. \frac{\Delta U_{\text{ак}}}{\Delta U_{\text{ск}}} \right|_{I_{\text{а}}=\text{const}} = SR_i$ , який

називається *статичним коефіцієнтом підсилення тріода*.

Вплив міжелектродних ємностей лампи суттєво позначається на роботі РЕА на високих частотах, оскільки зі збільшенням частоти опори ємностей зменшуються. Вхідна ємність  $C_{\text{ск}}$  шунтує вхід лампи, з'являється паразитний струм цієї ємності, а напруга на вході тріода зменшується при незмінній ЕРС джерела сигналу. Це призводить до зменшення підсилення каскаду. Вихідна ємність  $C_{\text{ак}}$  шунтує навантаження, повний опір навантаження зменшується, що також призводить до зменшення підсилення на високих частотах.

Найбільш шкідливою є прохідна ємність  $C_{\text{са}}$ , оскільки через неї існує зворотний зв'язок між анодним і сітковим колами. З підвищенням частоти опір ємності  $C_{\text{са}}$  зменшується і напруга зворотного зв'язку на ділянці сітка-катод збільшується. Зворотний зв'язок змінює параметри та характеристики підсилювача.

Аналогічно каскадам на біполярних і польових транзисторах використовуються три схеми включення тріода за змінним струмом (за сигналом): зі спільним катодом – рис. 6.2,а; зі спільною сіткою – рис. 6.2,б; зі спільним анодом – рис. 6.2,в.

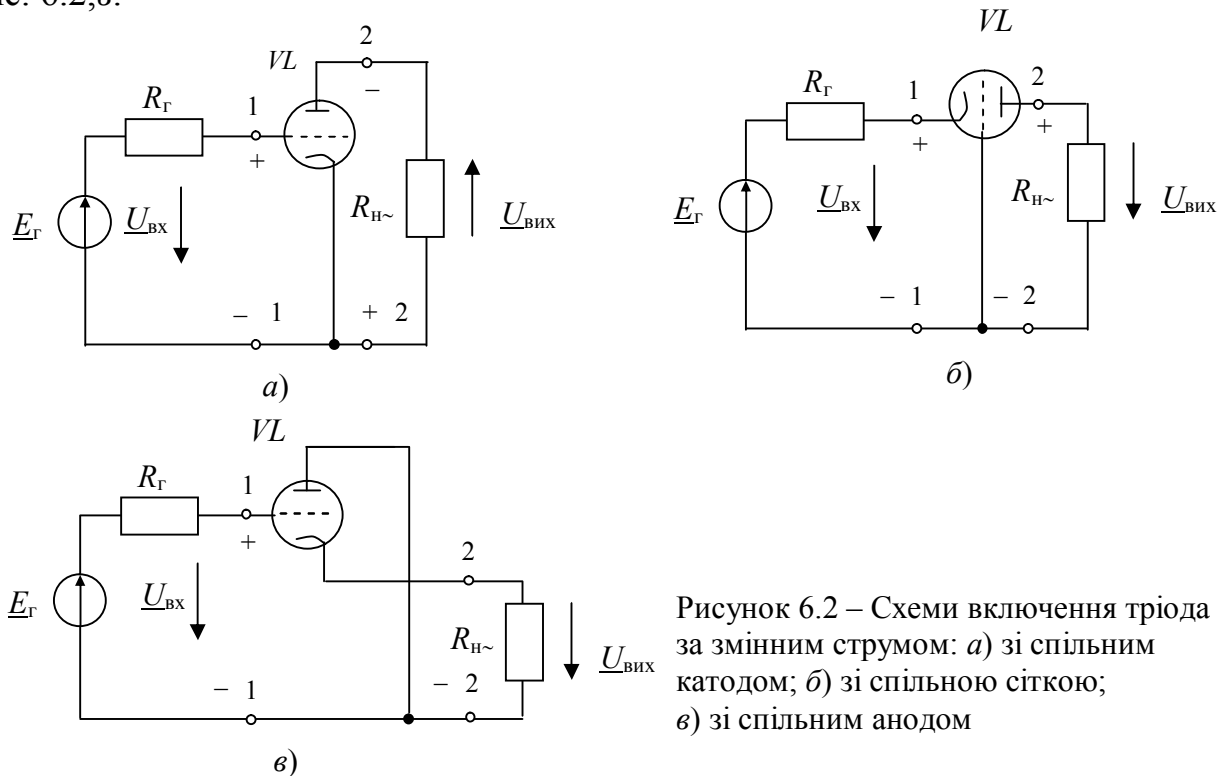


Рисунок 6.2 – Схеми включення тріода за змінним струмом: а) зі спільним катодом; б) зі спільною сіткою; в) зі спільним анодом

Самого широкого застосування набув підсилювач зі спільним катодом, який має максимальний коефіцієнт підсилення напруги, має великий вхідний опір:  $R_{\text{вх}} \rightarrow \infty$ , якщо немає сіткових струмів. Підсилювач зі спільною сіткою підсилює напругу, але не підсилює струм. Вхідним струмом у цій схемі є катодний струм, тому схема зі спільною сіткою має малий вхідний опір  $R_{\text{вх}} \approx \frac{1}{S}$  і малу вхідну ємність. Підсилювач зі спільним анодом не підсилює напругу ( $K_u \approx 1$ ), має малу вхідну ємність і великий вхідний опір ( $R_{\text{вх}} \rightarrow \infty$ ).

За аналогією з емітерним повторювачем підсилювач зі спільним анодом називають *катодним повторювачем*.

Тріоди мають *суттєві недоліки*:

1) Тріод має порівняно невеликий внутрішній опір  $R_i$ , що призводить до шунтування опору навантаження, тому що  $R_i$  підключене паралельно навантаженню каскаду.

2) Тріод має велику прохідну ємність  $C_{ca}$ , через яку в каскаді виникає внутрішній зворотний зв'язок і погіршуються частотні властивості підсилювача.

### 6.1.3. Тетрод

Чотириелектродні лампи, або тетроди, мають другу сітку  $C_2$  (рис. 6.3), звану *екрануючою* або *екранною* і розташовану між сіткою  $C_1$  і анодом А.

Призначення екрануючої сітки  $C_2$  – підвищення коефіцієнта підсилення  $\mu$  і внутрішнього опору  $R_i$ , а також зменшення прохідної ємності  $C_{ca}$ .

На екрануючу сітку подається позитивна напруга, яка приблизно дорівнює

$$U_{c2k} \approx (0,3 \dots 0,6) U_{ak}.$$

При негативній напрузі керуючої сітки  $U_{c1k}$ , катодний струм дорівнює сумі анодного струму  $I_a$  і струму екрануючої сітки  $I_{c2}$ :

$$I_k = I_a + I_{c2}.$$

Струм екрануючої сітки створюється електронами, які потрапляють на цю сітку. Якщо напруга анода більша напруги екрануючої сітки ( $U_{ak} > U_{c2k}$ ), то струм  $I_{c2}$  значно менший анодного  $I_a$ , тому що основна маса електронів з великою швидкістю пролітає крізь екрануючу сітку.

Недолік тетрода – *динатронний ефект*: перехід електронів вторинної емісії з анода А на екрануючу сітку  $C_2$ , який виникає при  $U_{ak} < U_{c2k}$ . Динатронний ефект призводить до появи спадної ділянки на анодній ВАХ тетрода. Динатронний ефект у тетроді шкідливий, тому що через нього створюються великі нелінійні спотворення при підсиленні сигналу.

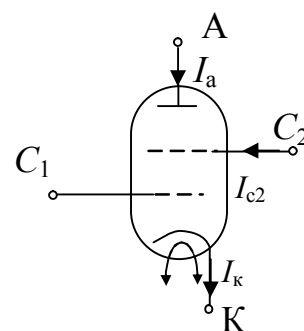


Рисунок 6.3 – Умовне позначення тетрода

### Променевий тетрод

Умовне позначення і вольтамперні характеристики променевого тетрода надано в табл. 6.1. У променевому тетроді динатронний ефект усунений шляхом спеціальної конструкції, за якої електрони летять від катода до анода більш щільними пучками – «променями». Для цього в лампі є екрани, з'єднані з катодом. При такій конструкції у проміжку екрануюча сітка–анод утворюється потенційний бар'єр для вторинних електронів.

Променеві тетроди застосовуються головним чином як потужні вихідні лампи.

#### 6.1.4. Пентод

Широкого застосування набули п'ятиелектродні лампи, називані *пентодами* (табл. 6.1), в яких усунутий динаatronний ефект.

У пентоді є ще одна сітка  $C_3$ , розташована між анодом  $A$  і екрануючою сіткою  $C_2$ . Сітку  $C_3$  називають *захисною*, тому що вона захищає лампу від динаatronного ефекту. Захисна сітка зазвичай з'єднується з катодом, тобто має нульовий потенціал відносно катода і негативний відносно анода. У багатьох пентодах з'єднання захисної сітки з катодом роблять усередині лампи. Дія захисної сітки полягає в тому, що між нею й анодом створюється гальмуюче електричне поле, яке гальмує, зупиняє і повертає на анод вторинні електрони, вибиті з анода. Динаatronний ефект повністю виключається.

Пентоди відрізняються від тетродів більш високим коефіцієнтом підсилення  $\mu$ , більш високим внутрішнім опором  $R_i$  і меншим значенням прохідної ємності  $C_{cl_a}$ , тому що захисна сітка виконує роль додаткового екрану.

Вольт-амперні характеристики променевого тетрода і пентода мають однаковий вигляд і надано в табл. 6.1. Лампи працюють при негативних напругах на управляючій сітці, тому  $I_k = I_a + I_{c2}$ .

Для тетродів і пентодів використовується та сама малосигнальна модель, надано на рис. 6.1, де  $C$  – управляюча сітка  $C_1$ , на яку подається напруга сигналу. Значення параметрів  $S$  і  $R_i$  визначаються за тими самими формулами, що і для тріода. Значення крутості  $S$  для більшості пентодів зазвичай надаються у довідниках, значення міжелектродних ємностей також надаються у довідниках.

Пентоди є найбільш поширеними лампами. Основними типами пентодів, які отримали практичне застосування, є:

- 1) малопотужні вузькосмугові і широкосмугові високочастотні пентоди, в тому числі змінної крутизни;
- 2) вихідні пентоди для відеочастот;
- 3) вихідні пентоди для звукових частот;
- 4) потужні (генераторні) високочастотні пентоди.

Захисна сітка може бути використана для управління анодним струмом. Для цього розроблені *пентоди з подвійним керуванням*. Для цього захисна сітка  $C_3$  має окремий вивід, у такому пентоді анодний струм керується двома незалежними джерелами сигналів.

#### 6.2. Резисторні підсилювачі на електронних лампах

Як зазначалося у розд. 6.1.2, електронна лампа для сигналу може бути включена за трьома схемами: **зі спільним катодом (СК) (рис. 6.2,а); зі спільною сіткою (СС) (рис. 6.2,б) або зі спільним анодом (СА) (рис. 6.2,в).** Схеми живлення на електронних лампах, виконаних за схемою зі спільним катодом, показано на рис. 6.4. У попередніх підсилювачах найчастіше використовують малопотужні пентоди, що працюють без струмів управляючої сітки. Тому на сітку подається негативна напруга відносно катода. Малопотужні тріоди зазвичай

чай використовують у входних малошумних підсилювачах. Потужні тріоди і променеві тетроди використовують у потужних вихідних підсилювачах.

У підсилювачах на електронних лампах необхідно забезпечити кола живлення накалу, анода, зміщення і додаткових сіток. Схему живлення тріода при схемі включення зі спільним катодом (СК) показано на рис. 6.4,а; пентода – на рис. 6.4,б.

На управляючу сітку відносно катода подається негативне зміщення, яке утворюється на резисторі  $R_K$

$$|U_{cк0}| = I_{к0} \cdot R_K, \quad (6.1)$$

де  $I_{к0} \approx I_{a0}$  – струм анода в робочій точці.

Таке зміщення називається автоматичним, воно стабілізує режим роботи лампи.

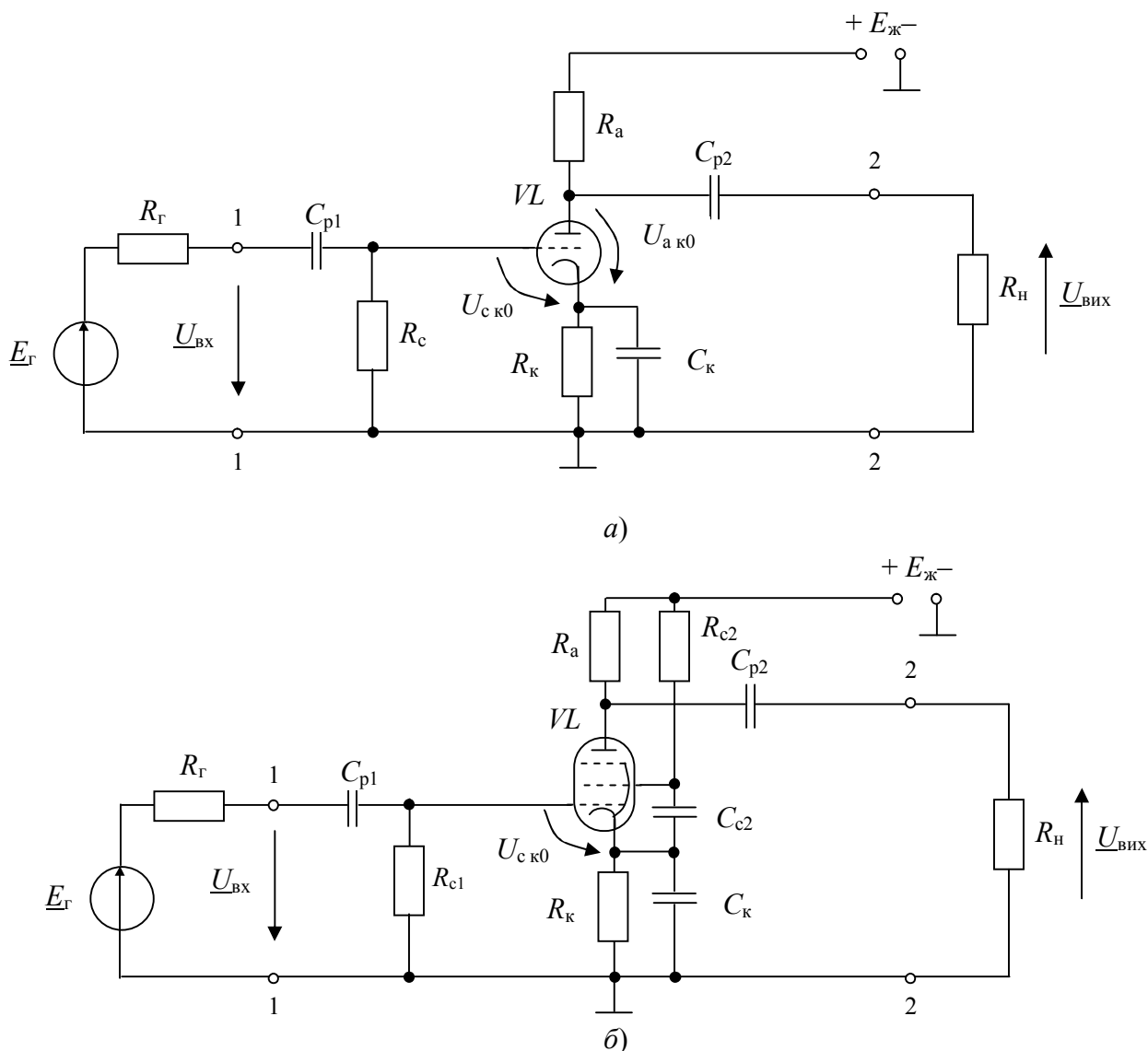


Рисунок 6.4 – Схеми живлення підсилювачів на електронних лампах:  
а) на тріоді; б) на пентоді

Резистор  $R_c$  (опір витоку) забезпечує подачу зміщення на керуючу сітку лампи та стікання зарядів, що виникають через потрапляння на сітку електронів



та іонів. Напруга живлення на екрануючу сітку подається від джерела живлення  $E_{\text{ж}}$  через резистор  $R_{\text{с2}}$

$$U_{\text{с2 к0}} = E_{\text{ж}} - |U_{\text{с к0}}| - I_{\text{с20}} \cdot R_{\text{с2}}, \quad (6.2)$$

де  $U_{\text{с2 к0}}$  – напруга екран-катод;  $I_{\text{с20}}$  – струм екрануючої сітки в робочій точці. Для усунення негативного зворотного зв'язку (НЗЗ) за сигналом, резистори  $R_{\text{к}}$  і  $R_{\text{с2}}$  шунтовані конденсаторами  $C_{\text{к}}$  і  $C_{\text{с2}}$ . Напруга живлення на анод подається через резистор  $R_{\text{а}}$ , напруга анод-катод у робочій точці дорівнює

$$U_{\text{а к0}} = E_{\text{п}} - I_{\text{а0}} \cdot R_{\text{а}} - (I_{\text{а0}} + I_{\text{с2}}) R_{\text{к}}. \quad (6.3)$$

Тому що струм управляючої сітки дорівнює нулю ( $I_{\text{с1}} = 0$ ), то вхідний опір лампи великий (вважаємо  $R_{\text{вх л}} \rightarrow \infty$ ), аналогічно вхідному опору польового транзистора. Розрахунок підсилювачів (рис. 6.4) за постійним струмом можна виконати за формулами (6.1), (6.2) і (6.3). Опір витоку  $R_{\text{с1}}$  шунтує вхід каскаду за сигналом, тому його обирають у межах  $R_{\text{с1}} = (0,5 \dots 2)$  МОм. У довідковій літературі зазвичай надають максимально допустиме значення цього опору  $R_{\text{с1 max}}$ , тому необхідно обирати  $R_{\text{с1}} < R_{\text{с1 max}}$ .

Як і в підсилювачах на біполярних і польових транзисторах, у попередніх підсилювачах найчастіше використовують каскад зі спільним катодом, який має велике підсилення напруги, великий вхідний опір, вхідну напругу інвертує (зміщення фаз між вхідною і вихідною напругою  $\varphi = 0$ ).

Коефіцієнт підсилення напруги каскаду зі спільним катодом на середній частоті дорівнює

$$K_{u0} = S R_{\text{н}\sim}, \quad (6.4)$$

де  $R_{\text{н}\sim}$  – опір навантаження лампи для змінного струму, дорівнює

$$R_{\text{н}\sim} = \frac{R_{\text{а}} R_{\text{н}}}{R_{\text{а}} + R_{\text{н}}}. \quad (6.5)$$

Вхідний опір каскаду дорівнює опору витоку

$$R_{\text{вх}} = R_{\text{с1}}. \quad (6.6)$$

### ***Двотактний трансформаторний підсилювач на пентодах***

Методика аналізу лампових двотактних підсилювачів здебільшого аналогічна викладеній для транзисторних підсилювачів. Схему двотактного трансформаторного підсилювача на пентодах показано на рис. 6.5.

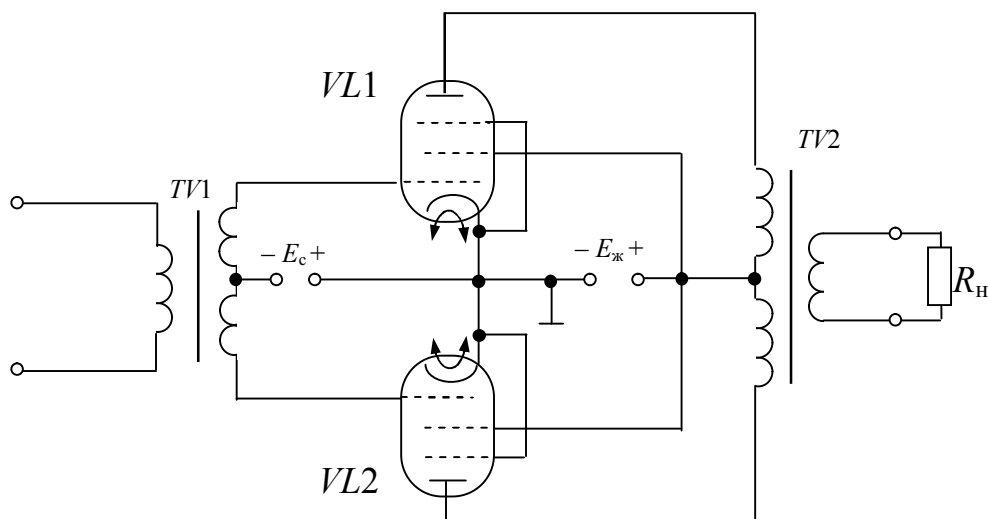


Рисунок 6.5 – Двотактний трансформаторний підсилювач на пентодах

### Контрольні питання

1. Дайте визначення електронної лампи.
2. Дайте класифікацію електронних ламп.
3. Назвіть схеми включення тріода.
4. Розкажіть принцип дії тріода.
5. Накресліть ВАХ тріода і поясніть їх хід.
6. Розкажіть принцип дії тетрода.
7. Розкажіть принцип дії пентода.
8. Накресліть ВАХ пентода і поясніть їх хід.
9. Накресліть П-подібну модель тріода і поясніть її.
10. Накресліть схему резисторного підсилювача на тріоді і поясніть як вона працює.
11. Накресліть схему резисторного підсилювача на пентоді і поясніть як вона працює.

## Розділ 7. ВЛАСНІ ШУМИ КОМПОНЕНТІВ

Струми і напруги в електричних колах завжди здійснюють невеликі хаотичні коливання, називані *електричними флуктуаціями*. Флуктуації настільки малі, що можуть бути виявлені лише при великому підсиленні. Після підсилення ці флуктуації при слуховому прийманні сигналів виявляються у вигляді шуму. Назву «*власні шуми*» застосовують і тоді, коли сигнали не перетворюються у звукові коливання.

Власні шуми визначають мінімальну (порогову) величину коливання, які ще можуть бути підсилені без спотворень і виявлені на фоні шуму. Якщо корисні сигнали слабкіші власних шумів, то прийом таких сигналів утруднений або навіть практично неможливий.

**Теплові шуми** зумовлені тепловим безладним (випадковим) рухом в обсязі провідника (або напівпровідника) вільних носіїв зарядів (наприклад, електронів). З рухом зарядів пов'язаний випадковий струм у провіднику. У результаті на кінцях провідника, що має деякий опір, діє випадкова флуктуаційна ЕРС, називана *шумовою ЕРС*  $E_{\text{ш}}$ . Оскільки  $E_{\text{ш}}$  – неперіодична функція часу, то її спектр є суцільним і практично рівномірним від нуля до сотень гігагерц. Шум з подібним рівномірним спектром називають *білим*. Діюче значення (середнє квадратичне) шумової ЕРС, що *виникає в резисторі або у будь-якому колі з опором  $R$* , визначається формулою Найквіста

$$E_{\text{ш}} = \sqrt{4kTR\Delta f}, \quad (7.1)$$

де  $k = 1,38 \cdot 10^{-23}$  Дж/К – постійна Больцмана;  $T$  – абсолютна температура;  $\Delta f$  – шумова смуга частот, в межах якої необхідно враховувати спектральні складові шумів.

### **Власні шуми біполярних транзисторів**

Повний шум, що виникає у біполярному транзисторі, має кілька складових.

**Дробові шуми.** Однією з причин виникнення власних шумів є флуктуації струму, що виникають при проходженні носіїв заряду через *p-n*-перехід внаслідок хаотичності їхнього теплового руху (*дробовий ефект*). Діюче значення шумового струму емітерного переходу у смузі частот  $\Delta f$  дорівнює

$$I_{\text{ше}} = \sqrt{2eI_e\Delta f}, \quad (7.2)$$

де  $e = 1,6 \cdot 10^{-19}$  Кл – заряд електрона;  $I_e$  – струм емітера.

Дробовий шум має місце і в колекторному переході, але вплив його значно менший, оскільки він визначається лише зворотним струмом колекторного переходу  $I_{\text{кб0}}$ .

**Шуми струморозподілу.** Шуми в транзисторі виникають також у процесі розподілу струму інжекції між колектором і базою. Значення шумового струму розподілу дорівнює

$$I_{\text{шр}} = \sqrt{2e(1-\alpha)\alpha I_e\Delta f}. \quad (7.3)$$

Теплові шуми зумовлені тепловими флуктуаціями носіїв заряду, характерними для будь-якого резистора. Оскільки всі області транзистора мають деякий опір, то в них виникають шумові напруги. Тому що опори емітерної і колекторної областей малі, то головну роль у створенні теплових шумів відіграє розподілений опір бази  $r'_6$ . Значення цієї напруги можна знайти за формулою Найквіста (8.1)

$$E_{\text{ш}} = \sqrt{4kTr'_6\Delta f} . \quad (7.4)$$

Енергія теплових шумів, дробових шумів і шумів струморозподілу рівномірно розподілена за частотним діапазоном.

*Шуми мерехтіння або надлишкові шуми.* У діапазоні низьких частот в напівпровіднику спостерігаються значні шуми, зумовлені флуктуаціями поверхневої провідності. Спектральні складові цих шумів пропорційні величині  $\frac{1}{f}$ , тобто збільшуються зі зменшенням частоти  $f$ . Тому на середніх частотах звичайно декількох кілогерц, їхній вплив порівняно з дробовими і тепловими шумами стає несуттєвим.

### ***Власні шуми польових транзисторів***

Основним джерелом шумів польового транзистора є *теплові шуми*, зумовлені опором струмопровідного каналу. На низьких частотах, як і у біполярних транзисторів, існують *шуми мерехтіння*, зумовлені нестабільністю властивостей поверхні провідності.

Рівень шумів у польових транзисторів значно нижчий, ніж у біполярних транзисторів.

Власні шуми створюються і у напівпровідникових діодах, що доводиться враховувати при використанні діодів у перших каскадах приймачів НВЧ.

### ***Власні шуми електронних ламп***

Власні шуми електронних ламп мають кілька складових:

1) *Дробовий шум* викликаний флуктуаціями струму емісії катода

$$I_{\text{ша}} = \sqrt{2eI_k\Delta f} ,$$

де  $I_k$  – середнє значення струму емісії катода.

2) *Шуми струморозподілу* існують в лампах з двома і більше електродами з позитивним потенціалом (тетроді, пентоді), тому що за рахунок теплового хаотичного руху число електронів, що потрапляють на ці електроди, безперервно змінюється.

3) *Мерехтіння катода або поверхневий флуктуаційний ефект* спостерігається в області низьких частот внаслідок хаотичної зміни емісійних властивостей мікроскопічних ділянок поверхні катода.

4) *Флуктуації іонних струмів* спостерігаються при недостатньому вакуумі. Чим гірший вакуум, тим більше іонів, і тим сильніше позначається цей вид флуктуацій.

Таким чином, найбільші власні шуми мають електронні лампи, найменші – польові транзистори. Промисловість випускає спеціальні малошумні біполярні і польові транзистори, напівпровідникові діоди та електронні лампи. Для таких компонентів у технічних даних зазначаються їхні шумові параметри.

### **Контрольні питання**

1. Що таке власний шум компонентів РЕА?
2. Напишіть формулу Найквіста для шумової ЕРС і поясніть її.
3. Назвіть складові шуму в БТ.
4. Назвіть складові шумів у ПТ.
5. На що впливає рівень шумів компонентів РЕА?
6. В яких транзисторах БТ або ПТ рівень шумів менше?
7. Назвіть складові шуму в електронних лампах.

## Розділ 8. АНАЛОГОВІ ІНТЕГРАЛЬНІ МІКРОСХЕМИ

### 8.1. Загальні відомості

Побудова складної радіоелектронної апаратури на дискретних активних і пасивних елементах пов'язана з різким падінням надійності апаратури, збільшенням споживаної потужності, маси і габаритів. Створення інтегральних мікросхем дозволило вирішити ці завдання.

**Інтегральна мікросхема (ІМС)** – це мікроелектронний виріб, який виконує функції перетворення та обробки сигналу. ІМС має високу щільність упаковки електрично з'єднаних елементів і розглядається як єдине ціле.

Переваги інтегральних мікросхем:

- 1) виготовлення усіх елементів ІМС в єдиному технологічному циклі різко збільшило її надійність; сучасні мікросхеми, що містять сотні і тисячі елементів, мають надійність і габарити того самого порядку, що й дискретні елементи;
- 2) зменшилися габарити і маса апаратури;
- 3) збільшилася економічність апаратури, яка особливо помітна при створенні великих систем;
- 4) зменшилися витрати на обслуговування апаратури;
- 5) скоротився період проектування і виробництва апаратури.

За своїм функціональним застосуванням інтегральні мікросхеми підрозділяються на два основних види: аналогові й цифрові.

**Аналогові ІМС** призначені для перетворення та обробки сигналів, що змінюються за законом безперервної функції. **Цифрові ІМС** призначені для перетворення та обробки сигналів, що змінюються за законом дискретної функції.

До аналогових відносяться ІМС, що виконують функції підсилення, генерування сигналів різної форми, а також перетворення сигналів (модулятори, демодулятори, перетворювачі частоти та ін.). До складу аналогових ІМС входять також інтегральні схеми, що виконують допоміжні функції – стабілізатори напруги і струму, випрямлячі та інші, а також набори транзисторів, діодів та інших елементів, які використовують при конструюванні мікроелектронних пристроїв.

Аналогові та цифрові ІМС розробляються й випускаються підприємствами-виробниками у вигляді серій. *Серією* називають сукупність ІМС, які можуть виконувати різні функції, мають єдине конструктивно-технологічне виконання й призначені для спільного застосування. Випуск кожної нової серії ІМС вимагає великих витрат часу і коштів, тому до ІМС ставляться вимоги універсальності, багатоцільового використання у пристроях різного призначення.

За конструктивно-технологічним виконанням ІМС діляться на три групи: напівпровідникові, гібридні та ін. Найбільш поширеними є напівпровідникові ІМС.

Однією з характеристик ІМС є *ступінь інтеграції*, яка характеризує складність ІМС:

$$k_i = \lg N_{\text{ІМС}},$$

де  $N_{\text{ІМС}}$  – число елементів, які входять до ІМС. Залежно від значення  $k_i$  інтегральні мікросхеми поділяють:

- 1)  $k_i \leq 1$  – схеми малого рівня інтеграції;
- 2)  $k_i \leq 2$  – схеми середнього рівня інтеграції;
- 3)  $k_i = (3 \dots 4)$  – великі інтегральні мікросхеми;
- 4)  $k_i > 4$  – надвеликі інтегральні мікросхеми.

Аналогові інтегральні мікросхеми призначені для виконання аналогових операцій над аналоговими сигналами. Серій аналогових ІМС велика різноманітність.

Основну елементну базу аналогової мікроелектронної апаратури складають операційні підсилювачі, компаратори й перемножувачі, завдяки універсальності їх застосування. Умовні позначення цих аналогових мікросхем показано на рис. 8.1.

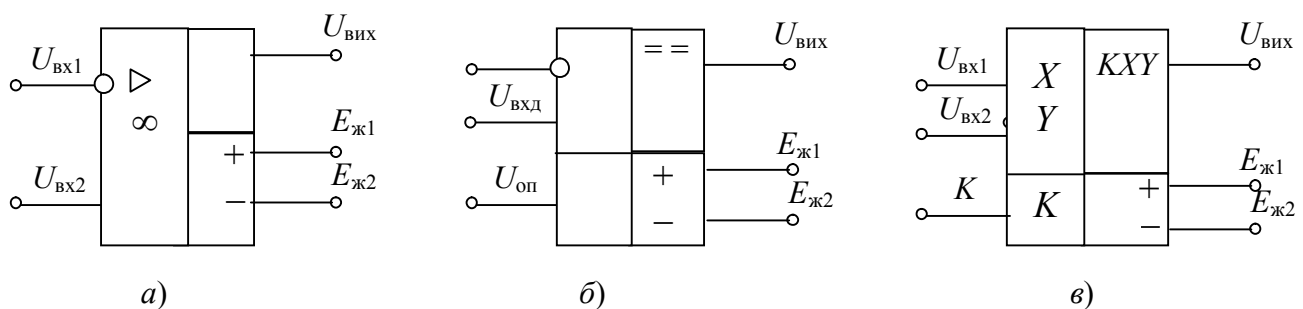


Рисунок 8.1 – Умовні позначення аналогових інтегральних мікросхем:

а) операційний підсилювач, б) компаратор, в) перемножувач

## 8.2. Операційні підсилювачі

Найбільш поширеними аналоговими ІМС є операційні підсилювачі завдяки універсальності їхнього застосування.

**Операційний підсилювач (ОП)** – це підсилювач напруги з безпосередніми зв'язками між каскадами, який має великий коефіцієнт підсилення, малий рівень шумів, великий вхідний опір, малий вихідний опір і широку смугу одиничного підсилення. ОП є підсилювачем постійного струму (ППС), оскільки здатний підсилювати постійні сигнали. Назву «операційний підсилювач» було дано спочатку підсилювачам з великим коефіцієнтом підсилення, розробленим для виконання математичних операцій додавання, віднімання, множення та ділення. У нинішній час інтегральні ОП використовуються для створення різних функціональних вузлів.

Умовні позначення операційного підсилювача з колами корекції показано на рис. 8.2.

Операційний підсилювач має два входи: *інвертуючий* та *неінвертуючий*. На рис. 8.2,а і б інвертуючий вхід позначений кружечком, на рис. 8.2,в – знаком мінус (–). Обидва входи називають *диференціальними* (або *різницеvими*). Тому що вхідний каскад ОП є диференціальним, то вихідна напруга ОП  $U_{\text{ВІХ}}$  залежить від різниці напруг

$$U_{\text{ВХ Д}} = U_{\text{ВХ2}} - U_{\text{ВХ1}}, \quad (8.1)$$

$U_{\text{ВХ Д}}$  називається *диференціальним вхідним сигналом*.

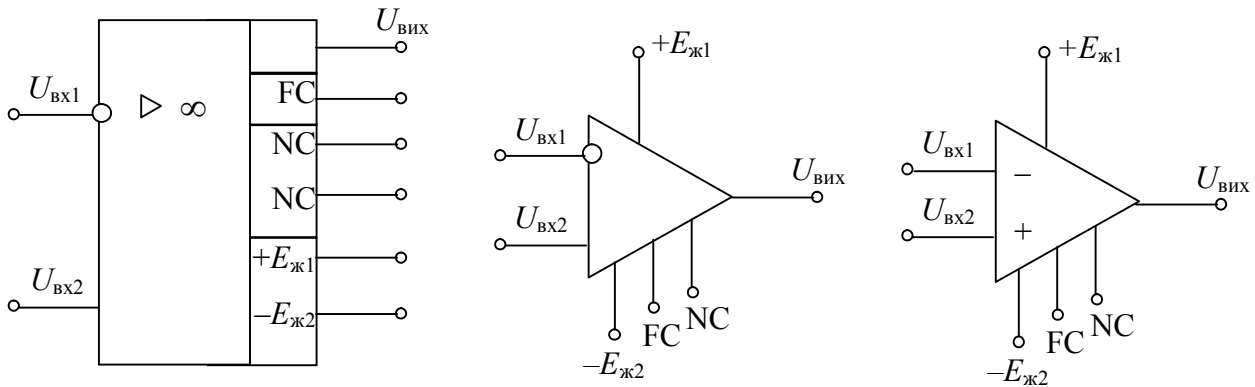


Рисунок 8.2 – Умовні позначення операційного підсилювача:

а) згідно ЕСКД; б) за функціональною ознакою (підсилювач); в) застаріле позначення

Якщо  $U_{\text{ВХ2}} > U_{\text{ВХ1}}$ , то полярність вихідного сигналу збігається з полярністю сигналу  $U_{\text{ВХ2}}$  (сигнал не інвертується). Якщо  $U_{\text{ВХ1}} > U_{\text{ВХ2}}$ , то полярність вихідного сигналу протилежна полярності сигналу  $U_{\text{ВХ1}}$  (сигнал інвертується). Формула (8.1) справедлива також для випадку, коли або  $U_{\text{ВХ2}} = 0$ , або  $U_{\text{ВХ1}} = 0$ .

Операційний підсилювач не чутливий до *синфазної складової вхідних сигналів*, яка дорівнює

$$U_{\text{ВХ С}} = \frac{1}{2} (U_{\text{ВХ2}} + U_{\text{ВХ1}}). \quad (8.2)$$

Тому коефіцієнт підсилення ОП визначається тільки для диференціального вхідного сигналу

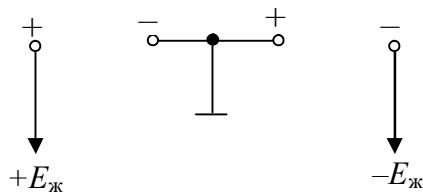


Рисунок 8.3 – Симетричне джерело живлення

$$K_{\text{ОП}} = \frac{U_{\text{ВЫХ}}}{U_{\text{ВХ Д}}} = \frac{U_{\text{ВЫХ}}}{U_{\text{ВХ2}} - U_{\text{ВХ1}}}. \quad (8.3)$$

Напруги  $U_{\text{ВХ1}}$ ,  $U_{\text{ВХ2}}$  й  $U_{\text{ВЫХ}}$  відраховуються відносно корпусу.

Операційний підсилювач має один вхід та два виводи для підключення джерела живлення:  $+E_{\text{ж1}}$ ,  $-E_{\text{ж2}}$ . Для ОП використовуються, зазвичай, симетричне (відносно корпусу) джерело живлення ( $\pm E_{\text{ж}}$ ), як показано на рис. 8.3.

Таке живлення називають *двополярним*, може використовуватися також несиметричне (однополярне) живлення.

Виводи, які призначені для підключення кіл корекції нуля ОП, позначаються символами NC, а для підключення елементів частотної корекції – символами FC. Зазвичай використовують *спрощене позначення* ОП: виводи кіл корекції не показують.

Операційний підсилювач за своїми характеристиками та параметрами наближається до «ідеального» підсилювача.

Параметри *ідеального ОП*:

- 1) нескінченний коефіцієнт підсилення напруги ( $K_{\text{ОП}} \rightarrow \infty$ );
- 2) нескінченний повний вхідний опір ( $Z_{\text{ВХ ОП}} \rightarrow \infty$ );



- 3) нульовий повний вихідний опір ( $Z_{\text{вих ОП}} = 0$ );
- 4) дорівнює нулю вихідна напруга  $U_{\text{вих}} = 0$  при рівних напругах на обох входах  $U_{\text{вх2}} = U_{\text{вх1}}$  ( $U_{\text{вхд}} = 0$ );
- 5) нескінченна ширина смуги пропускання (відсутність затримки при проходженні сигналу через підсилювач).

На практиці жодна з цих властивостей не може бути здійснена повністю, проте до них можна наблизитися з достатньою точністю для багатьох застосувань.

### **Параметри операційного підсилювача**

Властивості ОП визначаються значним числом параметрів. Основними технічними показниками ОП є:

- 1) Коефіцієнт підсилення напруги  $K_{\text{ОП}}$ , рівний відношенню вихідної напруги до диференціальної вхідної напруги (формула 9.3). Для сучасних ОП значення коефіцієнта підсилення дорівнює:  $K_{\text{ОП}} = 10^5 \dots 10^6$ .
- 2) Напруга джерела живлення  $\pm E_{\text{ж}}$ , В при симетричному живленні.
- 3) Споживаний струм  $I_{\text{сп}}$ , мА.
- 4) Максимальна вихідна напруга: позитивного плеча  $U_{\text{вих max}}^{(+)}$ ; негативного плеча  $U_{\text{вих max}}^{(-)}$ . Максимальна вихідна напруга зазвичай на (1...2) В менша напруги живлення.
- 5) Коефіцієнт послаблення синфазних вхідних напруг

$$K_{\text{ос сф, дБ}} = 20 \lg \frac{U_{\text{вих}}}{U_{\text{вх с}}} \quad (8.4)$$

Значення цього коефіцієнта для сучасних ОП дорівнює (70...80) дБ.

- 6) Вхідна напруга зміщення нуля  $U_{\text{зм}}$ , мВ дорівнює напрузі, яку треба подати на диференціальний вхід, щоб  $U_{\text{вих}} = 0$ .
- 8) Вхідний опір ОП  $R_{\text{вх ОП}}$  для диференціального сигналу.
- 9) Вихідний опір ОП  $R_{\text{вих ОП}}$  при подачі диференціального вхідного сигналу.
- 10) Частота одиничного підсилення  $f_1$ , на якій модуль коефіцієнта підсилення ОП дорівнює одиниці, тобто  $|K_{\text{ОП}}| = 1$  або  $K_{\text{ОП, дБ}} = 20 \lg K_{\text{ОП}} = 0$  дБ.

### **Структурна схема операційного підсилювача**

Більшість операційних підсилювачів виконуються у вигляді трикаскадних підсилювачів. Структурну схему ОП показано на рис. 8.4.

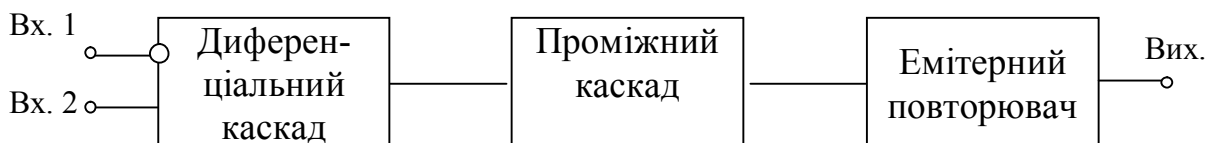


Рис. 8.4 – Структурна схема операційного підсилювача

Вхідний каскад ОП – це диференціальний підсилювач. Диференціальний підсилювач має великий коефіцієнт підсилення диференціального вхідного сигналу і значне послаблення синфазного вхідного сигналу. Диференціальний підсилювач має також великий вхідний опір для будь-яких вхідних сигналів. Вхідний каскад є найбільш відповідальним каскадом ОП.

За вхідним слідує проміжний каскад, який здійснює основне підсилення струму і напруги ОП. В ОП використовується безпосередній (гальванічний) зв'язок між каскадами, тому проміжний каскад повинен забезпечувати також пониження напруги спокою, щоб на виході ОП напруга спокою дорівнювала нулю.

Вихідний каскад повинен забезпечити малий вихідний опір ОП і струм, достатній для живлення передбачуваного навантаження. Крім того, цей каскад повинен мати великий вхідний опір, щоб не навантажувати проміжний каскад. Як вихідний каскад в ОП використовується двотактний емітерний повторювач, що працює в режимі В (або АВ). Використання режиму В дозволяє підвищити ККД вихідного каскаду, зменшити втрати у його транзисторах і спростити процес охолодження кристала.

### 8.3. Характеристики операційного підсилювача

#### *Передавальна характеристика операційного підсилювача (ОП)*

Передавальна характеристика ОП – це залежність вихідної напруги  $U_{\text{вих}}$  від вхідної диференціальної напруги  $U_{\text{вх д}}$ . Передавальну характеристику ОП наведено на рис. 8.5, яка апроксимована кусочно-ламанною лінією.

У передавальній характеристиці ОП можна виділити три характерні області: лінійну область і області насичення. У лінійній області вихідна напруга прямо пропорційна вхідній диференціальній напрузі

$$U_{\text{вих}} = K_{\text{ОП}} U_{\text{вх д}}. \quad (8.5)$$

Лінійна область з обох сторін (зверху і знизу) обмежена областями насичення.

У будь-якому випадку напруга на виході ОП не може перевищити напруги будь-якого з джерел живлення, тобто  $\pm E_{\text{ж}}$ . Максимально можлива вихідна напруга, як правило, приблизно на 2 В менша абсолютної величини живлючої напруги, а при низькоомному навантаженні діапазон зміни вихідної напруги скоротиться ще більше. Отже, можна вважати, що максимально неспотворена вихідна напруга дорівнює

$$U_{\text{вих max}} \approx E_{\text{ж}} - 2 \text{ В}. \quad (8.6)$$

Оскільки підсилення ОП велике ( $K_{\text{ОП}} = 10^5 \dots 10^6$ ), то ширина лінійної зони передавальної характеристики мала. Максимальне значення вхідного диференціального сигналу можна розрахувати

$$U_{\text{вх д max}} \approx \frac{U_{\text{вих max}}}{K_{\text{ОП}}}. \quad (8.7)$$

Наприклад, якщо живлюча напруга дорівнює  $\pm E_{\text{ж}} = \pm 15 \text{ В}$ , то максимальне значення вхідного диференціального сигналу дорівнюватиме

$$U_{\text{вх д max}} \approx \frac{15 - 2}{10^6} = 13 \text{ мкВ}, \quad (8.8)$$

тобто дорівнює дуже маленькому значенню.

Отже, щоб сигнал на виході ОП дорівнював підсиленій вхідній напрузі без спотворень, амплітуда вхідної напруги повинна бути незначною. При подачі великого вхідного сигналу ОП потрапляє в область насичення, форма вихідного сигналу буде «обрізаною», тобто сильно спотвореною.

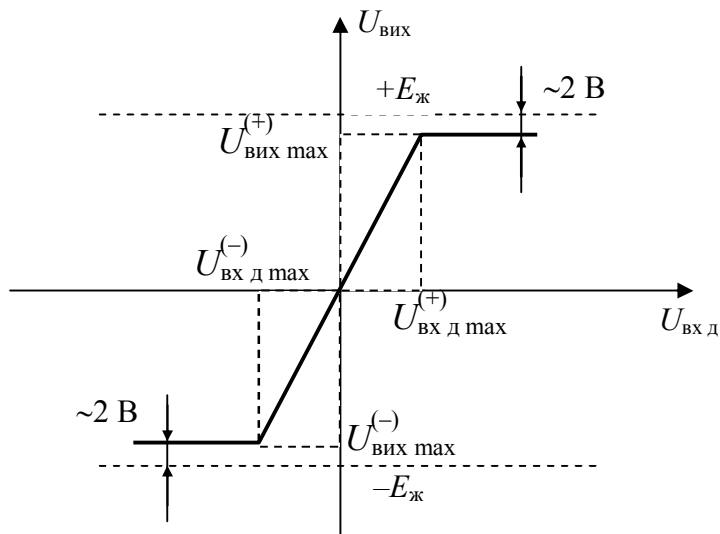


Рисунок 8.5 – Передавальна характеристика операційного підсилювача

Операційний підсилювач охоплюють негативним зворотним зв'язком, що створює низку суттєвих переваг і дозволяє створити значну кількість різних електронних пристроїв. Тому що коефіцієнт підсилення ОП має велике значення, то при введенні негативного зворотного зв'язку глибина зворотного зв'язку має велике значення:  $\gamma = (1 + BK_{\text{ОП}}) \gg 1$ . Отже, негативний зворотний зв'язок виходить глибоким, тоді

$$K_{\text{ГНЗЗ}} = \frac{K_{\text{ОП}}}{1 + BK_{\text{ОП}}} \approx \frac{1}{B}. \quad (8.8)$$

У цьому випадку коефіцієнт підсилення пристрою, виконаного на ОП з глибоким негативним зворотним зв'язком, буде визначатися тільки елементами кола зворотного зв'язку  $B$ , тобто зовнішніми елементами, і не буде залежати від коефіцієнта підсилення ОП  $K_{\text{ОП}}$ . Змінюючи елементи кола зворотного зв'язку  $B$ , можна реалізувати різні електронні пристрої на операційних підсилювачах. Далі при розгляді схем, виконаних на операційних підсилювачах, індекс ГНЗЗ буде опущений. Слід пам'ятати, що наближене співвідношення (8.8) залишається справедливим, поки виконується умова  $\gamma \gg 1$ . Зі збільшенням частоти коефіцієнт підсилення  $K_{\text{ОП}}$  зменшується, і у цьому випадку необхідно використовувати повну формулу для  $K_{e \text{ зз}}$ .

### **Амплітудно-частотна характеристика операційного підсилювача**

Амплітудно-частотна характеристика (АЧХ) операційного підсилювача – це залежність модуля коефіцієнта підсилення ОП  $K_{\text{ОП}}$  від частоти вхідного диференціального сигналу. ОП є підсилювачем постійного струму (ППС), тому його частотна характеристика розпочинається з нульової частоти.

Коефіцієнт підсилення  $K_{\text{ОП}}$  залишається незмінним у невеликій області частот. При збільшенні частоти коефіцієнт підсилення  $K_{\text{ОП}}$  зменшується, тому що зменшуються коефіцієнти підсилення каскадів, з яких складається ОП. ОП

складається з трьох каскадів, тому три граничних частоти (частоти зрізів:  $f_{c1}$ ,  $f_{c2}$ ,  $f_{c3}$ ) каскадів будуть визначати спад АЧХ операційного підсилювача в області верхніх частот. АЧХ операційного підсилювача показано на рис. 8.6.

Граничні частоти каскадів не однакові, самим вузькосмуговим є, як правило, проміжний каскад, самим широкосмуговим – вихідний. Кожен з каскадів дає спад АЧХ в області верхніх частот (–20 дБ/дек), тому загальний спад АЧХ трикаскадного підсилювача буде дорівнювати (–60 дБ/дек), а загальний фазовий зсув  $\Delta\varphi = \left(-3 \cdot \frac{\pi}{2}\right) = 270^\circ$ .

### ***Стійкість операційного підсилювача зі зворотним зв'язком***

В операційних підсилювачах використовується негативний зворотний зв'язок. Трикаскадний підсилювач з негативним ЗЗ є потенційно нестійкою системою, тому що максимальний фазовий зсув в області верхніх частот такого підсилювача дорівнює  $\Delta\varphi = 270^\circ$ . Отже, існує така частота, на якій фазовий зсув підсилювача буде дорівнювати  $\Delta\varphi(f) = -\pi$ . На цій частоті загальний фазовий зсув у петлі зворотного зв'язку буде дорівнювати  $\varphi = \pi + \Delta\varphi = \pi - \pi = 0$ , тому на цій частоті зв'язок з негативного перейде у позитивний.

Таким чином, на деякій частоті виконується одна з умов самозбудження: умова фаз ( $\varphi = 0$ ), зв'язок стає позитивним. Для того, щоб підсилювач зі зворотним зв'язком перейшов у режим генерації, має бути виконана також умова амплітуд: петльове підсилення  $BK_{\text{оп}} = 1$ . Якщо обидві умови самозбудження будуть виконані, пристрій перетворитися у генератор, а всі його характеристики погіршаться.

Оскільки працездатність ОП визначається його стійкістю, то забезпечення стійкості – одне з основних завдань при розробці операційних підсилювачів. Для забезпечення стійкості необхідно, щоб на тих частотах, де виконується умова амплітуд ( $BK_{\text{оп}} > 1$ ), не виконувалася умова фаз. А на тих частотах, де виконується умова фаз ( $\Delta\varphi \geq -\pi$ ), не повинна виконуватися умова амплітуд. Стійкість повинна забезпечуватися з певним запасом.

Для забезпечення стійкості операційних підсилювачів використовують як внутрішню, так і зовнішню корекції. Внутрішня корекція ОП виконується у процесі виробництва. Перевагою операційних підсилювачів з внутрішньою корекцією є простота їх використання, оскільки вони будуть стійкі за будь-яких параметрів петлі зворотного зв'язку. Їх суттєвий недолік полягає у тому, що смуга пропускання пристрою з негативним зворотним зв'язком буде незначною.

Кола зовнішньої корекції підключаються до спеціальних виводів операційного підсилювача (FC) (див. рис. 8.2). У цьому випадку зовнішні елементи можна підібрати з умови оптимальної роботи схеми. Такий підбір дозволяє отримати більш широку смугу пропускання пристрою.

Для апроксимації АЧХ операційного підсилювача можна використовувати одну частоту зрізу – мінімальну. У цьому випадку АЧХ операційного підсилювача, яка побудована у логарифмічному масштабі за обома осями, буде мати вигляд, показаний на рис. 8.6.

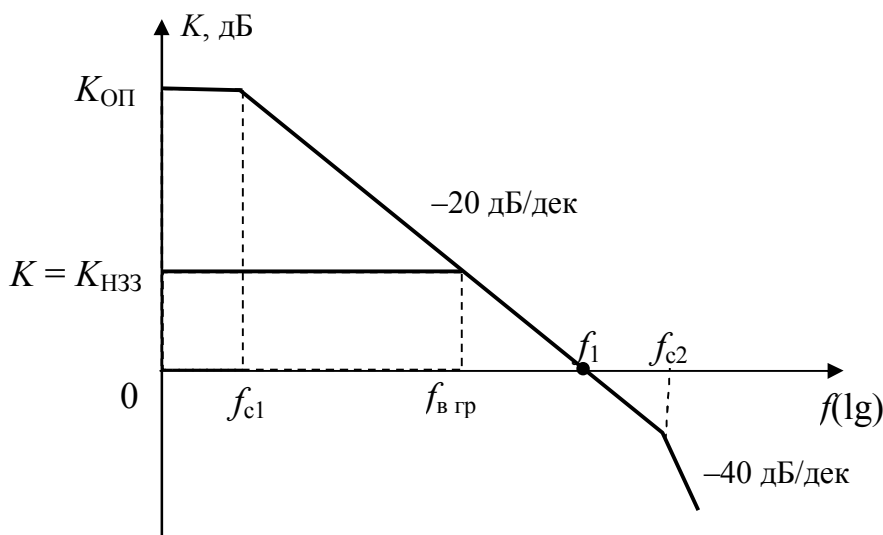


Рисунок 8.6 – АЧХ операційного підсилювача

На цьому рисунку показано дві частоти зрізу ОП:  $f_{c1}$  – мінімальна частота зрізу каскаду, як правило, проміжного;  $f_{c2}$  – частота зрізу іншого каскаду; максимальна частота зрізу третього каскаду  $f_{c3}$  тут не відображена, тому що вона не визначає стійкість ОП. На АЧХ зазначений спад характеристики на різних ділянках.

АЧХ операційного підсилювача можна апроксимувати кусочно-ламанною лінією, частоти зламу визначаються значеннями частот зрізу каскадів ОП. Смугу пропускання ОП без зворотного зв'язку визначає частота зрізу  $f_{c1} = f_{c\text{ ОП}}$ . Значення частоти  $f_{c\text{ ОП}}$  становить десятки герц.

Параметром операційного підсилювача є частота одиничного підсилення  $f_1$ , на якій модуль коефіцієнта підсилення ОП без зворотного зв'язку дорівнює одиниці ( $K_{\text{ОП}} = 1$ ,  $K_{\text{ОП дБ}} = 0$  дБ; рис. 8.6). У сучасних операційних підсилювачів частота одиничного підсилення має порядок декількох мегагерц ( $f_1 \approx (1 \dots 10)$  МГц).

При введенні негативного зворотного зв'язку коефіцієнт підсилення зменшується, смуга пропускання при цьому розширюється. На рис. 8.6 показано АЧХ підсилювача з негативним зворотним зв'язком, також видно, що у скільки разів зменшується коефіцієнт підсилення за рахунок введення негативного зворотного зв'язку, у стільки ж разів розширюється смуга пропускання пристрою.

Значення частоти зрізу ОП можна визначити за формулою

$$f_{c\text{ ОП}} \approx \frac{f_1}{K_{\text{ОП}}}, \quad (8.9)$$

значення граничної частоти підсилювача з негативним зворотним зв'язком можна визначити за формулою

$$f_{\text{в гр}} \approx \frac{f_1}{K_{\text{НЗЗ}}}, \quad (8.10)$$

відношення цих частот відповідно до формул (8.9) і (8.10) дорівнюватиме

$$\frac{f_{\text{в гр}}}{f_{c\text{ ОП}}} \approx \frac{K_{\text{ОП}}}{K_{\text{НЗЗ}}}. \quad (8.11)$$

У формулах (8.9), (8.10) і (8.11) коефіцієнти підсилення використовуються у безрозмірних величинах. Далі коефіцієнт підсилення пристрою з негативним ЗЗ буде позначатися  $K = K_{\text{НЗЗ}}$ .

## 8.4. Диференціальні підсилювачі

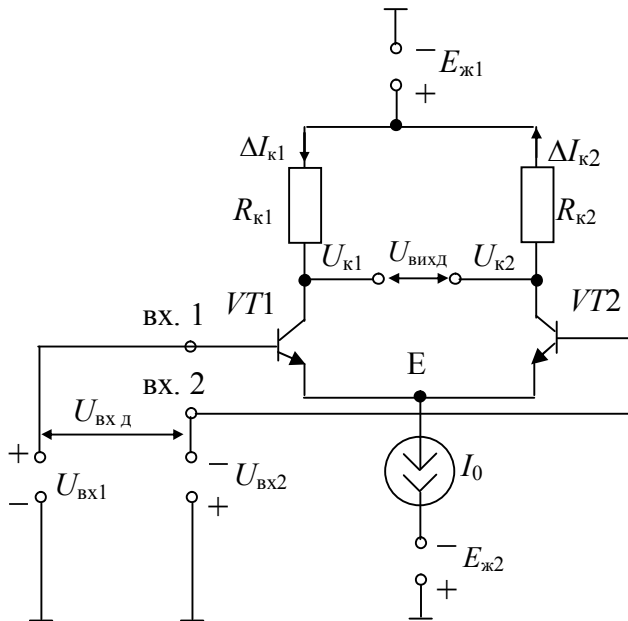


Рисунок 8.7 – Диференціальний підсилювач на біполярних транзисторах з резистивним навантаженням

Як впливає зі структурної схеми ОП (див. рис. 8.4), його вхідним каскадом є диференціальний підсилювач.

Диференціальний підсилювач (ДП) широко застосовується як в аналогових інтегральних мікросхемах, так і у схемах на дискретних елементах.

ДП має два симетричних входи: вх. 1 і вх. 2, і підсилює різницю двох вхідних напруг (*диференціальну напругу*)

$$U_{\text{вх д}} = U_{\text{вх1}} - U_{\text{вх2}}. \quad (8.12)$$

Звідси пішла назва цього типу підсилювача – *диференціальний*. При цьому вихідне коло може бути як симетричним, так і несиметричним.

### 8.4.1. Диференціальний підсилювач з резистивним навантаженням

Схему диференціального підсилювача на біполярних транзисторах з резистивним навантаженням показано на рис. 8.7. У схемі рисунка 8.7. використано симетричне живлення:  $|E_{\text{ж1}}| = |E_{\text{ж2}}| = |E_{\text{ж}}|$ . ДП складається з двох однакових (симетричних) плечей, кожне з яких являє собою підсилювальний каскад. Обидва транзистора працюють в активному режимі. У спільному емітерному колі транзисторів VT1 і VT2 діє генератор стабільного струму  $I_0 = \text{const}$  (ГСС).

Вихідна диференціальна напруга на симетричному виході дорівнює різниці колекторних потенціалів

$$U_{\text{вих д}} = U_{\text{к2}} - U_{\text{к1}}. \quad (8.13)$$

При такому визначенні  $U_{\text{вх д}}$  (формула 8.12) і  $U_{\text{вих д}}$  (формула 8.13) фази цих напруг збігаються: при збільшенні  $U_{\text{вх д}}$  збільшується також  $U_{\text{вих д}}$ , при зменшенні  $U_{\text{вх д}}$  зменшується також  $U_{\text{вих д}}$ .

В основі диференціального підсилювача лежить ідеальна симетрія обох плечей, тобто ідентичність параметрів транзисторів VT1 і VT2 та рівність колекторних опорів  $R_{\text{к1}} = R_{\text{к2}} = R_{\text{к}}$ . Використання джерела струму  $I_0$  забезпечує стабільність робочої точки (точки спокою):

$$I_{\text{к1}} = I_{\text{к2}} = \frac{I_0}{2}, \quad (8.14)$$

$$U_{\text{к1}} = U_{\text{к2}} = U_{\text{к0}}. \quad (8.15)$$

За відсутності вхідних сигналів колекторні струми й колекторні потенціали будуть однаковими, а вихідна диференціальна напруга дорівнюватиме нулю.

На рис. 8.8 показана передавальна характеристика диференціального підсилювача: залежності струмів  $I_{\text{к1}}$  й  $I_{\text{к2}}$  від напруги  $U_{\text{вх д}}$ .

З рисунка 8.8 видно, що, якщо напруга  $U_{\text{вх д}}$  змінюється в ту або іншу сторону відносно нульового потенціалу, все більший струм протікає через один транзистор і все менший – через інший. Сума струмів залишається постійною

$$I_{\text{к1}} + I_{\text{к2}} = I_0 = \text{const.} \quad (8.16)$$

Як впливає з рис. 8.8, передавальна характеристика ДП є нелінійною, тобто ДП є нелінійним пристроєм, як і звичайний підсилювач зі спільним емітером. Однак, у деякій обмеженій області передавальної характеристики залежності між струмами і вхідною диференціальною напругою  $I_{\text{к1}}(U_{\text{вх д}})$  і  $I_{\text{к2}}(U_{\text{вх д}})$ , можна вважати приблизно лінійними. Отже, при підсиленні сигналів *малої амплітуди* ДП можна вважати практично лінійним пристроєм.

Через симетрію схеми нульове значення  $U_{\text{вих д}}$  зберігається при одночасній й однаковій зміні струмів у обох плечах, якими б причинами така зміна не викликала. Отже, **в ідеальному ДП дрейф вихідної напруги відсутній**, хоча у кожному з плечей він може бути порівняно великим.

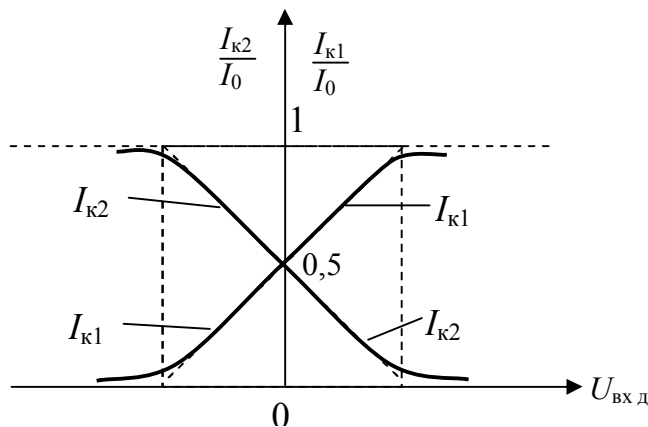


Рисунок 8.8 – Передавальна характеристика диференціального підсилювача

Подамо на бази транзисторів  $VT1$  і  $VT2$  *синфазні сигнали* ( $U_{\text{вх1}} = U_{\text{вх2}}$ ). Якщо джерело струму  $I_0$  ідеальне, то під дією вхідних синфазних сигналів струми колекторів транзисторів не зміняться, оскільки їхня сума  $I_{\text{к1}} + I_{\text{к2}} = I_0 = \text{const}$ , і струми не можуть одночасно або збільшуватися, або зменшуватися. Отже, не зміняться колекторні потенціали ( $U_{\text{к1}} = U_{\text{к2}} = \text{const}$ ) і вихідна диференціальна напруга дорівнюватиме нулю:  $U_{\text{вих д}} = U_{\text{к2}} - U_{\text{к1}} = 0$ . Отже, **ідеальний ДП не підсилює синфазні вхідні сигнали і пригальмовує синфазні завади**.

Розглянемо вплив на ДП двох напруг однакових значень, але протилежних за знаками (*протифазних сигналів*), як показано на рис. 8.7,

$$U_{\text{вх1}} = -U_{\text{вх2}} = |U_{\text{вх}}|. \quad (8.17)$$

Відповідно припущення колекторних струмів і колекторних потенціалів у плечах ДП будуть однаковими за значеннями, але різні за знаком:  $\Delta I_{\text{к1}} = -\Delta I_{\text{к2}}$ ,  $\Delta U_{\text{к2}} = -\Delta U_{\text{к1}}$ . При цьому сума колекторних струмів залишиться незмінною:

$$I_{\text{к1}} + \Delta I_{\text{к1}} + I_{\text{к2}} - \Delta I_{\text{к2}} = I_0 = \text{const},$$

вважаючи, що  $I_{\text{е1}} \approx I_{\text{к1}}$ ,  $I_{\text{е2}} \approx I_{\text{к2}}$ , якщо  $h_{21\text{е1}} \gg 1$ ,  $h_{21\text{е2}} \gg 1$ .

У результаті з'явиться *вихідна диференціальна напруга*, що дорівнює

$$U_{\text{вих д}} = \Delta U_{\text{к2}} - \Delta U_{\text{к1}} = 2|\Delta U_{\text{к}}|. \quad (8.18)$$

На рис. 8.7 показано напрями збільшення струмів  $I_{\text{к1}}$  й  $\Delta I_{\text{к2}}$  в ДП при подачі протифазних вхідних сигналів.

Отже, **ідеальний ДП підсилює тільки диференціальний (різницевий) сигнал**.

Робота диференціальних підсилювачів заснована на ідентичності його плечей, тому ДП і схеми, які використовують їх (наприклад, операційні підсилювачі),

широко застосовуються в інтегральних мікросхемах. Тільки в інтегральних мікросхемах, де елементи розташовані один від одного на відстанях десятків мікрон, можна забезпечити ідентичність параметрів елементів схеми, температурний коефіцієнтів і симетрію. Основним параметром диференціального підсилювача є коефіцієнт підсилення диференціального сигналу

$$K_{\text{ДП}} = \frac{U_{\text{вих д}}}{U_{\text{вх д}}}. \quad (8.19)$$

Коефіцієнт підсилення ДП на біполярних транзисторах становить кілька сотень.

Диференціальні підсилювачі на польових транзисторах в принципі працюють так само, як і ДП на біполярних транзисторах. Перевагами ДП на польових транзисторах є дуже високий вхідний опір ( $10^9 \dots 10^{12}$  Ом) і дуже маленький вхідний струм зміщення ( $10^{-9} \dots 10^{-12}$  А). До недоліків ДП на польових транзисторах можна віднести досить малий коефіцієнт підсилення напруги.

Схему ДП на польових транзисторах з керуючим *p-n*-переходом показано на рис. 8.9, на МОН – польових транзисторах з індукованим каналом – на рис. 8.10.

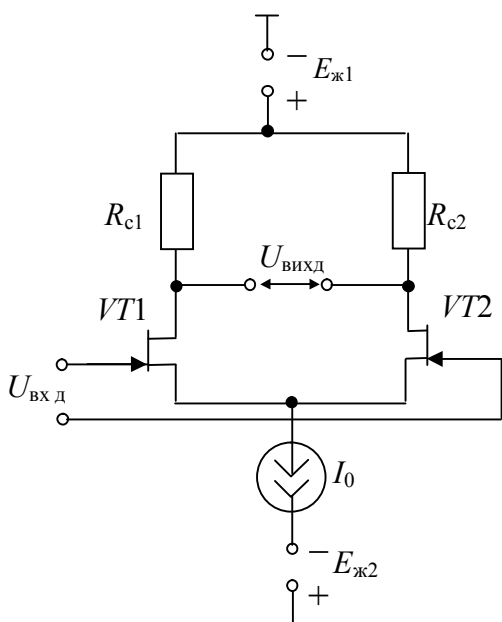


Рисунок 8.9 – Диференціальний підсилювач на польових транзисторах з керуючим *p-n*-переходом

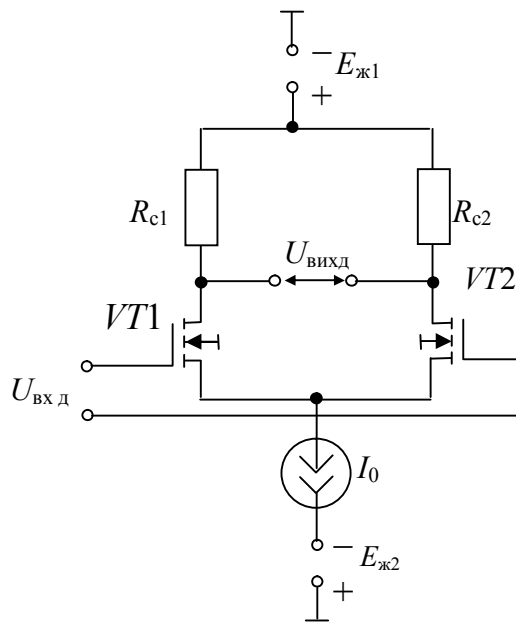


Рисунок 8.10 – Диференціальний підсилювач на МОН польових транзисторах з індукованим каналом

#### 8.4.2. Диференціальний підсилювач з динамічним навантаженням

Для підвищення коефіцієнта підсилення диференціального підсилювача насамперед необхідно збільшувати опір колекторного навантаження  $R_k$ .

Для отримання значного коефіцієнта підсилення потрібен дуже великий опір  $R_k \approx 1$  МОм. Проте такий великий опір  $R_k$  має низку суттєвих недоліків, особливо в інтегральних ДП:

1) В інтегральних мікросхемах площа, яка необхідна під резистор, приблизно пропорційна його опорі, тому резистор з великим опором займає надто багато місця на кристалі.



2) У великого резистора значна паразитна ємність, яка призводить до погіршення частотних властивостей диференціального підсилювача.

3) При збільшенні  $R_k$  збільшується падіння напруги на ньому  $I_k R_k$ . Для отримання необхідної напруги  $U_{ке}$  потрібно збільшувати напругу живлення:

$$E_{ж1} = U_{ке1} + I_{к1} R_{к1} = U_{ке2} + I_{к2} R_{к2}.$$

Тому в інтегральних ДП використовують динамічні навантаження. У якості динамічного навантаження використовують динамічний опір транзистора, тобто опір транзистора для змінних складових.

Великий динамічний опір має закритий колекторний перехід біполярного транзистора в активному режимі роботи.

Одну зі схем диференціального підсилювача з динамічним навантаженням показано на рис. 8.11. Як динамічне навантаження у цій схемі використаний генератор стабільного струму, виконаний на транзисторах  $VT1$  і  $VT3$ . Такий генератор стабільного струму називають також "*струмовим дзеркалом*".

У схемі рис. 8.11 транзистори  $VT2$  й  $VT4$  навантажені на динамічні опори колектор-емітер транзисторів  $VT1$  і  $VT3$ , які можуть бути рівні (10...20) МОм. Це дозволяє отримати дуже великий коефіцієнт підсилення напруги ДП. Незважаючи на великий динамічний опір падіння постійної напруги на динамічному навантаженні кожного плеча ДП складає всього  $U_{бе} \approx (0,6...0,7)$  В.

Аналогічно можна виконати диференціальний підсилювач на польовому транзисторі з динамічним навантаженням, як показано на рис. 8.12.

У схемі рис. 8.12 динамічні навантаження ДП виконані на польових транзисторах  $VT1$  і  $VT3$  у діодному включенні, динамічні опори стік-витік можуть дорівнювати десятки мегаом.

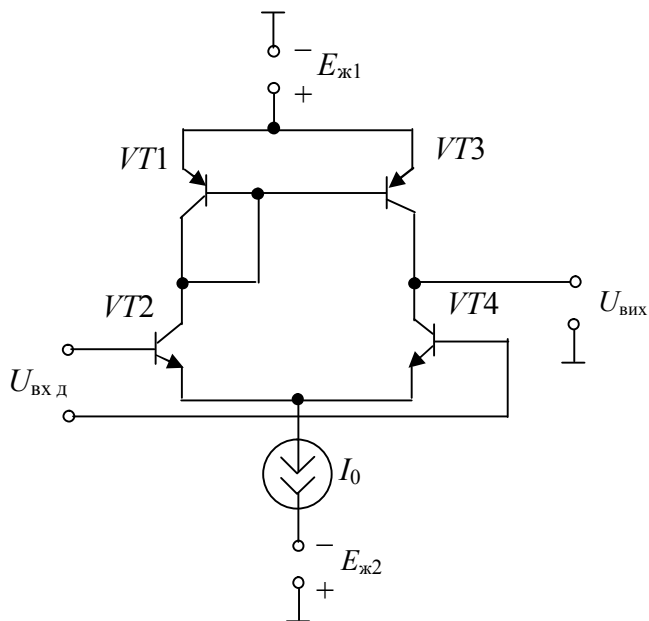


Рисунок 8.11 – Диференціальний підсилювач з динамічним навантаженням

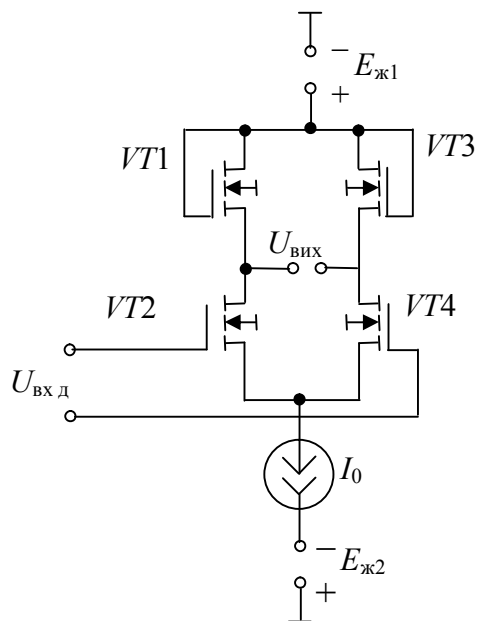


Рисунок 8.12 – Диференціальний підсилювач на МОН польових транзисторах з динамічним навантаженням

## 8.5. Кола живлення аналогових інтегральних мікросхем

В інтегральних мікросхемах (ІМС) велике значення набуває стабілізація рівнів струмів і напруг, що визначають режим роботи транзисторів за постійним струмом. Це зумовлено тим, що будь-яка довільна зміна режиму роботи транзистора сприймається на виході ІМС як корисний сигнал. З цієї причини в ІМС використовують стабілізатори напруги і струму, виконані на транзисторах.

На рис. 8.13 надано *схеми стабілізаторів напруги*, виконані на біполярних транзисторах.

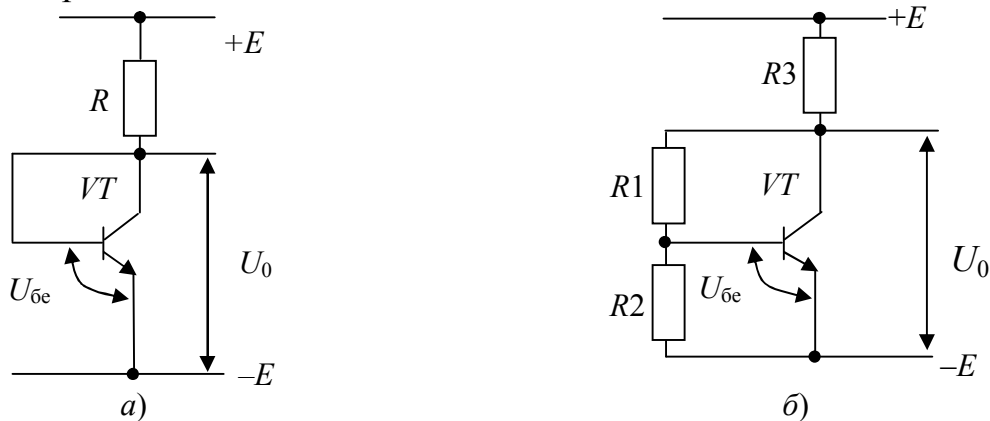


Рисунок 8.13 – Схеми стабілізації напруги: а) з діодною стабілізацією; б) з діодною стабілізацією й негативним зворотним зв'язком

На рис. 8.13,а надано схему стабілізатора напруги, в якому як стабілізуючий діод використовується біполярний транзистор у діодному включенні (база з'єднана з колектором). У цій схемі напруга  $U_0 = U_{\text{бе}}$ . Можна послідовно з'єднувати  $n$  транзисторів у діодному включенні, при цьому  $U_0 = nU_{\text{бе}}$ .

Для отримання довільного значення напруги  $U_0$  можна використати у схемі паралельний негативний зворотний зв'язок (рис. 8.13,б), за якого

$$U_0 = U_{\text{бе}} \left( 1 + \frac{R_1}{R_2} \right).$$

Отже, змінюючи відношення опорів  $\frac{R_1}{R_2}$ , можна змінювати  $U_0$ .

Для стабілізації струму в ІМС використовують спеціальні схеми, які називають *генераторами стабільного струму* (ГСС). Схеми генераторів стабільного струму надано на рис. 8.14.

Найпростіша схема ГСС на біполярних транзисторах (рис. 8.14,а) складається з двох ідентичних транзисторів  $VT1$  і  $VT2$  з безпосереднім зв'язком. Транзистор  $VT1$  має діодне включення і є елементом термокомпенсації у колі зміщення транзистора  $VT2$ . У мікросхемному виконанні схеми рис. 8.14,а можна отримати практично повну компенсацію зміни струму  $I$  при зміні температури, тобто отримати  $I \approx \text{const}$ .

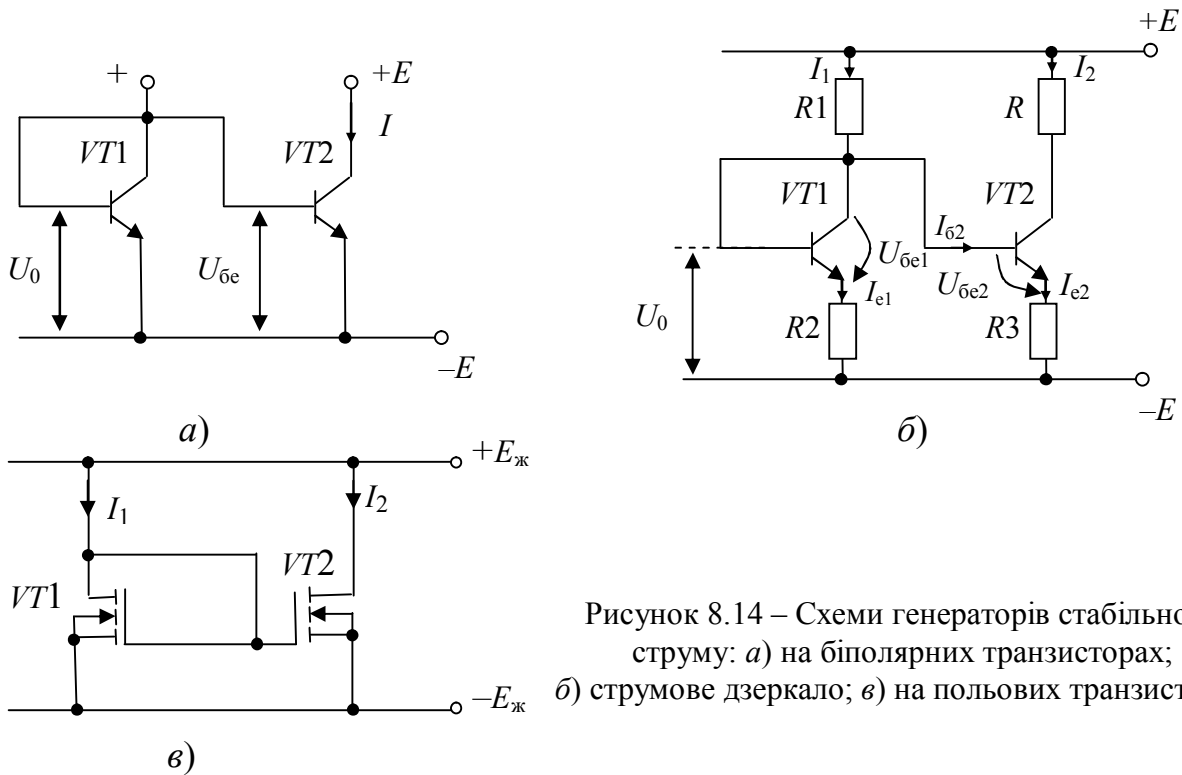


Рисунок 8.14 – Схеми генераторів стабільного струму: а) на біполярних транзисторах; б) струмове дзеркало; в) на польових транзисторах

На рис. 8.14,б надано схему ГСС, яка названа *струмовим дзеркалом*. Якщо виконати опори  $R_2$  і  $R_3$  рівними ( $R_2 = R_3$ ), а транзистори  $VT1$  і  $VT2$  ідентичними (що легко реалізувати в ІМС), то  $I_2 = I_1$ . Таким чином, у схемі рис. 8.14,б вихідний струм  $I_2$  у навантаженні  $R$  відображає вхідний струм  $I_1$ , що і визначає назву цієї схеми. Генератор стабільного струму, виконаний за схемою рис. 8.14,б, за своїми параметрами близький до ідеального генератора струму, який повинен мати внутрішній опір, рівний нескінченності.

На рис. 8.14,в надано схему ГСС на польових транзисторах з індукованим каналом  $VT1$  і  $VT2$ . Транзистор  $VT1$  має діодне включення і є елементом термокомпенсації у колі транзистора  $VT2$  (аналогічно схемі рис. 8.14,а). Цю схему також називають *струмовим дзеркалом*.

У ІМС для вирівнювання потенціалів використовують схеми зсуву рівня, які надано на рис. 8.15.

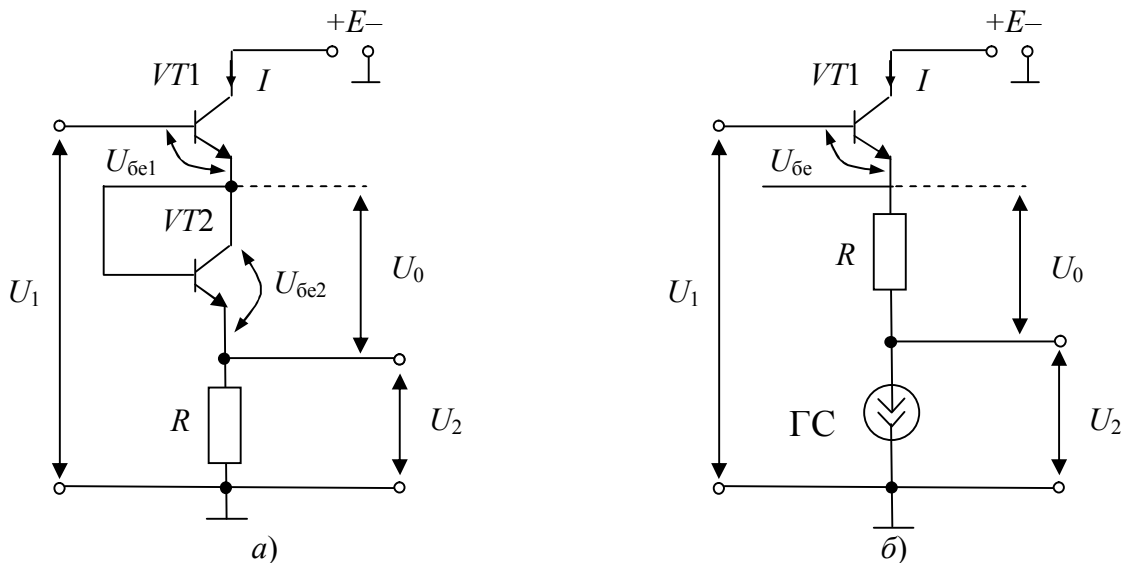


Рисунок 8.15. – Схеми зсува рівня постійного потенціалу униз: а) з діодною стабілізацією; б) з генератором стабільного струму

Обидві схеми рис. 8.15 являють собою емітерні повторювачі. Подібні схеми можуть бути виконані і на польових транзисторах. Емітерний та витоковий повторювачі повторюють корисний сигнал з незначним послабленням корисного сигналу.

## 8.6. Схемотехніка операційних підсилювачів

Як показано на рис. 8.4, структурна схема операційного підсилювача складається з вхідного, проміжного та вихідного каскадів. Схемна реалізація операційних підсилювачів визначається як функціональними вимогами, так і вимогами до стійкості, стабільності, надійності, маси, габаритних розмірів, вартості та іншими показниками ОП.

### *Вхідні каскади*

Вхідні каскади ОП виконуються за схемами диференціальних підсилювачів (ДП), але з різними модифікаціями. Особливості ДП інтегральних операційних підсилювачів зумовлені тим, що вхідний диференціальний підсилювач визначає точнісні показники ОП. Тому прагнуть зменшити вхідний струм  $I_{вх}$ , максимально збільшити вхідний опір  $R_{вх}$ , збільшити коефіцієнт підсилення  $K_{дп}$ , знизити шуми й отримати високу стабільність показників ДП при змінах напруги живлення і температури. Всі ДП мають одну загальну властивість: збереження симетрії схеми, яка дозволяє отримати малі значення дрейфу, зсуву та інших параметрів ОП. Високий коефіцієнт підсилення вхідного диференціального підсилювача  $K_{дп}$  дозволяє обійтися в ОП двома каскадами підсилення напруги, що покращує стійкість роботи ОП при уведенні негативного зворотного зв'язку і спрощує корекцію АЧХ операційного підсилювача.

Збільшення  $K_{дп}$  досягається застосуванням як опір навантаження ДП динамічних опорів генераторів стабільного струму (ГСС), а також транзисторів *супер-бета*. Для збільшення вхідного опору ДП застосовують наступне: 1) складені транзистори, 2) транзистори супер-бета; 3) зменшують струми емітерів до одиниць мікроампер; 4) польові транзистори.

### *Проміжні каскади*

За вхідним диференціальним підсилювачем в ОП слідує проміжний каскад, який повинен створити максимальне підсилення напруги і забезпечити зсув постійного потенціалу на виході ОП до потенціалу корпусу. Таке значне підсилення напруги в одному каскаді можна отримати тільки завдяки використанню динамічного навантаження (ГСС). Тому в інтегральних ОП проміжні каскади виконуються з динамічними навантаженнями, їхні схеми можуть бути симетричними і несиметричними. Як підсилювальні елементи у проміжних каскадах використовуються як одиночні транзистори, так і складені транзистори (пари Дарлінгтона).

### **Вихідні каскади**

Вихідний каскад ОП повинен забезпечити мінімальний вихідний опір, тому як вихідні каскади ОП використовуються двотактні емітерні або витікові повторювачі, які працюють в режимі *AB*, що дозволяє підвищити ККД операційного підсилювача.

Двотактні емітерні повторювачі ОП реалізуються найчастіше на комплементарних парах біполярних транзисторів з двома джерелами живлення. Вихідні каскади ОП виконуються як на одиночних комплементарних парах транзисторів, так і на комплементарних парах на основі складених транзисторів.

## **8.7. Функціональні пристрої на операційних підсилювачах**

Операційні підсилювачі можна віднести до інтегральних мікросхем загального призначення, які застосовуються у різних функціональних пристроях. За допомогою кола негативного зворотного зв'язку на операційних підсилювачах можна реалізувати значну кількість пристроїв, що перетворюють аналоговий вхідний сигнал. Крім того, операційний підсилювач дозволяє одночасно увести як негативний, так і позитивний зворотний зв'язки. Для отримання позитивного зворотного зв'язку сигнал з виходу ОП за допомогою кола *ЗЗ* необхідно подати на неінвертуючий вхід. Така комбінація негативного і позитивного зворотних зв'язків використовується при виконанні активних фільтрів, генераторів та інших пристроїв.

Розглянемо деякі основні застосування операційних підсилювачів.

### **8.7.1. Інвертуючий підсилювач**

Схему інвертуючого підсилювача показано на рис. 8.16. Аналогові ІМС на схемах позначаються буквою *A*, цифрові – буквою *D*.

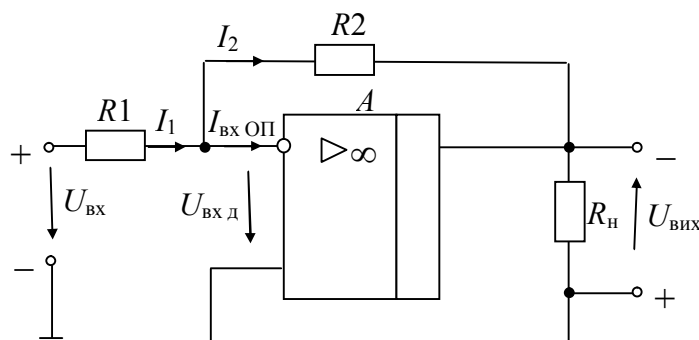


Рисунок 8.16 – Інвертуючий підсилювач

Схема інвертує напругу, тому що вхідний сигнал поданий на інвертуючий вхід. Отже, напруги  $U_{\text{ВХ}}$  й  $U_{\text{ВІХ}}$  зміщені за фазою на  $\pi$ . Зворотний зв'язок подається на вхід підсилювача за допомогою резистора  $R_2$ , коло зворотного зв'язку *B* утворене зовнішніми елементами  $R_2$  і  $R_1$ . Тому що напруги вхідна  $U_{\text{ВХ}}$  і зворотного зв'язку  $U_{\text{ЗЗ}}$  зміщені на  $\pi$ , то зв'язок негативний. За способом введення – зв'язок паралельний, за способом зняття – за напругою. Паралельний негатив-

ний ЗЗ призводить до збільшення вхідного струму схеми  $I_{\text{вх}} = I_1$ , і, отже, до зменшення вхідного опору інвертуючого підсилювача порівняно зі вхідним опором операційного підсилювача. Негативний ЗЗ за напругою призводить до зменшення вихідного опору інвертуючого підсилювача, тобто  $R_{\text{вих}} < R_{\text{вих ОП}}$ , яке і без зворотного зв'язку малий.

Для спрощення аналізу будемо вважати, що у розглянутій смузі частот операційний підсилювач *близький до ідеального*:  $K_{\text{ОП}} \rightarrow \infty$ ;  $R_{\text{вх ОП}} \rightarrow \infty$ ;  $R_{\text{вих ОП}} \rightarrow 0$ . Це припущення можна вважати справедливим, оскільки згідно з формулою (8.8) вхідна напруга ОП  $U_{\text{вх д max}}$  дорівнює дуже маленькому значенню. У цьому випадку вважаємо, що  $U_{\text{вх д}} \approx 0$ , а вхідний струм ОП  $I_{\text{вх ОП}} \approx 0$ , тому що вхідний опір  $R_{\text{вх ОП}} \rightarrow \infty$ .

Тоді для схеми рис. 8.16 справедлива рівність

$$I_1 = I_2,$$

а вхідний опір інвертуючого підсилювача

$$R_{\text{вх}} = \frac{U_{\text{вх}}}{I_1} = R_1. \quad (8.20)$$

Для визначення коефіцієнта підсилення інвертуючого підсилювача знайдемо струми:

$$I_1 = \frac{U_{\text{вх}}}{R_1},$$

з урахуванням полярності вихідної напруги

$$I_2 = -\frac{U_{\text{вих}}}{R_2}.$$

Тому що  $I_1 = I_2$ , то справедлива рівність

$$\frac{U_{\text{вх}}}{R_1} = -\frac{U_{\text{вих}}}{R_2}.$$

З цієї рівності знайдемо коефіцієнт підсилення інвертуючого підсилювача

$$K = \frac{U_{\text{вих}}}{U_{\text{вх}}} = -\frac{R_2}{R_1}. \quad (8.21)$$

Таким чином, коефіцієнт підсилення  $K$  визначається тільки зовнішніми елементами схеми і не залежить від коефіцієнта підсилення операційного підсилювача  $K_{\text{ОП}}$ . Знак мінус свідчить про інверсію сигналу.

Для змінного вхідного сигналу

$$\underline{K} = \frac{\underline{U}_{\text{вих}}}{\underline{U}_{\text{вх}}} = -\frac{R_2}{R_1}.$$

*Зазвичай, під коефіцієнтом підсилення розуміють його модуль.*

Операційний підсилювач є підсилювачем постійного струму, тому підсилювач (рис. 8.16) підсилює і постійну, і змінну напруги. У загальному випадку, якщо вхідний сигнал містить і постійну, і змінну складові, обидві складові будуть підсилені у  $K$  разів. Перевагою операційних підсилювачів є те, що при використанні симетричного двополярного живлення, якщо сигнал не має постійної складової, то і вихідний сигнал також не матиме постійної складової. Це

суттєво спрощує каскадне з'єднання таких підсилювачів, тому що немає необхідності використовувати розділяльні конденсатори між каскадами.

### 8.7.2. Неінвертуючий підсилювач. Повторювач напруги

Схема неінвертуючого підсилювача показана на рис. 8.17.

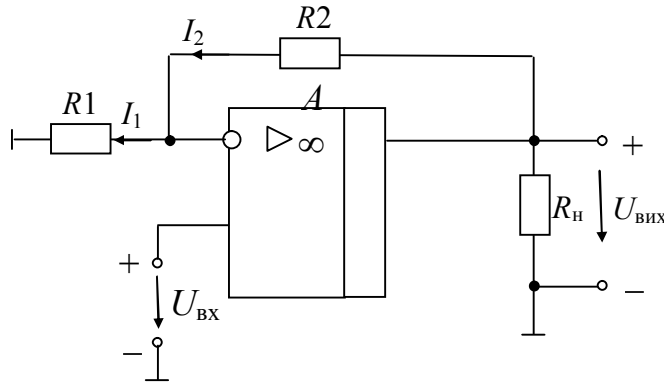


Рисунок 8.17 – Неінвертуючий підсилювач

Підсилювач вхідну напругу не інвертує, тому що вхідний сигнал подано на неінвертуючий вхід. Отже, напруги  $U_{ВХ}$  і  $U_{ВІХ}$  збігаються за фазою. Резистори  $R_1$  і  $R_2$  утворюють чотириполіусник зворотного зв'язку  $B$ . Напруга зворотного зв'язку  $U_{ЗЗ}$ , яка виділяється на резисторі  $R_1$  ( $U_{ЗЗ} = I_1 R_1$ ), включена послідовно з вхідною напругою у протифазі. Таким чином, у схемі рис. 8.17 використаний негативний ЗЗ послідовний за напругою. Послідовний ЗЗ збільшує вхідний опір неінвертуючого підсилювача, тобто  $R_{ВХ} > R_{ВХ \text{ ОП}}$ , який і без зворотного зв'язку великий ( $R_{ВХ \text{ ОП}} \rightarrow \infty$ ). Негативний ЗЗ за напругою зменшує вихідний опір неінвертуючого підсилювача, тобто  $R_{ВІХ} < R_{ВІХ \text{ ОП}}$ .

Знайдемо коефіцієнт підсилення неінвертуючого підсилювача, вважаючи  $U_{ВХ \text{ Д}} \approx 0$ ,  $I_{ВХ \text{ ОП}} \approx 0$ . У цьому випадку  $I_1 = I_2$ , а  $U_{ВХ} = I_1 R_1$ ,  $U_{ВІХ} = I_2 R_2 + I_1 R_1 = I_2 R_2 + U_{ВХ}$ . Знайдемо струми:

$$I_1 = \frac{U_{ВХ}}{R_1}, \quad I_2 = \frac{U_{ВІХ} - U_{ВХ}}{R_2}.$$

Прирівнявши струми, отримаємо

$$\frac{U_{ВХ}}{R_1} = \frac{U_{ВІХ} - U_{ВХ}}{R_2}.$$

Звідси знайдемо коефіцієнт підсилення неінвертуючого підсилювача

$$K = 1 + \frac{R_2}{R_1}. \quad (8.22)$$

### Повторювач напруги

Схема повторювача напруги показана на рис. 8.18.

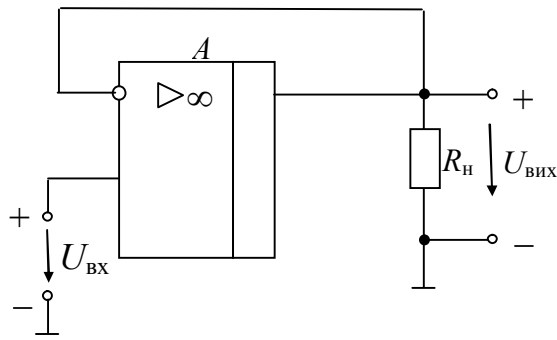


Рисунок 8.18 – Повторювач напруги

У схемі використано послідовний негативний зворотний зв'язок за напругою, аналогічно емітерному та стоковому повторювачам. Якщо прийняти  $U_{\text{ВХ д}} \approx 0$ , то

$$U_{\text{ВІХ}} = U_{\text{ВХ}}, K = 1. \quad (8.23)$$

Схему повторювача можна розглядати також як окремий випадок схеми рис. 8.18, якщо взяти  $R_2 = 0$ ,  $R_1 = \infty$ , тоді  $K = 1$ .

У схемі повторювача фази вхідної й вихідної напруг однакові, коефіцієнт підсилення дорівнює одиниці, отже, вихідна напруга повторює вхідну напругу. Вхідний опір повторювача великий ( $R_{\text{ВХ}} \rightarrow \infty$ ), вихідний опір малий ( $R_{\text{ВІХ}} \rightarrow 0$ ). Повторювач використовується як буферний (розв'язуючий) підсилювач.

### 8.7.3. Аналогові суматори

#### Інвертуючий суматор

Інвертуючий суматор складає вхідні напруги з різними ваговими коефіцієнтами. Схему інвертуючого суматора показана на рис. 8.19.

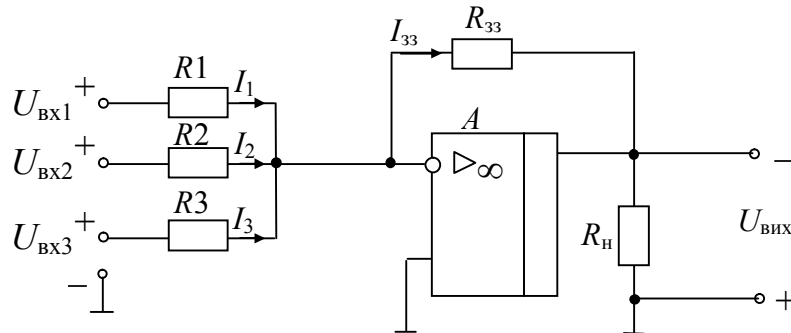


Рисунок 8.19 – Інвертуючий суматор

Будемо вважати, що  $I_{\text{ВХ ОП}} = 0$ ,  $U_{\text{ВХ д}} = 0$ . У цьому випадку струми джерел сигналу сумуються, їхня сума дорівнює струму у колі зворотного зв'язку

$$I_{33} = I_1 + I_2 + I_3.$$

Тому що  $U_{\text{ВХ д}} = 0$ , то вхідні сигнали розв'язані один від одного, струми  $I_1$ ,  $I_2$ ,  $I_3$  залежать лише від своєї вхідної напруги і не залежать від інших джерел сигналу. Напруги  $U_{\text{ВХ1}}$ ,  $U_{\text{ВХ2}}$ ,  $U_{\text{ВХ3}}$  не взаємодіють одна з одною. У цьому випадку вхідні струми дорівнюють

$$I_1 = \frac{U_{\text{ВХ1}}}{R_1}, \quad I_2 = \frac{U_{\text{ВХ2}}}{R_2}, \quad I_3 = \frac{U_{\text{ВХ3}}}{R_3}.$$



Струм кола зворотного зв'язку  $I_{33}$ , протікаючи через резистор  $R_{33}$ , створює на ньому падіння напруги, що дорівнює вихідній напрузі,

$$U_{\text{вих}} = -(I_1 + I_2 + I_3)R_{33}.$$

Знак мінус свідчить про інверсію вихідної напруги, тому що вхідні напруги подані на інвертуючий вхід. Підставивши значення струмів, отримаємо формулу для вихідної напруги

$$U_{\text{вих}} = -\left(U_{\text{вх1}} \cdot \frac{R_{33}}{R_1} + U_{\text{вх2}} \cdot \frac{R_{33}}{R_2} + U_{\text{вх3}} \cdot \frac{R_{33}}{R_3}\right). \quad (8.24)$$

З формули (8.24) випливає, що вхідні напруги підсумовуються із заданими ваговими коефіцієнтами, що дорівнюють відношенням:  $\frac{R_{33}}{R_1}$ ,  $\frac{R_{33}}{R_2}$ ,  $\frac{R_{33}}{R_3}$ . Ця схема дозволяє підсумувати достатньо багато вхідних сигналів.

Якщо вибрати значення опорів всіх резисторів схеми рівними, тобто

$$R_1 = R_2 = R_3 = R_{33},$$

то отримаємо інвертуючий суматор напруг

$$U_{\text{вих}} = -(U_{\text{вх1}} + U_{\text{вх2}} + U_{\text{вх3}}). \quad (8.25)$$

### Неінвертуючий суматор

Якщо сигнали, що складаються, подати на неінвертуючий вхід операційного підсилювача, то отримаємо неінвертуючий суматор напруги, схему якого показано на рис. 8.20.

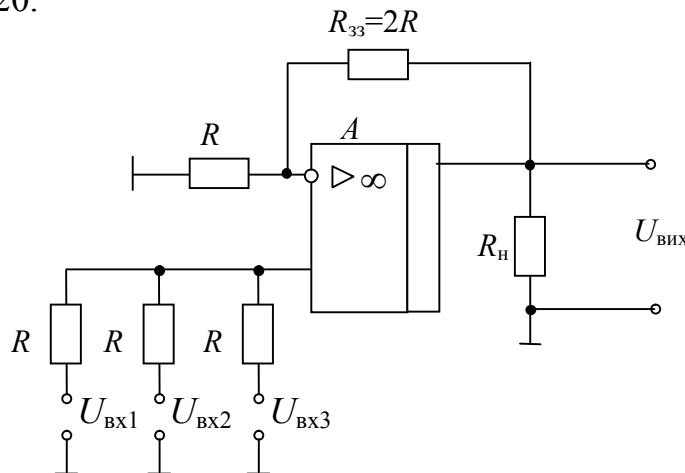


Рисунок 8.20 – Неінвертуючий суматор

У схемі рис. 8.20 опори всіх резисторів однакові, крім опору  $R_{33}$ . Якщо суматор має  $N$  входів, опір зворотного зв'язку  $R_{33}$  обирають рівним

$$R_{33} = (N - 1)R.$$

Для трьох входів ( $N = 3$ )  $R_{33} = 2R$ , як показано на рис. 8.20.

Вхідна напруга суматора дорівнює середньому значенню вхідних напруг джерел сигналів

$$U_{\text{вх сер}} = \frac{U_{\text{вх1}} + U_{\text{вх2}} + \dots + U_{\text{вхN}}}{N}.$$

Коефіцієнт підсилення суматора дорівнює коефіцієнту підсилення неінвертуючого підсилювача, тобто

$$K = 1 + \frac{R_{33}}{R} = N.$$

Отже, вихідна напруга суматора дорівнює

$$U_{\text{вих}} = U_{\text{вх сер}} \cdot K = U_{\text{вх1}} + U_{\text{вх2}} + \dots + U_{\text{вхN}}, \quad (8.26)$$

тобто сумі вхідних напруг.

#### 8.7.4. Інтегратор

Інтегратором називається пристрій, у якого вихідна напруга пропорційна інтегралу за часом від вхідної напруги. Схема інвертуючого інтегратора на операційному підсилювачі показана на рис. 8.21.

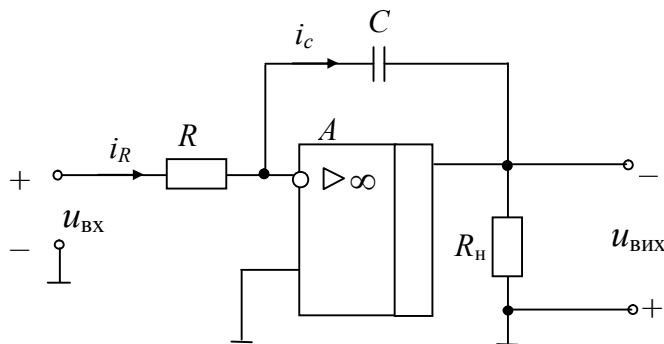


Рисунок 8.21 – Інвертуючий інтегратор на операційному підсилювачі

Наведений інтегратор – інвертуючий. Полярність сигналів на рис. 8.21 вказана для даного моменту часу.

При аналізі схеми будемо вважати, що операційний підсилювач є ідеальним:

$$U_{\text{вх д}} = 0, I_{\text{вх ОП}} = 0.$$

У цьому випадку справедлива рівність

$$i_R = i_c.$$

Знайдемо ці струми

$$i_R = \frac{u_{\text{ВХ}}}{R}, i_c = -C \frac{du_{\text{ВІХ}}}{dt}.$$

Прирівнявши струми, отримаємо

$$\frac{u_{\text{ВХ}}}{R} = -C \frac{du_{\text{ВІХ}}}{dt}, du_{\text{ВІХ}} = -\frac{1}{RC} u_{\text{ВХ}} dt.$$

Інтегруючи вираз, знайдемо вихідну напругу

$$u_{\text{ВІХ}} = -\frac{1}{RC} \int u_{\text{ВХ}} dt, \quad (8.27)$$

яка пропорційна інтегралу від вхідної напруги. Межами інтегрування у формулі (8.27) є моменти початку і кінця інтервалу часу спостереження сигналу. Для

обчислення інтеграла від вхідної напруги, яка змінюється, необхідно спочатку виразити цю напругу як функцію часу. Розглянемо приклад.

*Приклад. Прямокутний вхідний сигнал*

Ступінчаста форма сигналу і формула (8.27) дозволяють легко визначити форму вихідного сигналу, якщо на вхід подано прямокутний сигнал. Епюри вхідної та вихідної напруг інвертуючого інтегратора показано на рис. 8.22.

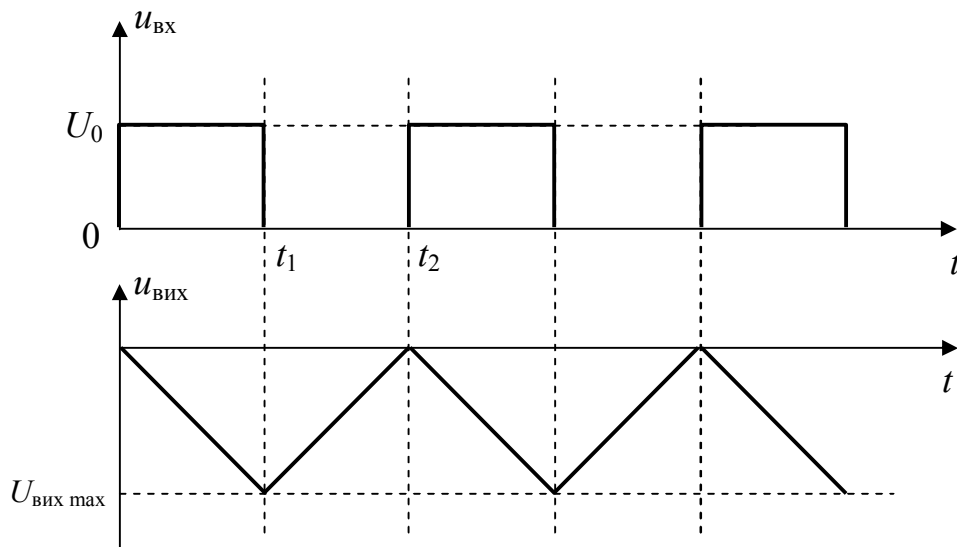


Рис. 8.22 – Реакція інвертуючого інтегратора на прямокутний однополярний сигнал

Форма вихідного сигналу вийшла трикутною. Для визначення значення  $U_{\text{вих max}}$  необхідно за формулою (8.27) знайти значення інтеграла за напівперіод  $(0 \dots t_1)$

$$U_{\text{вих max}} = -\frac{1}{RC} U_0 \cdot t_1. \quad (8.28)$$

На ОП можна виконати також схеми: сумуючий інтегратор, інтегратор-підсилювач, різницевий інтегратор, подвійний інтегратор та ін.

### 8.7.5. Диференціатор

*Диференціатором* називається пристрій, у якого вихідна напруга пропорційна диференціалу вхідної напруги. Схема інвертуючого диференціатора на операційному підсилювачі показана на рис. 8.23. Полярність сигналів на рис. 8.23 зазначена для даного моменту часу.

При аналізі будемо вважати, що операційний підсилювач є ідеальним:  $U_{\text{вх д}} = 0$ ,  $I_{\text{вх ОП}} = 0$ . У цьому випадку справедлива рівність:

$$i_R = i_C.$$

Знайдемо струми

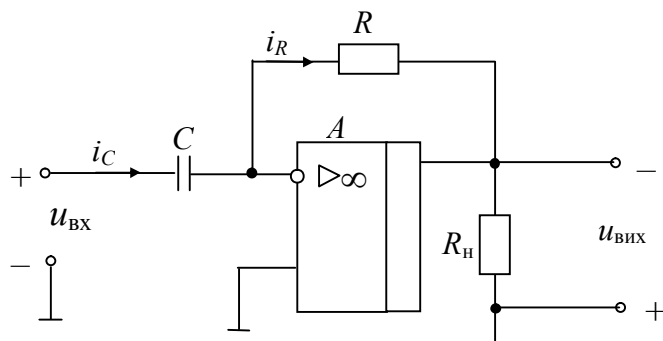


Рисунок 8.23 – Інвертуючий диференціатор на операційному підсилювачі

$$i_c = C \frac{du_{\text{вх}}}{dt}, i_R = -\frac{u_{\text{вих}}}{R}.$$

Прирівнюючи струми, знайдемо вихідну напругу

$$u_{\text{вих}} = -CR \frac{du_{\text{вх}}}{dt}, \quad (8.29)$$

яка пропорційна диференціалу вхідної напруги.

Для обчислення диференціала від вхідної напруги, що змінюється, необхідно спочатку виразити цю напругу як функцію часу. Розглянемо приклад.

*Приклад. Прямокутний вхідний сигнал*

Епюри вхідної і вихідної напруги диференціатора показано на рис. 8.24.

Таку форму вихідний сигнал буде мати, якщо ОП близький до ідеального. У реальних схемах форма вихідного сигналу буде визначатися частотою слідування вхідних імпульсів і частотними властивостями операційних підсилювачів.

На ОП можна виконати також інші схеми диференціаторів: підсумовувальний, диференціатор-підсилювач, різницевий та інші.

Диференціатор є активним фільтром верхніх частот з коефіцієнтом передачі більшим одиниці.

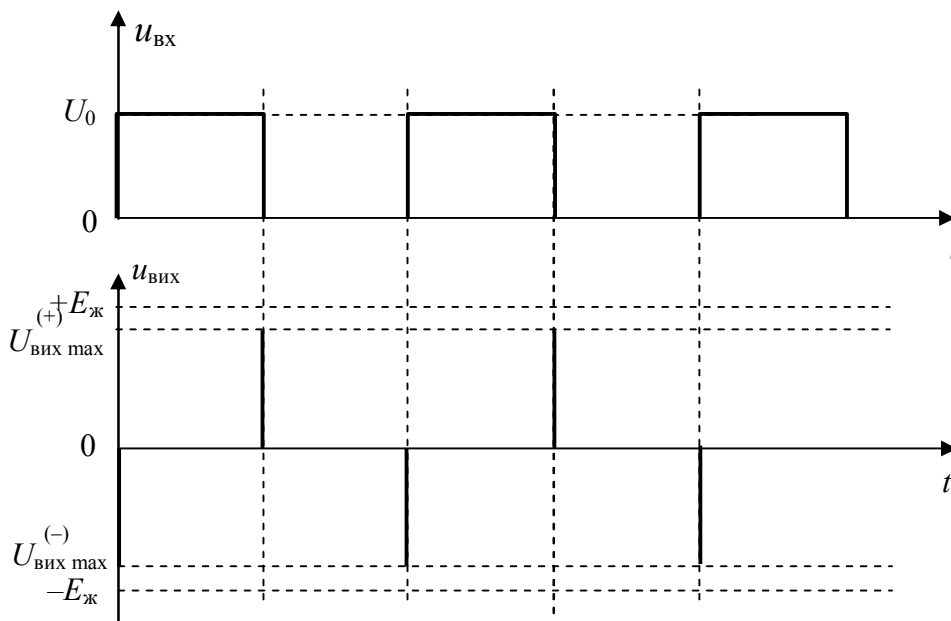


Рисунок 8.24 – Реакція інвертуючого диференціатора на прямокутний вхідний сигнал

### 8.7.6. Логарифмічні схеми

Логарифмічні й антилогарифмічні схеми використовуються для виконання аналогового множення і ділення, компресії сигналу, обчислення логарифмів і показових функцій та в інших пристроях.

#### Логарифматор

Логарифматором називається пристрій, у якого вихідна напруга пропорційна логарифму вхідної напруги. Для отримання логарифмічної характеристики

у коло негативного зворотного зв'язку операційного підсилювача необхідно включити елемент, який має логарифмічну вольтамперну характеристику (ВАХ). Таким елементом є напівпровідниковий *p-n*-перехід.

Відомо, що прямі струми і напруги напівпровідникового діода зв'язані наступним співвідношенням

$$I_d \approx I_0 \cdot \exp\left(\frac{U_d}{\phi_T}\right), \quad (8.30)$$

де  $I_0$  – зворотний струм діода;  $\phi_T$  – температурний потенціал ( $\phi_T = 26$  мВ при температурі  $T = 300$  К).

Аналогічно можна записати вираз для колекторного струму біполярного транзистора, включеного із спільною базою,

$$I_k \approx I_{e60} \cdot \exp\left(\frac{U_{e6}}{\phi_T}\right), \quad (8.31)$$

де  $I_{e60}$  – зворотний струм емітерного переходу.

Вирази, що визначають струм діода і колекторний струм транзистора, ідентичні. Тому все, що стосується струму  $I_d$ , може бути застосовано і до струму колектора  $I_k$ .

Схеми логарифматорів показано на рис. 8.25.

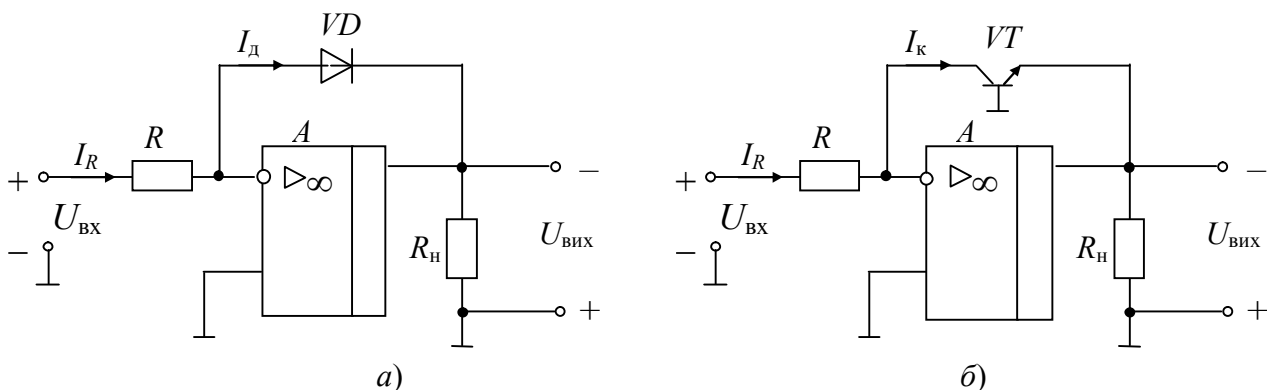


Рисунок 8.25 – Логарифматор: а) на діоді; б) на біполярному транзисторі

Проаналізуємо роботу схеми рис. 8.25,а, знайдемо взаємозв'язок між вхідною і вихідною напругами. ОП вважаємо ідеальним, тобто виконуються рівності:

$$I_R = I_d, \quad U_d = U_{вих}.$$

Знайдемо струми

$$I_R = \frac{U_{вх}}{R}, \quad I_d = I_0 \cdot \exp\left(\frac{U_{вих}}{\phi_T}\right),$$

звідси можна записати

$$\frac{U_{вх}}{R} = I_0 \cdot \exp\left(\frac{U_{вих}}{\phi_T}\right). \quad (8.32)$$

Прологарифмуємо вираз (8.32)

$$\ln \frac{U_{\text{вх}}}{R} = \ln I_0 + \frac{U_{\text{вх}}}{\varphi_T}. \quad (8.33)$$

З виразу (8.33) знайдемо вихідну напругу

$$U_{\text{вих}} = \varphi_T \ln \left( \frac{U_{\text{вх}}}{I_0 R} \right), \quad (8.34)$$

отже, вихідна напруга пропорційна логарифму вхідної напруги.

Слід зазначити, що логарифматор має вихідну напругу лише однієї полярності, яка визначається напрямом включення діода. Схема рис. 8.25,а (як і схема рис. 8.25,б) має негативну вихідну напругу при позитивній вхідній. Якщо змінити полярність діода  $VD$ , то вихідна напруга буде позитивною при негативній вхідній. Для логарифмування двополярного вхідного сигналу необхідно використовувати у колі зворотного зв'язку два діоди,

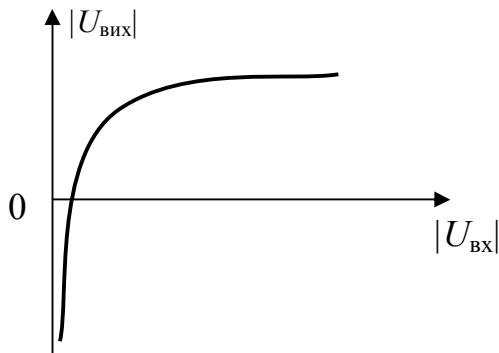


Рисунок 8.26 – Амплітудна характеристика логарифматора

що включені назустріч один одному.

Амплітудна характеристика логарифматора показана на рис. 8.26, з якої видно, що логарифматор підкреслює малі сигнали і стискає великі.

### Антилогарифматор

Антилогарифматором називається пристрій, у якого вихідна напруга пропорційна антилогарифму від вхідної напруги. Антилогарифм визначається як експонента від логарифма

$$\exp(\ln x) = x = \text{antiln}.$$

Схеми антилогарифматорів показано на рис. 8.27.

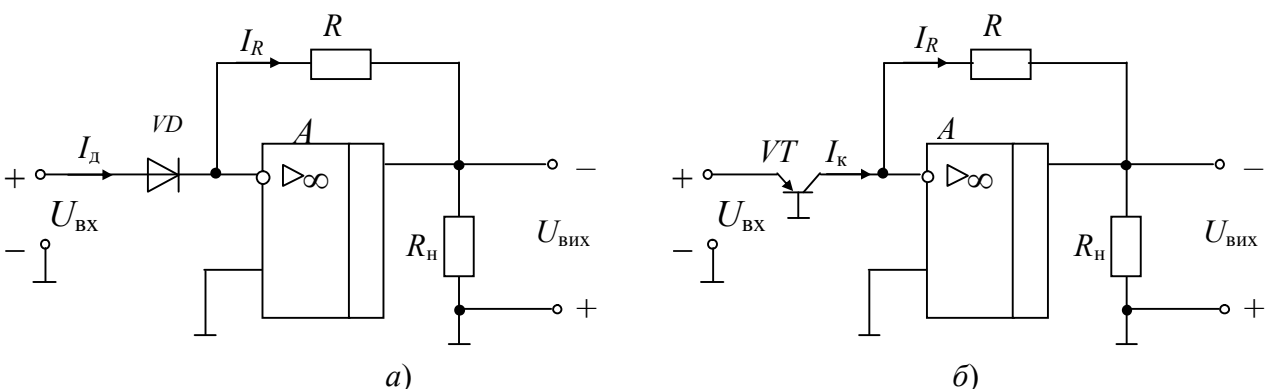


Рисунок 8.27 – Антилогарифматор: а) на діоді; б) на біполярному транзисторі

У схемі рис. 8.27,а можна вважати, що

$$I_R = I_d, \quad U_d = U_{\text{вх}}.$$

Знайдемо струми

$$I_R = \frac{U_{\text{ВЫХ}}}{R}, I_d = I_0 \cdot \exp\left(\frac{U_{\text{ВХ}}}{\varphi_T}\right).$$

З цих виразів знайдемо вихідну напругу

$$U_{\text{ВЫХ}} = RI_0 \cdot \exp\left(\frac{U_{\text{ВХ}}}{\varphi_T}\right) = RI_0 \cdot \text{antiln}\left(\frac{U_{\text{ВХ}}}{\varphi_T}\right). \quad (8.34)$$

Аналогічно отримаємо формулу для схеми рис. 8.27,б

$$U_{\text{ВЫХ}} = RI_{\text{е60}} \cdot \exp\left(\frac{U_{\text{ВХ}}}{\varphi_T}\right) = RI_{\text{е60}} \cdot \text{antiln}\left(\frac{U_{\text{ВХ}}}{\varphi_T}\right). \quad (8.34)$$

Антилогарифматор має вихідну напругу лише однієї полярності, яка визначається напрямом включення діода або типом біполярного транзистора. Якщо вхідна напруга негативна, а не позитивна, необхідно використовувати транзистор *n-p-n*-типу, або змінити полярність діода.

Амплітудна характеристика антилогарифматора має вигляд експоненти (рис. 8.28). Отже, антилогарифматор підкреслює великі і приховує малі сигнали.

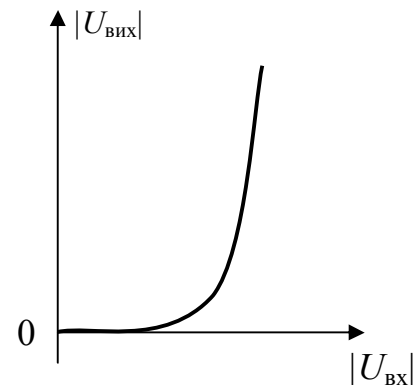


Рисунок 8.28 – Амплітудна характеристика антилогарифматора

### 8.7.7. Компаратори. Тригер Шмітта

Компаратори є спеціалізованими операційними підсилювачами з диференціальним входом і одиночним або парафазним цифровим виходом. Умовне позначення компаратора наведено на рис. 8.1,б. **Компаратор** – це пристрій, який порівнює різницю вхідних сигналів ( $U_{\text{ВХ Д}}$ ) з опорною напругою  $U_{\text{оп}}$ .

Вхідний каскад компаратора побудований аналогічно схемам ОП. На виході компаратора формується сигнал високого логічного рівня, якщо різниця вхідних сигналів  $U_{\text{ВХ Д}}$  менша напруги спрацювання компаратора  $U_{\text{оп}}$ , або низького логічного рівня, якщо  $U_{\text{ВХ Д}}$  перевищує напругу спрацювання компаратора. На один вхід компаратора подається досліджуваний сигнал, на інший – опорний потенціал.

*Основні параметри компаратора*

1) Чутливість  $U_{\text{ВХ мин}}$  – точність, з якою компаратор може розрізнити вхідний і опорний сигнали.

2) Швидкодія  $t_{\text{здр}}$  – швидкість відгуку, зумовлена затримкою спрацювання і часом наростання сигналу.

3) Навантажувальна здатність – здатність компаратора управляти певним числом входів цифрових мікросхем.

Інші параметри аналогічні параметрам операційного підсилювача.

Промисловість випускає значну кількість різноманітних компараторів, їх параметри, схеми та умовні позначення надаються у довідниках.

Найпростіша схема компаратора, яка виконана на операційному підсилювачі, показана на рис. 8.29,а, передавальна характеристика компаратора на рис. 8.29,б.

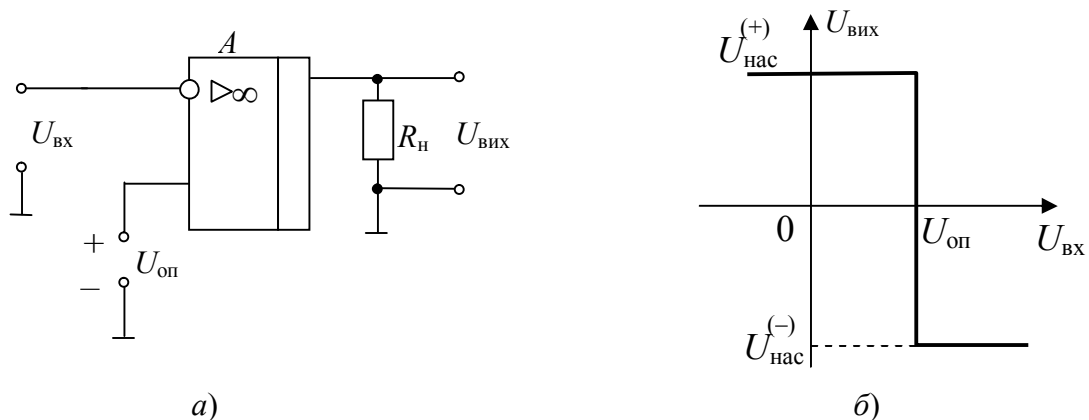


Рисунок 8.29 – Компаратор напруги: а) схема; б) передавальна характеристика

Опорна напруга може мати різну полярність. Для схеми рис. 8.29,а розглянемо приклад для трикутного вхідного сигналу. Форму сигналу на вході і виході компаратора показано на рис. 8.30.

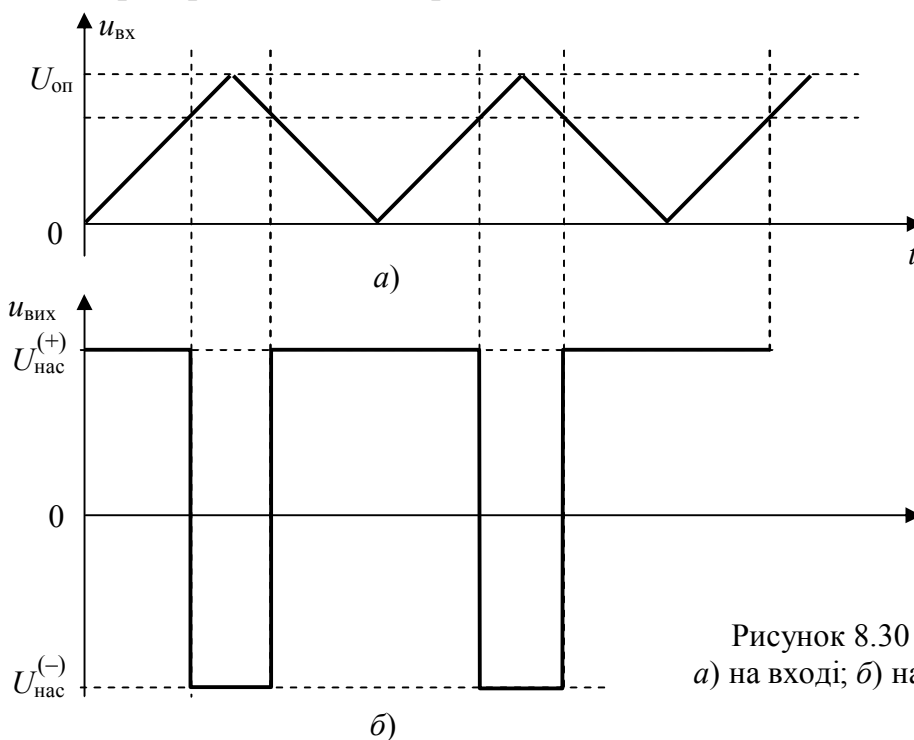


Рисунок 8.30 – Форма сигналів:  
а) на вході; б) на виході компаратора

На виході компаратора встановлюється позитивна чи негативна напруга насичення залежно від того, яка з вхідних напруг більша.

Розглянемо роботу схеми рис. 8.29,а. У даній схемі показана опорна напруга позитивної полярності:

1) Якщо напруга на вході  $U_{вх} > U_{оп}$ , то згідно з передавальною характеристикою компаратора рис. 8.29,б, напруга на виході дорівнює негативній напрузі насичення:

$$U_{вых} = U_{нас}^{(-)}$$



2) Якщо напруга на вході  $U_{\text{вх}} < U_{\text{оп}}^{(+)}$ , то напруга на виході дорівнює позитивній напрузі насичення:  $U_{\text{вих}} = U_{\text{нас}}^{(+)}$ .

Таким чином, вихідна напруга стрибком перемикається від рівня  $U_{\text{нас}}^{(-)}$  до рівня  $U_{\text{нас}}^{(+)}$ . Вихідна напруга показує: більша або менша вхідна напруга  $U_{\text{вх}}$  опорної напруги  $U_{\text{оп}}$ . Перемикання схеми відбувається при рівності напруг:  $U_{\text{вх}} = U_{\text{оп}}$ , тобто  $U_{\text{оп}} - U_{\text{вх}} = 0$ . Процес перемикання компаратора ілюструє рис. 8.30.

В аналогових інтегральних мікросхемах компаратор часто розробляється так, щоб рівні на його виході були сумісні для роботи з іншими компонентами, наприклад, зі схемами цифрової логіки:  $U_1 = \text{лог. 1}$ ;  $U_2 = \text{лог. 0}$ .

Компаратори застосовують у наступних схемах:

1) У *тригері Шмітта* (схема формування сигналу), що перетворює сигнал довільної форми у прямокутний або імпульсний сигнал.

2) У *детекторі нуля* – схема, яка показує момент і напрям проходження вхідного сигналу через напругу, що дорівнює нулю.

3) У *детекторі рівня* – схема, яка показує момент досягнення вхідною напругою даного рівня опорної напруги.

4) У *генераторах сигналів* трикутної або прямокутної форми.

Розглянемо тригер Шмітта.

### Тригер Шмітта

Схема компаратора рис. 8.29,а може давати помилкове спрацювання, якщо у вхідному сигналі присутні шуми. Для поліпшення характеристик компаратора вводиться позитивний зворотний зв'язок. Для цього частина вихідної напруги подається на неінвертуючий вхід операційного підсилювача. Схема такого компаратора наведена на рис. 8.31,а, його передавальна характеристика – на рис. 8.31,б. Такий компаратор називають *тригером Шмітта*.

Напруга позитивного ЗЗ, яка визначається резистивним подільником  $R_1$  і  $R_2$ , виконує роль опорної напруги, яка змінюється в процесі роботи, оскільки вона залежить від значення вихідної напруги:

1) Якщо вихідна напруга  $U_{\text{вих}} = U_{\text{нас}}^{(+)}$ , то верхня гранична напруга дорівнює

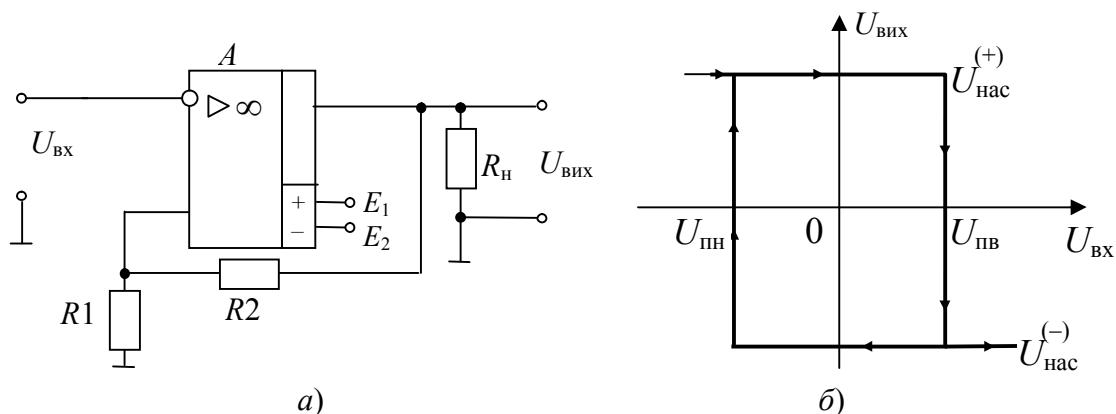
$$U_{\text{пв}} = \frac{R_1}{R_1 + R_2} \cdot U_{\text{нас}}^{(+)} \quad (8.36)$$


Рисунок 8.31 – Тригер Шмітта: а) схема; б) передавальна характеристика

2) Якщо вихідна напруга  $U_{\text{вих}} = U_{\text{нас}}^{(-)}$ , то нижня гранична напруга дорівнює

$$U_{\text{пн}} = \frac{R_1}{R_1 + R_2} \cdot U_{\text{нас}}^{(-)}. \quad (8.37)$$

Як впливає з рис. 8.31,б, якщо  $U_{\text{вх}} > U_{\text{пв}}$ , то на виході встановлюється напруга  $U_{\text{вих}} = U_{\text{нас}}^{(-)}$ , схема приходить у стійкий стан. Якщо  $U_{\text{вх}} < U_{\text{пн}}$ , то на виході встановлюється напруга  $U_{\text{вих}} = U_{\text{нас}}^{(+)}$ , схема переходить до іншого стійкого стану.

Таким чином, у тригера Шмітта існує два стійких стани:  $U_{\text{нас}}^{(-)}$  і  $U_{\text{нас}}^{(+)}$ .

Позитивний зворотний зв'язок створює ефект спускового механізму, прискорюючи перемикання  $U_{\text{вих}}$  з одного стану в інший. Якщо порогові напруги перевищують за значенням напруги шумів, то позитивний зворотний зв'язок не допускає помилкових спрацьовувань виходу.

Різниця між напругами  $U_{\text{пв}}$  і  $U_{\text{пн}}$  називається *напругою гістерезису*  $U_{\text{гіст}}$

$$U_{\text{гіст}} = U_{\text{пв}} - U_{\text{пн}} = \frac{R_1}{R_1 + R_2} (U_{\text{нас}}^{(+)} - U_{\text{нас}}^{(-)}).$$

Найважливішим показником компараторів є їхня швидкодія.

Компаратор перетворює вхідний сигнал синусоїдальної, трикутної або пилоподібної форми у вихідний прямокутний сигнал, тобто перетворює аналогові сигнали у дискретні. Його називають також *формувачем рівнів*.

### 8.7.8. Аналогові перемножувачі

Аналогові перемножувачі призначені для перемноження двох аналогових вхідних сигналів і тому можуть використовуватися для побудови помножувачів частоти, фазових детекторів, балансних модуляторів, а також у системах автоматичного регулювання як перемножувачів і схем піднесення у ступінь. Спільно з ОП аналогові перемножувачі можуть виконувати ділення, добування коренів і виділення тригонометричних функцій.

Аналоговий перемножувач призначений для реалізації передавальної функції

$$U_Z = KU_X U_Y,$$

де  $U_Z$  – вихідна напруга;  $U_X$  та  $U_Y$  – змінні напруги на входах  $X$  і  $Y$  відповідно;  $K$  – масштабний коефіцієнт. Умовне позначення аналогового перемножувача показано на рис. 8.1,в.

Найбільшого розповсюдження набули три типи інтегральних перемножувачів: з управляним опором, зі змінною крутизною, логарифмічні. Перемножувачі на логарифматорах і антилогарифматорах очевидні для побудови і прості для розрахунку. Структурна схема логарифмічного перемножувача показана на рис. 8.32, де  $a$  і  $b$  – коефіцієнти пропорційності логарифмів.

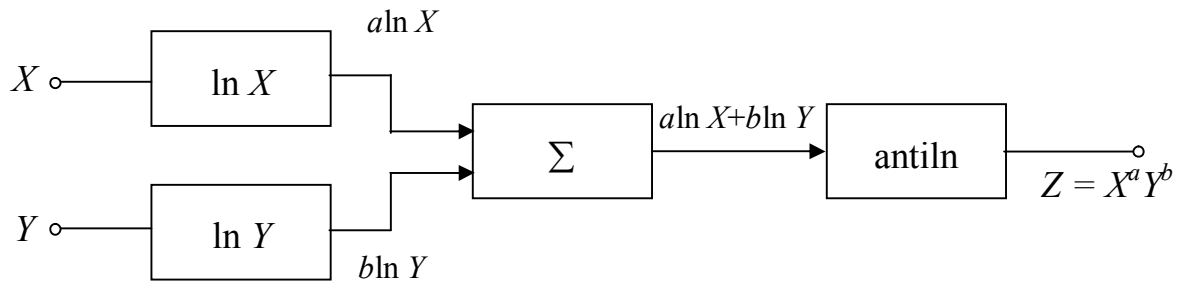


Рисунок 8.32 – Структурна схема перемножувача

Якщо  $a > 1$  і  $b > 1$ , сигнали підносяться до ступеня й перемножуються, якщо  $a = 1$  і  $b = 1$ , отримуємо перемноження сигналів. Якщо  $a < 1$  і  $b < 1$ , із сигналів добуваються корені. Якщо сигнали відняти  $a \ln X - b \ln Y$ , то у результаті отримуємо ділення сигналів

$$Z = \frac{X^a}{Y^b}.$$

Схема перемножувача однополярних сигналів, який виконаний на операційних підсилювачах, показана на рис. 8.33.

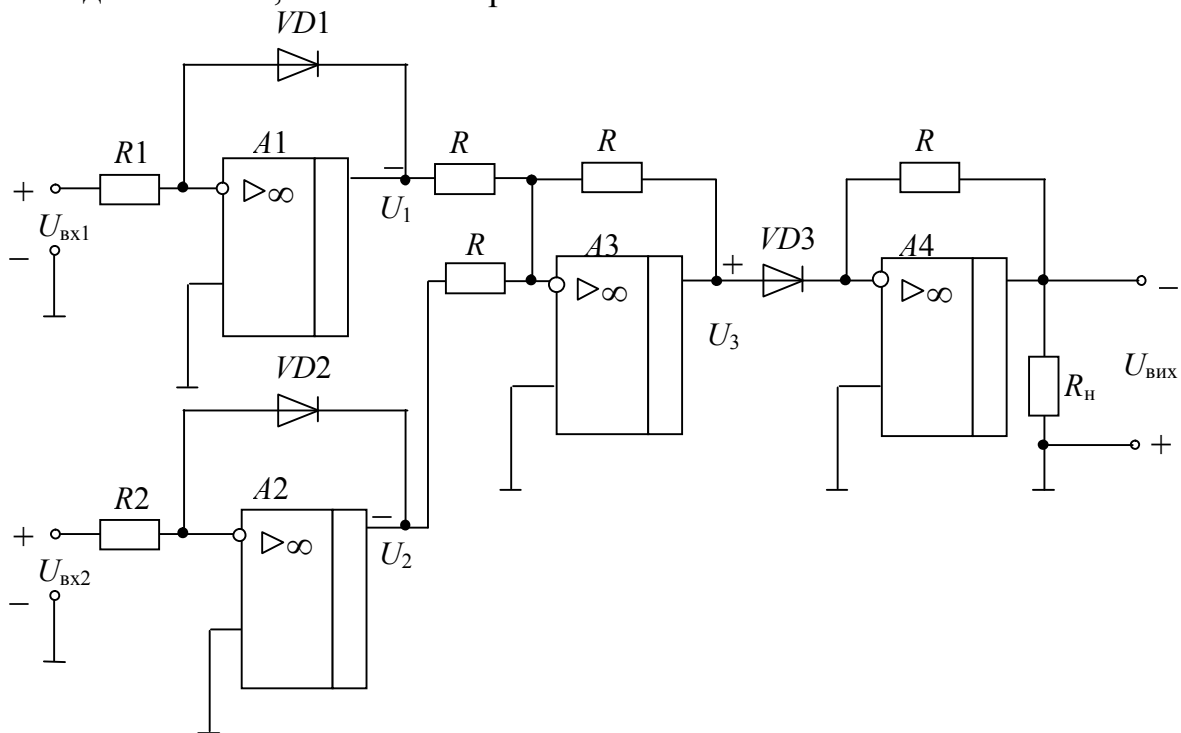


Рисунок 8.33 – Перемножувач однополярних напруг

На операційних підсилювачах  $A1$  і  $A2$  виконані логарифматори. На операційному підсилювачі  $A3$  виконаний інвертуючий суматор напруг (вагові коефіцієнти дорівнюють одиниці). На операційному підсилювачі  $A4$  виконаний антилогарифматор.

Якщо вибрати

$$I_{03}R_3 = I_{01}R_1 \cdot I_{02}R_2,$$

то отримаємо

$$U_{\text{вих}} = -U_{\text{вх1}} \cdot U_{\text{вх2}}.$$

Таким чином, вихідний сигнал являє собою результат перемноження двох вхідних сигналів. Передбачається, що всі ОП повністю скоректовані. Випускаються готові схеми перемножувачів. Ці схеми є складними і ретельно виконаними пристроями.

## 8.8. Електронні генератори

### 8.8.1. Основні поняття

Коливання, що самостійно виникають у відсутності зовнішніх впливів, називаються *автоколиваннями*, а пристрої, в яких вони виникають, – *автогенераторами*. Виникаючі автоколивання мають певну енергію, тому до складу автогенератора має входити джерело енергії, яке підтримує ці коливання. У більшості випадків як джерела енергії в автогенераторах використовують джерела постійної напруги або струму (джерела живлення).

Таким чином, **електронний генератор (автогенератор)** – це пристрій, що виробляє електричні коливання певної частоти і форми, який використовує енергію джерела живлення. Автогенератор, по суті, являє собою перетворювач енергії джерела живлення в енергію коливань.

Основними характеристиками генератора є форма і частота коливань, коефіцієнт корисної дії (ККД) і потужність, що віддається до навантаження.

За формою коливань генератори підрозділяються на генератори синусоїдальних (гармонічних) і несинусоїдальних коливань. За частотою генерованих коливань розрізняють: генератори інфранизької (від часток Гц до 10 Гц), низькою (10 Гц...100 кГц), високої (100 кГц...30 МГц), надвисокої (понад 30 МГц) частоти. Важливою характеристикою генератора є також нестабільність частоти, яка визначається як відносне відхилення частоти генерованих коливань від номінального значення. Стабільність частоти автоколивань залежить від багатьох факторів. Зміни температури навколишнього середовища, напруги джерела живлення та інші дестабілізуючі фактори призводять до змін режимів і параметрів підсилювальних пристроїв, змін параметрів елементів, що входять до генератора. У результаті цього змінюється частота генерованих коливань.

Автогенератори виконують на основі підсилювачів, охоплених позитивним зворотним зв'язком (ПЗЗ). За принципом роботи розрізняють автогенератори із зовнішнім і внутрішнім зворотним зв'язком. Як активні елементи у генераторах застосовуються транзистори, електронні лампи, тунельні діоди, аналогові й цифрові мікросхеми та інші електронні пристрої. Узагальнена структурна схема автогенератора із зовнішнім позитивним зворотним зв'язком (ПЗЗ) показана на рис. 8.34.

### 8.8.2. Генератори гармонічних коливань

У генераторах гармонічних коливань форма вихідної напруги близька до синусоїдальної. Це досягається тим, що до петлі позитивного зворотного зв'язку (ПЗЗ) включається частотно-вибіркове коло (фільтр). Як фільтри використо-

вують  $LC$ -контури, кварцові резонатори,  $RC$ -кола й інші частотно-вибіркові кола. Структурна схема генератора гармонічних коливань показана на рис. 8.35, у цій схемі джерело живлення включено у схему підсилювача.

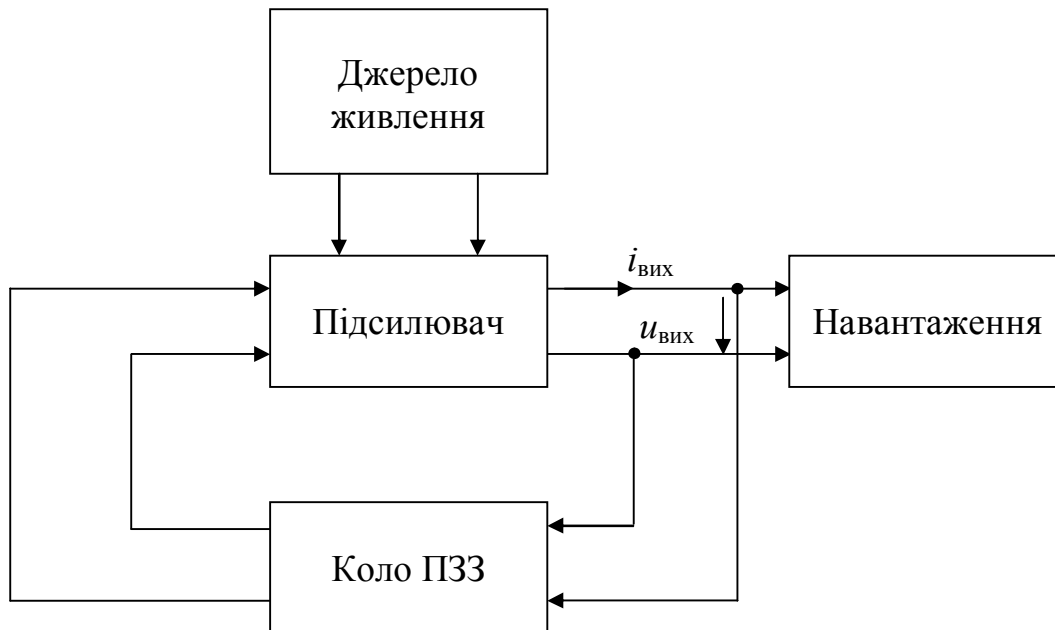


Рисунок 8.34 – Структурна схема автогенератора із зовнішнім колом позитивного зворотного зв'язку

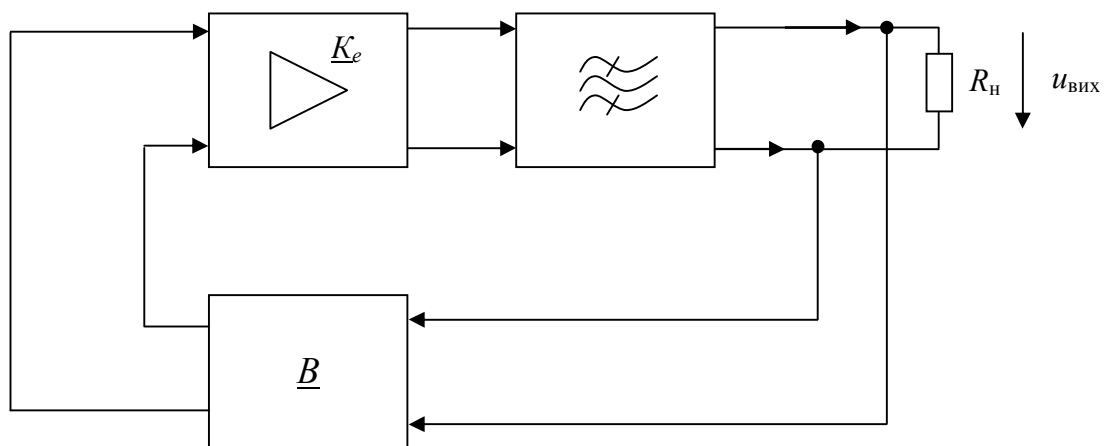


Рисунок 8.35 – Структурна схема генератора гармонічних коливань

Як показано у п. 3.5.2, самозбудження схеми відбудеться, коли  $K_{ezz}$  наближається до нескінченності, тобто коли знаменник виразу (3.38)

$$K_{ezz} = \frac{K_e}{|1 - BK_e|}$$

буде дорівнювати нулю:

$$|1 - BK_e| = 0.$$

З цієї умови отримано дві умови самозбудження:

- 1)  $BK_e = 1$  – умова амплітуд (3.40);
- 2)  $\varphi = \varphi_e + \varphi_B = 0, 2\pi \dots$  – умова фаз (3.41).

Для підсилювачів і систем автоматичного регулювання потрібно, щоб *система була стійкою*, тобто, щоб у відсутності вхідного сигналу коливань у них не було.

У протилежність цьому, в *автогенераторі* стан рівноваги повинен бути *нестійким*, щоб виникав процес *самозбудження*. Причиною виникнення коливань є флуктуації струму і напруги в елементах схеми, наприклад, тепловий шум, дробовий шум. Спектр цих коливань містить практично компоненти всіх частот, спектр шуму суцільний. Такий шум називають *білим*.

Флуктуації на вході підсилювача підсилюються, а потім виділяються вузькосмуговим фільтром. Найбільшу амплітуду на виході фільтра будуть мати коливання з частотою, близькою до резонансної частоти –  $\omega_0$  фільтра. Виділені фільтром коливання по колу ЗЗ потрапляють на вхід підсилювача. Якщо напруга ЗЗ збігається за фазою з будь-якою напругою, вони складаються, підсилюються. Знову підсилений сигнал потрапляє на вхід у фазі, підсилюється і так далі. Виникає процес *самозбудження* на частоті, близькій до резонансної частоти  $\omega_0$  фільтра.

На початковому етапі, коли коливання малі за амплітудою, підсилювач поводить себе як лінійний пристрій. Тому для визначення умов генерації коливань можна скористатися умовами самозбудження підсилювача зі зворотним зв'язком (3.40) і (3.41); отримаємо:

- 1) умова балансу амплітуд:  $BK_e = 1$ ;
- 2) умова балансу фаз:  $\varphi = \varphi_e + \varphi_v = 0, 2\pi, \dots$ .

Умова балансу амплітуд означає, що в генераторі коливання виникають тільки у тому випадку, коли підсилювач компенсує втрати в петлі позитивного ЗЗ. Умова балансу фаз означає, що фази напруги ЗЗ і вхідної напруги збігаються ( $\varphi = \varphi_e + \varphi_v - \text{зсув фаз по петлі ЗЗ}$ ), отже, зворотний зв'язок повинен бути *позитивним*. Зі зростанням амплітуди генерованого коливання все сильніше позначається нелінійність ВАХ електронних приладів підсилювача. Через нелінійність амплітуда обмежується, набуває максимального значення, форма сигналу близька до синусоїдальної. У генераторі встановлюються стаціонарний динамічний режим з постійною амплітудою коливань  $U_{\text{мвих}}$  і частотою  $\omega_0$ .

З розгляду процесу самозбудження випливає, що будь-який *автогенератор повинен мати нелінійний елемент*, тому що стаціонарні коливання встановлюються тільки завдяки нелінійності ВАХ. У лінійній системі отримати стаціонарні автоколивання з постійною амплітудою неможливо. Автогенератори гармонічних коливань виконують на дискретних елементах, а також на операційних підсилювачах (ОП).

Схема одного з варіантів *LC-генератора на ОП* показана на рис. 8.36.

У ролі елемента підсилення у цій схемі виступає неінвертуючий підсилювач з коефіцієнтом підсилення  $K = 1 + \frac{R_2}{R_1}$ . Роль фільтра, що задає частоту коливань, виконує паралельний LC-контур. Коло позитивного зворотного зв'язку утворене резистором  $R$  і LC-контуром. Енергетичні втрати в LC-контурі зумовлені внутрішнім активним опором елементів  $L$  і  $C$ , які можна охарактеризувати

еквівалентним опором контуру  $R_k$  на резонансній частоті  $\omega_0 = \frac{1}{\sqrt{LC}}$ . Операційний підсилювач, включений за неінвертуючою схемою, підсилює вхідну напругу  $U_{вх}(t)$  у  $K$  разів.

**Низькочастотний RC-генератор з мостом Віна** зручно виконати на операційному підсилювачі. Схема RC-генератора показана на рис. 8.37.

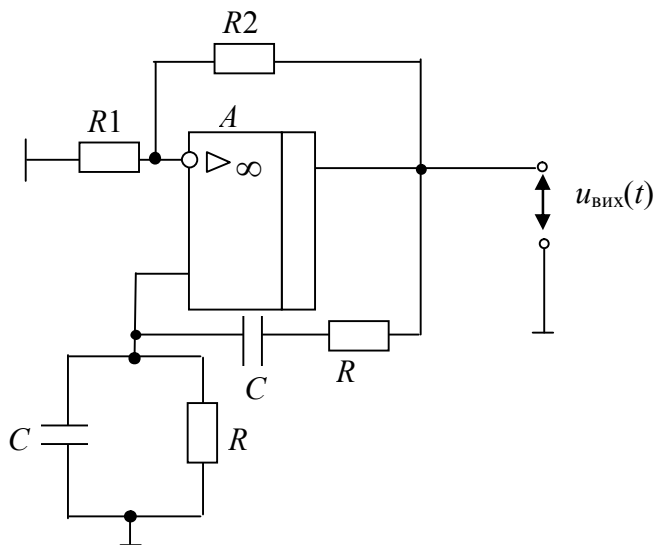


Рисунок 8.37 – RC-генератор з мостом Віна на операційному підсилювачі

ситься фільтром на частоті генерації  $\omega_0$ , тобто коефіцієнт підсилення підсилювача повинен дорівнювати

$$K = 3. \quad (8.38)$$

Виконання умови (8.38) забезпечується за допомогою вибору елементів кола негативного зворотного зв'язку  $R_1$  і  $R_2$ .

Для поліпшення якісних показників схему рис. 8.37 ускладнюють: використовують систему автоматичної стабілізації амплітуди коливань і на виході застосовують буферний підсилювач.

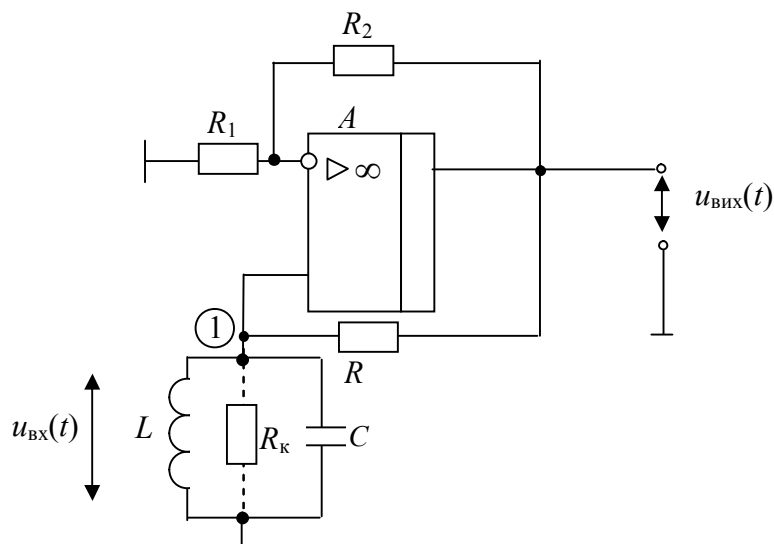


Рисунок 8.36 – LC-генератор на операційному підсилювачі

Роль елемента підсилення у схемі рис. 8.37 виконує неінвертуючий підсилювач з коефіцієнтом підсилення  $K = 1 + \frac{R_2}{R_1}$ . У коло позитивного зворотного зв'язку включений пасивний смуговий фільтр – міст Віна. Величина  $B$  досягає максимуму на частоті

$$\omega_0 = \frac{1}{RC},$$

де зворотний зв'язок – позитивний. Баланс фаз буде забезпечений на частоті  $\omega_0$ . Для виконання умови балансу амплітуд підсилювач повинен компенсувати загасання, що вноситься фільтром на частоті генерації  $\omega_0$ , тобто коефіцієнт підсилення підсилювача повинен дорівнювати

## 8.9. Компенсація помилок операційного підсилювача

При використанні операційного підсилювача у схемі підсилювача постійного струму деякі електричні параметри ОП можуть викликати появу помилок у вихідній напрузі. Така помилка виникає через відмінності між ідеальним і реальним операційними підсилювачами. Існують наступні параметри ОП, які вносять вклад у помилку у вихідній напрузі на постійному струмі: *вхідні струми зміщення, вхідний струм зсуву, вхідна напруга зсуву та дрейф*.

### **Вхідні струми зміщення**

На вхідні транзистори операційного підсилювача необхідно подати відповідні напруги зсуву. При цьому у вхідному і вихідному колі транзисторів вхідного каскаду ОП з'являються необхідні струми і напруги, що забезпечують симетричну роботу цього каскаду.

Зазвичай струм зміщення інвертуючого входу  $I_{3M}^-$  не дорівнює струму зміщення неінвертуючого входу  $I_{3M}^+$ . У довідниках зазвичай приводять середнє значення струму зміщення

$$I_{3M} = \frac{|I_{3M}^-| + |I_{3M}^+|}{2}.$$

Значення  $I_{3M}$  становить від 1 мкА і більше для ОП на біполярних транзисторах, від 1 пА і менше для ОП на польових транзисторах.

Розглянемо вплив струмів зміщення на вихідну напругу, вплив інших параметрів ОП при цьому враховувати не будемо. В ідеальному випадку напруга на виході схем, виконаних на ОП, повинна дорівнювати нулю, якщо вхідна напруга  $U_{вх} = 0$ . Через наявність струмів зміщення ця умова не виконується, на виході з'являється напруга помилки.

Для компенсації впливу струмів зміщення до схем вводять додаткові резистори, опір яких розраховують з урахуванням наступного принципу: *опір постійному струму між неінвертуючим входом і корпусом має дорівнювати опору постійному струму між інвертуючим входом і корпусом*. При цьому джерела сигналів замінюються на їх внутрішні опори, з'єднані з корпусом, а потенціал вихідного зажиму покладається рівним потенціалу корпусу.

Як приклади розглянемо компенсацію впливу струмів зміщення у повторювачі напруги (рис. 8.38,а) та в інвертуючому й неінвертуючому підсилювачах (рис. 8.38,б).

У схемі повторювача напруги (рис. 8.38,а) до кола негативного зворотного зв'язку включений резистор  $R_{33}$ , опір якого дорівнює внутрішньому опору джерела сигналу  $R_{г}$ , тобто  $R_{33} = R_{г}$ . У схемі рис. 8.38,б, яка є узагальненою за постійним струмом за відсутності вхідного сигналу ( $U_{вх} = 0$ ) для інвертуючого й неінвертуючого підсилювачів, має виконуватися умова

$$R_3 = \frac{R_1 \cdot R_2}{R_1 + R_2}.$$



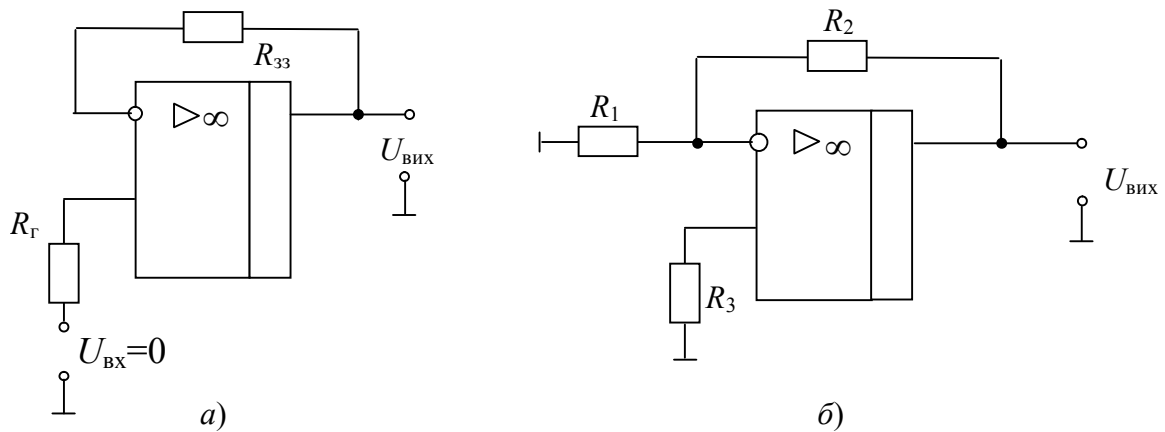


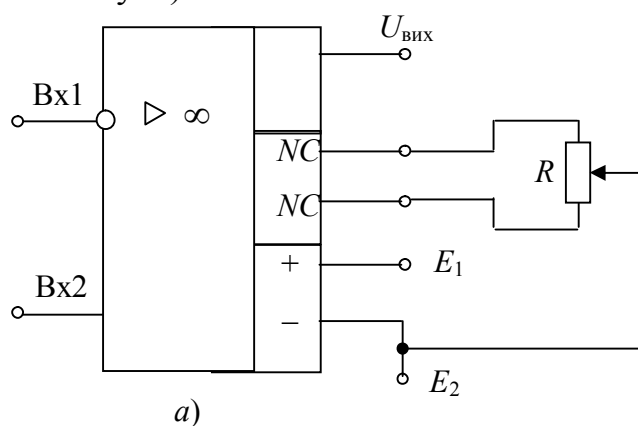
Рисунок 8.38 – Компенсація струмів зміщення: а) у повторювачі напруги; б) у інвертуючому й неінвертуючому підсилювачах

Різниця полягає у тому, що для *інвертуючого підсилювача* в опір  $R_1$  включено значення внутрішнього опору джерела сигналу  $R_r$ , а для *неінвертуючого підсилювача* внутрішній опір джерела сигналу  $R_r$  включено в опір  $R_3$ .

### **Вхідна напруга зсуву**

Вихідна напруга операційного підсилювача має дорівнювати нулю ( $U_{вих} = 0$ ) за відсутності вхідного сигналу ( $U_{вх} = 0$ ). Однак у реальному випадку  $U_{вих}$  міститиме невелику складову помилки, яка викликана дуже малим, але неминуче наявними розбалансом усередині ОП. *Сумарний ефект* всіх цих внутрішніх небалансів враховують у вигляді *еквівалентної вхідної напруги зсуву*  $U_{зс}$ . Для мінімізації впливу вхідної напруги зсуву  $U_{зс}$  у специфікації на ОП міститься рекомендована *схема балансування напруги зсуву*. Спеціалісти вже спроектували схему для мінімізації помилок зсуву, яка потребує від користувача мінімальних витрат. Для цього в ОП передбачені спеціальні виводи для балансування нуля  $NC$ .

На рис. 8.39 надані деякі типові схеми мінімізації помилки вихідної напруги (схеми налагодження нуля).



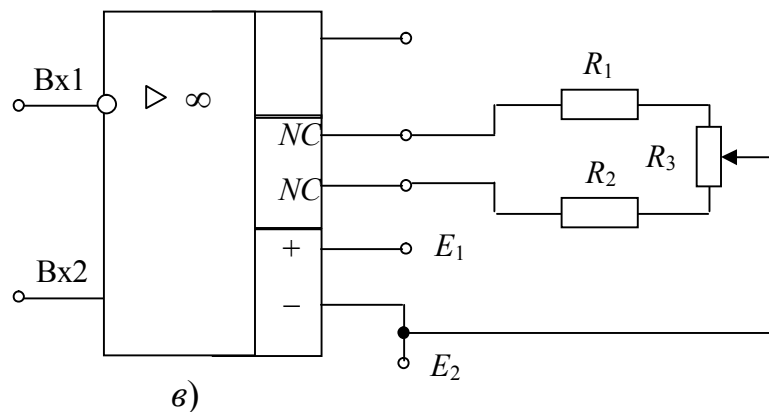
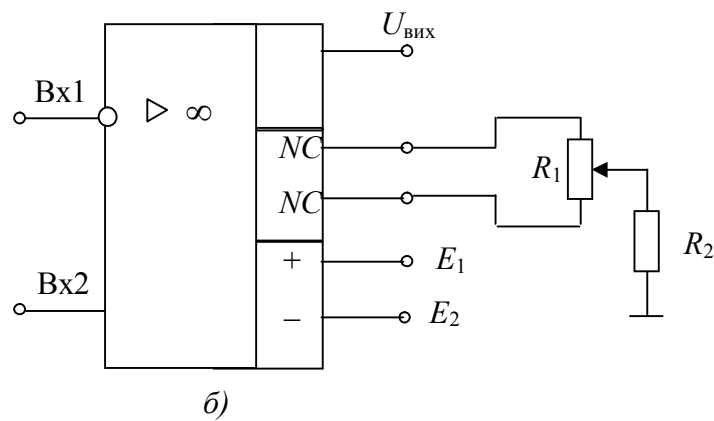


Рисунок 8.39 – Типові схеми мінімізації помилки вихідної напруги, спричиненої напругою зсуву

Виробники показують тільки резистори компенсації напруги зсуву. Вони припускають, що у схемі буде встановлений резистор для компенсації струмів зміщення (рис. 8.38). При налаштуванні нуля вихідної напруги повинен бути включений резистор компенсації струмів зміщення і зібрана схема балансування напруги зсуву. Навантаження необхідно підключити. Підстроювальним потенціометром домагаються значення  $U_{\text{вих}} = 0$ .

### Контрольні питання

1. Дайте визначення ІМС.
2. Назвіть переваги ІМС.
3. Які ІМС називають аналоговими, які цифровими?
4. Дайте класифікацію ІМС за конструктивно-технологічною ознакою.
5. Що таке ступінь інтеграції ІМС?
6. Покажіть графічне позначення ОП.
7. Назвіть параметри та характеристики ОП.
8. Накресліть структурну схему ОП.
9. Накресліть схему диференціального підсилювача з резистивним навантаженням і поясніть, як вона працює.
10. Які переваги диференціального підсилювача з динамічним навантаженням перед диференціальним підсилювачем з резистивним навантаженням?

11. Накресліть схеми інвертуючого та неінвертуючого підсилювачів на ОП і поясніть, як вони працюють.
12. Накресліть схему суматора на ОП і поясніть як вона працює.
13. Накресліть схеми інтегратора та диференціатора на ОП і поясніть як вони працюють.
14. Накресліть схеми логарифматора та антилогарифматора на ОП і поясніть як вони працюють.
15. Накресліть схеми компараторів на ОП і поясніть як вони працюють.
16. Накресліть схеми генераторів на ОП і поясніть як вони працюють.
17. Які параметри ОП впливають на величину помилки в його вихідній напрузі.

## Розділ 9. ЦИФРОВІ ІНТЕГРАЛЬНІ МІКРОСХЕМИ

### 9.1. Загальні відомості

**Цифровими інтегральними мікросхемами (ЦІС)** називають мікросхеми, в яких вхідні і вихідні сигнали описуються абстрактними символами «1» і «0». Значення «0» і «1» є символічними (умовними) і не відповідають числовим значенням напруги, які виражені у вольтях. Наприклад, при використанні вихідної напруги ключового каскаду рівнем логічного «нуля» може бути напруга на колекторі насиченого транзистора  $U_{\text{ке нас}}$ , рівнем логічної «одиниці» – напруга на колекторі закритого транзистора  $E_{\text{ж}}$ . Сучасні логічні елементи і цифрові пристрої виконуються на основі інтегральних мікросхем.

#### **Основні поняття**

**Логічна змінна  $x$**  – змінна, що набуває два значення: істинне – 1 і хибне – 0.

**Логічна функція  $y$**  – логічна (залежна) змінна, значення якої є функцією однієї або декількох (незалежних) змінних, набуває тільки два значення: 1 і 0.

**Таблиця істинності** – таблиця, в якій задані значення логічної функції для всіх можливих значень незалежних змінних.

**Логічний елемент** – електронна схема, що виконує найпростіші логічні операції з логічними величинами.

**Логічний базис** – набір типів логічних елементів, з'єднання яких дозволяє реалізувати будь-яку логічну функцію.

**Логічна схема** – структурна модель цифрового пристрою, що реалізує задану логічну функцію.

Розрізняють два основні класи цифрових пристроїв (ЦП): комбінаційні і послідовнісні. У **комбінаційних пристроях** певному поєднанню вхідних сигналів відповідає певний вихідний сигнал. У **послідовнісних пристроях** вихідний сигнал залежить як від вхідних сигналів у даний момент, так і від стану схеми у попередній момент. Ці пристрої містять поряд з комбінаційними схемами елементи пам'яті (наприклад, тригери), які зберігають попередній стан до надходження вхідних сигналів у даний момент.

У комбінаційних пристроях широко застосовуються такі цифрові пристрої: суматори, шифратори і дешифратори, мульти-і демультимплексори, перетворювачі кодів та інші. У послідовнісних пристроях широко використовуються тригери, на їх основі будують регістри, лічильники, елементи пам'яті та інші.

### 9.2. Основи алгебри логіки

Проектування логічних пристроїв і вибір найбільш оптимальних варіантів їх побудови виконується з використанням *алгебри логіки або алгебри Буля*, розробленої у середині XIX століття ірландським математиком Дж. Булем. В алгебрі Буля використовується двійкова змінна  $x$ , що задовольняє умові  $x = 1$ , якщо  $x \neq 0$  і  $x = 0$ , якщо  $x \neq 1$ . Таким чином в алгебрі логіки різні логічні вирази можуть мати тільки два значення: «істинне» (позначають 1) або «хибне» (позначають 0).

В алгебрі логіки використовуються функції виду  $y = f(x_1, x_2, \dots, x_n)$ , де сама функція та її аргументи можуть набувати тільки два дискретних значення. Якщо мається  $n$  аргументів (логічних змінних), то вони утворюють  $2^n$  можливих логічних наборів з 1 і 0, а функцій  $y$  можна утворити  $2^{2^n}$ . Для запису чисел в алгебрі логіки використовується двійкова система числення. Двійкова система числення, як і десяткова, відноситься до позиційних систем і є системою з основою 2.

У десятковій системі число  $A$ , що має  $n$ -розрядну цілу частину і  $m$ -розрядну дробову частину, подається сумою:

$$A = a_{n-1} \cdot 10^{n-1} + a_{n-2} \cdot 10^{n-2} + \dots + a_0 \cdot 10^0 + a_{-1} \cdot 10^{-1} + \dots + a_{m-1} \cdot 10^{m-1},$$

де  $a_i$  – десяткова цифра від 0 до 9, а основою системи числення є число 10.

Аналогічно у двійковій системі числення число  $B$  можна подати у вигляді суми:

$$B = b_{n-1} \cdot 2^{n-1} + b_{n-2} \cdot 2^{n-2} + \dots + b_0 \cdot 2^0 + b_{-1} \cdot 2^{-1} + \dots + b_{m-1} \cdot 2^{m-1},$$

де  $b_i$  – двійкові цифри 0 та 1, а основою системи числення є число 2 (у десятковому численні).

*Приклад.* Число  $A = 235$ :

а) у десятковій системі числення можна подати

$$A = 2 \cdot 10^2 + 3 \cdot 10^1 + 5 \cdot 10^0 \text{ – тобто трьома розрядами;}$$

б) у двійковій системі числення

$$A = 1 \cdot 2^7 + 1 \cdot 2^6 + 1 \cdot 2^5 + 0 \cdot 2^4 + 1 \cdot 2^3 + 0 \cdot 2^2 + 1 \cdot 2^1 + 1 \cdot 2^0 = 11101011, \text{ тобто це ж саме число}$$

подається вісьмома розрядами.

У двійковій системі числення число розрядів суттєво більше.

У табл. 9.1 наведено запис чисел від 0 до 10 у десятковій і двійковій системах.

Таблиця 9.1 – Запис чисел

Десяткове число	0	1	2	3	4	5	6	7	8	9	10
Двійкове число	0000	0001	0010	0011	0100	0101	0110	0111	1000	1001	1010

В алгебрі логіки особливе місце займають функції двох змінних. Маючи набір функцій двох змінних, на підставі принципу суперпозиції можна утворити функцію будь-якого числа змінних. Для  $n = 2$  число різних логічних функцій дорівнює  $2^{2^n} = 2^4 = 16$ . Ці функції називаються *елементарними* і складають максимальний набір елементарних логічних функцій.

Логічні функції мають різні форми подання: *словесне, алгебраїчне, у вигляді таблиці істинності і часових діаграм*. Найбільш широко використовується подання логічної функції у вигляді *таблиці істинності*.

Логічні функції **НЕ**, **I**, **АБО** мають функціональну повноту й утворюють логічний базис, тому що за їхньою допомогою можна реалізувати будь-яку логічну функцію  $n$ -змінних.

**Логічна функція НЕ** – логічне заперечення (інверсія) – позначається  $y = \bar{x}$  читається так:  $y$  дорівнює не  $x$  (або  $y$  не є  $x$ ). Звідси виникла назва операції – *логічне НЕ*:  $y = \bar{x}$  – логічне заперечення (інверсія).

**Логічна функція І** – логічне множення (кон'юнкція) – позначається  $y = x_1 \cdot x_2 \dots x_n$ . Цей умовний запис читається так: логічна функція  $y = 1$  тоді і тільки тоді, коли  $x_1$ ,  $x_2$ , і ...  $x_n$  рівні 1; за будь-яких інших сполучень логічних змінних  $y = 0$ . Звідси виникла назва операції *логічне І*:  $y = x_1 \wedge x_2 \wedge \dots \wedge x_n = x_1 \cdot x_2 \dots x_n$  – логічне множення (кон'юнкція).

**Логічна функція АБО** – логічне додавання (диз'юнкція) – позначається  $y = x_1 \vee x_2 \vee \dots \vee x_n$  і читається так: логічна функція  $y$  набуває значення логічної одиниці ( $y = 1$ ), якщо або логічна змінна  $x_1$ , або логічна змінна  $x_2$ , або логічна змінна  $x_n$  дорівнюють 1. Звідси виникла назва операції *логічне АБО*:  $y = x_1 \vee x_2 \vee \dots \vee x_n = x_1 + x_2 + \dots + x_n$  – логічне додавання (диз'юнкція).

Логічні функції **І-НЕ** і **АБО-НЕ** також самостійно утворюють функціонально повний базис.

Ці схеми в інтегральному виконанні утворюють *основний базис логічних елементів ЦІС*.

При проектуванні логічних схем можна обійтися одним єдиним типом логічних елементів, що дозволяє уніфікувати цей процес. Для більшості логік логічний елемент І-НЕ, як і АБО-НЕ, є базисним і переважний у багатьох відношеннях. Внаслідок цього реалізація логічних схем у базисах І-НЕ і АБО-НЕ отримала значне поширення на практиці.

У табл. 9.2 надано математичні записи основних законів алгебри логіки. Застосування цих законів дозволяє виконувати спрощення логічних функцій.

Таблиця 9.2 – Основні закони алгебри логіки

№ з/п	Форма запису	Назва закону
1	2	3
1	$x_1 x_2 = x_2 x_1$ ; $x_1 + x_2 = x_2 + x_1$	Переміщувальний
2	$(x_1 + x_2) x_3 = x_1 x_3 + x_2 x_3$	Розподільний
3	$(x_1 x_2) x_3 = x_1 (x_2 x_3)$ ; $(x_1 + x_2) + x_3 = x_1 + (x_2 + x_3)$ ;	Сполучний
4	$x x = x$ ; $x + x = x$	Повторення
5	$x_1 (x_1 + x_2) = x_1$ ; $x_1 + x_1 x_2 = x_1$ ;	Поглинання
6	$x \bar{x} = 0$ ; $x + \bar{x} = 1$	Додатковості
7	$\overline{x_1 x_2} = \bar{x}_1 + \bar{x}_2$ ; $\overline{x_1 + x_2} = \bar{x}_1 \bar{x}_2$	Правило де Моргана

8	$\overline{\overline{x}} = x$	Подвійне заперечення
9	$x_1 x_2 + x_1 \overline{x}_2 = x_1$ ; $(x_1 + x_2)(x_1 + \overline{x}_2) = x_1$	Склеювання
10	$x \cdot 1 = x$ ; $x + 1 = 1$	Універсальної множини
11	$x \cdot 0 = 0$ ; $x + 0 = x$	Нульової множини

Основною задачею синтезу логічної схеми є знаходження її структури за заданим описом роботи. Тому що варіантів розв'язання цієї задачі існує багато, необхідно розв'язати задачу мінімізації логічної схеми, тобто отримати логічну схему, що містить мінімальне число логічних елементів з мінімальним числом входів. Найбільш ефективним методом мінімізації є пошук і склеювання сусідніх кон'юнкцій, тобто використання законів склеювання і поглинання:

$$x_1 x_2 + x_1 \overline{x}_2 = x_1; \quad x_1 + x_1 x_2 = x_1.$$

Найбільш значного поширення набули способи мінімізації, які використовують карти Вейча і Карно. Ці карти являють собою таблиці відповідності, перетворені таким чином, що у функції, нанесеної на таку карту, сусідні кон'юнкції знаходяться або поруч, або на заздалегідь відомих місцях.

### 9.3. Реалізація логічних функцій бульового базису

Набір з трьох логічних функцій, що носять назву НЕ, І, АБО називають *бульовим базисом*.

За допомогою законів алгебри логіки можна висловити різноманітні логічні функції через набір цих трьох найпростіших функцій.

#### 9.3.1. Функція логічного заперечення НЕ

Найпростішою логічною функцією одного аргументу є *функція логічного заперечення* або *інверсії*

$$y = \overline{x}. \quad (9.1)$$

Логічний елемент, що виконує цю функцію носить назву *інвертора* або *схеми НЕ*.

Умовне позначення інвертора показано на рис. 9.1,а, на рис. 9.1,б – електромеханічна реалізація.

Функцію інверсії виконують ключі, які виконані на біполярних або польових транзисторах.

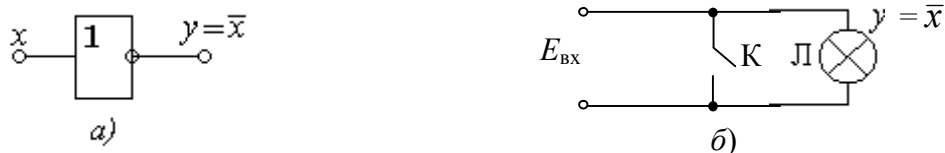


Рисунок 9.1 – Інвертор (схема НЕ): а) умовне позначення; б) електромеханічна реалізація

Таблиця істинності (табл. 9.3) логічної функції НЕ (заперечення) має найпростіший вигляд.

Таблиця 9.3

$x$	$y$
0	1
1	0

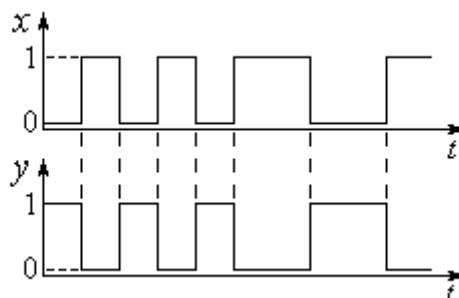


Рисунок 9.2 – Часова діаграма роботи схеми НЕ

Часова діаграма роботи схеми логічного заперечення показана на рис. 9.2, з якої видно наступне: вхідний сигнал  $x$  складається з черги логічних нулів 0 та одиниць. Вихідний сигнал теж набуває значення логічних нулів або одиниць, але інверсних.

Якщо до входу поданий рівень логічного нуля  $x = 0$ , то на виході з'являється логічна одиниця  $y = 1$  і, навпаки, при логічній одиниці на вході схеми  $x = 1$  на виході установлюється рівень логічного нуля  $y = 0$ .

### 9.3.2. Функція логічного множення І

Функція логічного множення І – це функція двох або багатьох аргументів, що виконує операцію логічного множення або кон'юнкцію:

$$y = x_1 \wedge x_2 = x_1 x_2. \quad (9.2)$$

Функція І набуває значення логічної «1» тоді і тільки тоді, коли всі її аргументи  $x_1, x_2, \dots, x_n$  дорівнюють 1.

Умовне позначення логічного елемента, що реалізує функцію 2І (кон'юнктора), показано на рис. 9.3,а (цифра 2 показує наявність двох входів).

У релейно-контактній техніці функція І реалізується послідовним включенням двох ( $K_1, K_2$ ) або більшого числа (за числом аргументів  $n$ ) замикаючих контактів, які керуються сигналами-аргументами  $x_n$  (рис. 9.3,б).

Лампа Л буде світитися тільки тоді, коли і контакт  $K_1$ , і контакт  $K_2$  будуть замкнені, тобто перебувати в одиничному стані. Якщо хоча б один з контактів буде розімкненим (в нульовому стані), лампа світитися не буде, тобто функція дорівнює 0.



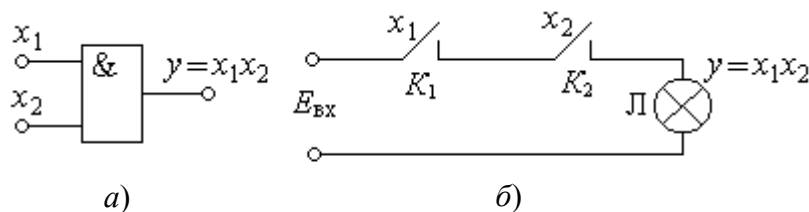


Рисунок 9.3 – Схема 2І (двовхідний кон'юнктор): а) умовне позначення; б) електромеханічна реалізація

Роботу схеми 2І, як і будь-якої логічної схеми, описує таблиця істинності 9.4.

Таблиця 9.4

$x_2$	$x_1$	$y$
0	0	0
0	1	0
1	0	0
1	1	1

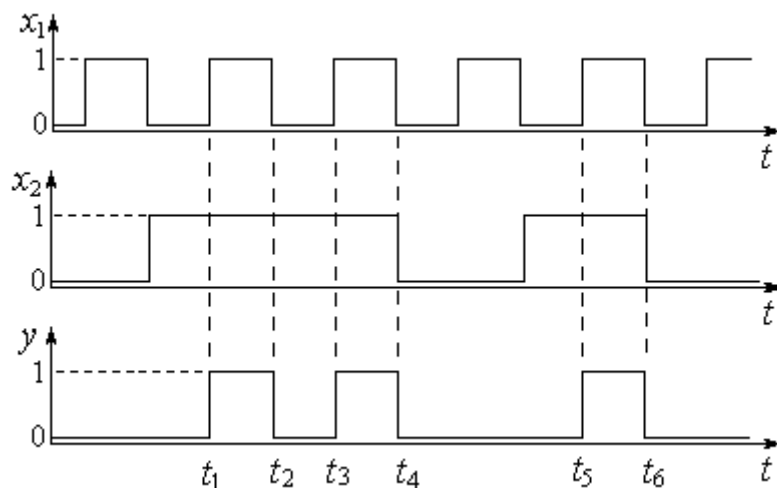


Рисунок 9.4 – Часова діаграма роботи схеми 2І

Двовхідна функція 2І – однозначна. Тому для кожної комбінації значень аргументів  $x_1$  та  $x_2$  існує тільки одне значення функції  $y$ .

Часова діаграма роботи логічної схеми 2І показана на рис. 9.4, де вхідними сигналами є

групи П-імпульсів  $x_1$  та  $x_2$ , які діють на відповідних входах. Вихідним сигналом є  $y$ .

Часова діаграма наочно ілюструє алгоритм роботи функції, що впливає з таблиці істинності.

Дійсно, рівень логічної одиниці на виході  $y$  установлюється і підтримується тоді і тільки тоді, коли і на вході  $x_1$ , і на вході  $x_2$  присутні логічні одиниці, тобто  $x_1 = 1$ ;  $x_2 = 1$ . Збіг логічних одиниць на входах  $x_1$ , та  $x_2$  спостерігається в часи  $t_1 - t_2$ ;  $t_3 - t_4$  та  $t_5 - t_6$ . Протягом решти часу, коли на одному вході  $x_1 = 0$  або на вході  $x_2 = 0$ , або обидва входи  $x_1 = 0$ ;  $x_2 = 0$  знаходяться під нульовим потенціалом, на виході схеми установлюється рівень  $y = 0$ .

### 9.3.3. Функція логічного додавання АБО

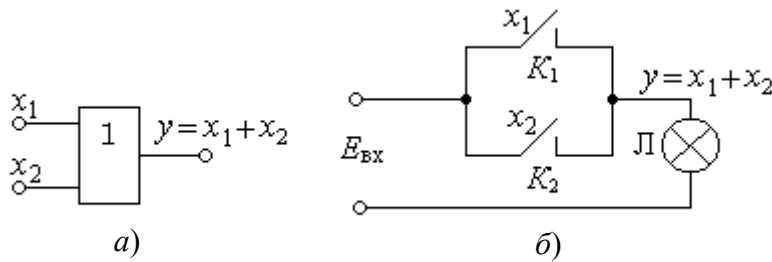
Функція логічного додавання АБО двох чи багатьох аргументів  $x_n$  виконує операцію логічного додавання або диз'юнкцію і записується формулою

$$y = x_1 \vee x_2 = x_1 + x_2 . \quad (9.3)$$

Функція АБО набуває значення логічної одиниці “1” тоді, коли хоча б один з аргументів  $x_n$  дорівнює одиниці. Тут знак “ $\vee$ ” або “+” означає логічне, а не алгебраїчне додавання.

Так, логічне додавання дає  $y = x_1 \vee x_2 \vee \dots \vee x_n = 1 + 1 + \dots + 1 = 1$ .

Умовне позначення логічного елемента, який реалізує функцію 2АБО, показано на рис. 9.5,а.



Таблиця 9.5

$x_2$	$x_1$	$y$
0	0	0
0	1	1
1	0	1
1	1	1

Рисунок 9.5 – Схема 2АБО (двовхідний диз'юнктор):  
а) умовне позначення; б) електромеханічна реалізація

У релейно-контактній техніці функція 2АБО реалізується паралельним з'єднанням двох або більшого числа (за числом аргументів  $n$ ) замикаючих контактів  $K_1, K_2 \dots$  (рис. 9.5,б).

Лампа  $Л$  буде світитися тоді, коли хоча б один контакт або  $K_1$  ( $x_1 = 1$ ), або  $K_2$  ( $x_2 = 1$ ), або обидва ( $x_1 = 1; x_2 = 1$ ) будуть замкнені, тобто знаходиться в одиничному стані ( $y = 1$ ). Лампа  $Л$  буде погашеною ( $y = 0$ ) лише тоді, коли всі контакти будуть розімкненими (в нульовому стані), тобто  $x_1 = 0; x_2 = 0$ .

Роботу схеми 2АБО описує таблиця істинності (табл. 9.5). Ця функція, як і 2І, теж однозначна. Роботу схеми 2АБО можна проілюструвати часовою діаграмою (рис. 9.6), з якої видно, що достатньо хоча б на одному з входів  $x_1$ , або  $x_2$  мати рівень 1, щоб на виході сигнал  $y$  дорівнював би 1. Тільки тоді, коли на обох входах  $x_1 = 0; x_2 = 0$  (моменти часу  $t_2 - t_3, t_4 - t_5, t_6 - t_7, t_8 \dots$ ) на виході  $y = 0$ .

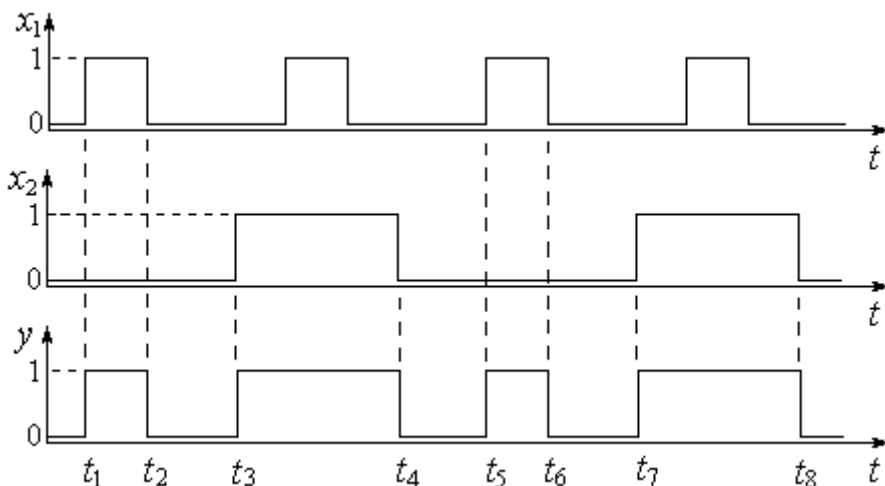


Рисунок 9.6 – Часова діаграма роботи схеми 2АБО

#### 9.3.4. Комбіновані логічні функції

Кожна з розглянутих функцій бульового базису набуває значення логічного нуля “0” або логічної одиниці “1” в залежності від аргументів  $x_n$ , що входять до складу даної функції.

Якщо мати логічні елементи, які реалізують найпростіші функції НЕ, І, АБО, то можна побудувати більш складні функції шляхом послідовного виконання функціональних залежностей, які зв'язують пари змінних. Таке з'єднання простих логічних елементів дає змогу отримати цифрові пристрої, що реалізують складні логічні функції.

Наприклад, треба отримати функцію 2АБО-НЕ. Вона утворюється з двох булевих функцій 2АБО та НЕ. Схемотехнічно така задача розв'язується шляхом послідовного з'єднання логічних елементів 2АБО та НЕ. Це з'єднання реалізує функцію 2АБО-НЕ, яка носить назву стрілки Пірса й умовно позначається, як показано на рис. 9.7,а.

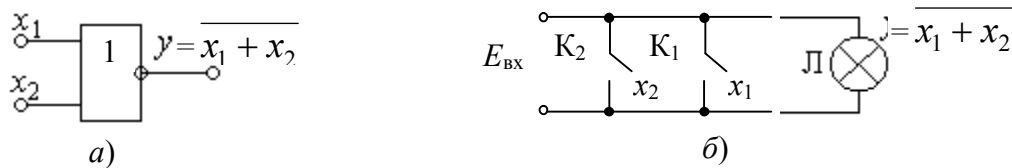


Рисунок 9.7 – Двовхідна схема 2АБО-НЕ: а) умовне позначення; б) електромеханічна реалізація

Роботу схеми 2АБО-НЕ описує таблиця істинності (табл. 9.8).

Часова діаграма роботи схеми 2АБО-НЕ, показана на рис. 9.8, з якої видно наступне.

Таблиця 9.6

$x_2$	$x_1$	$y$
0	0	1
0	1	0
1	0	0
1	1	0

Якщо обидва входи нульові ( $x_1 = 0$  та  $x_2 = 0$ ), тільки тоді значення функції  $y = 1$  одиничне. Коли ж або  $x_1 = 1$ , або  $x_2 = 1$ , або обидва аргументи одиничні, то значення функції  $y = 0$ .

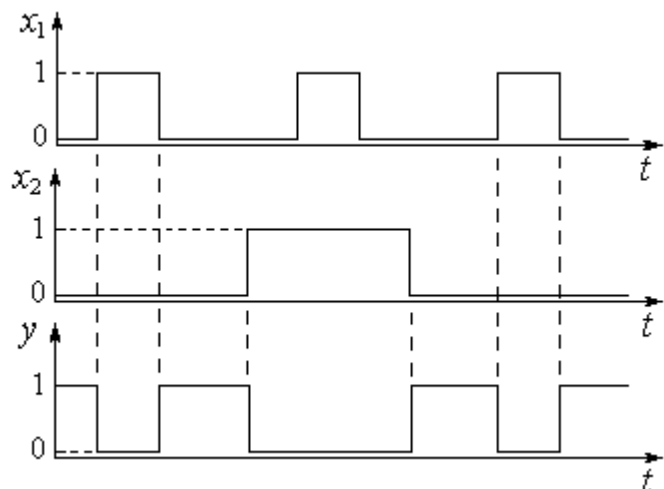


Рисунок 9.8 – Часова діаграма роботи схеми 2АБО-НЕ

Якщо порівняти роботу схем 2АБО (рис. 9.6) та 2АБО-НЕ (рис. 9.8), то можна побачити, що вся різниця полягає лише в інверсії вихідного сигналу  $y$ .

Аналогічно можна отримати логічну функцію **2І-НЕ** за допомогою двох логічних функцій булевого базису 2І та заперечення НЕ (рис. 9.9). Функція 2І-НЕ носить назву “штрих Шефера”.

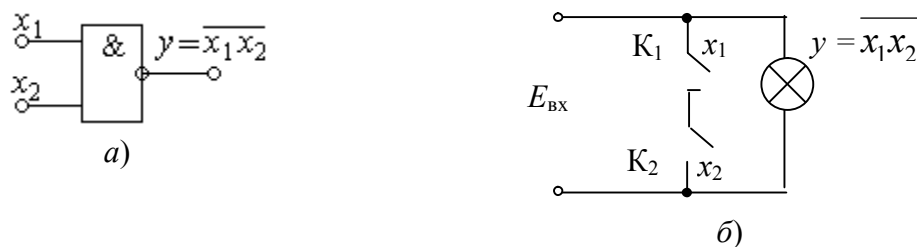


Рисунок 9.9 – Двовхідна схема 2І-НЕ: а) умовне позначення; б) електромеханічний еквівалент

Елемент 2І-НЕ будується послідовним з'єднанням двох логічних елементів, що реалізують функції 2І та НЕ. Тому таблиця істинності (табл. 9.7) є проінвертованою таблицею істинності (табл. 9.4) функції 2І.

Таблиця 9.7

$x_2$	$x_1$	$y$
0	0	1
0	1	1
1	0	1
1	1	0

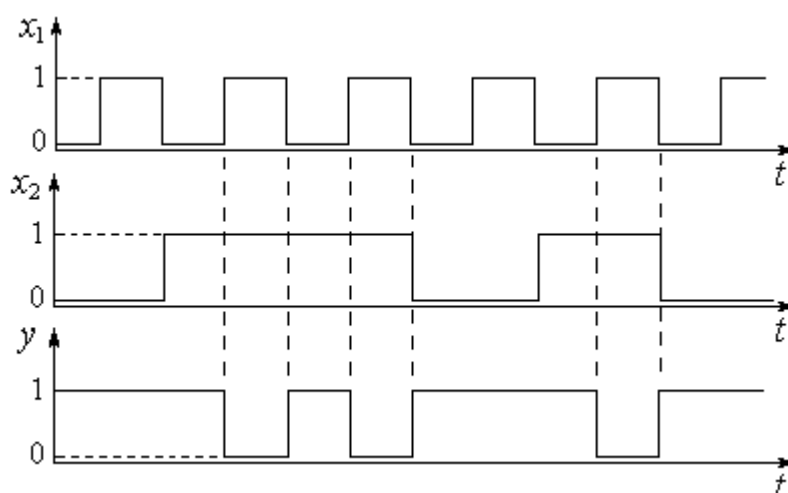


Рисунок 9.10 – Часова діаграма роботи схеми 2І-НЕ

Часова діаграма роботи логічної схеми 2І-НЕ (рис. 9.10) утворюється інверсією вихідного сигналу  $y$  логічній схемі 2І.

З часової діаграми роботи (рис. 9.10) бачимо наступне.

Якщо обидва входи одиничні ( $x_1 = 1$  та  $x_2 = 1$ ), тільки тоді значення функції  $y = 0$  нульове. Коли ж або  $x = 0$ , або  $x_2 = 0$ , або обидва аргументи нульові, то значення функції  $y = 1$ .

У цифрових функціональних пристроях комбінаційного типу значно застосовується логічний елемент, що реалізує функцію “**виняткове АБО**” (рис. 9.11). Цю функцію іноді називають “**сума за mod 2**”.

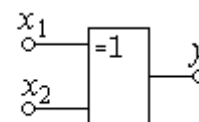


Рисунок 9.11. – Умовне позначення логічного елемента “винятково АБО”

Таблиця 9.8

$x_2$	$x_1$	$y$
0	0	0
0	1	1
1	0	1
1	1	0

Логічна функція “виняткове АБО” описується формулою

$$y = x_1 \oplus x_2 = x_1 \bar{x}_2 \vee \bar{x}_1 x_2 = (x_1 \vee x_2)(\bar{x}_1 \vee \bar{x}_2). \quad (9.4)$$

Символ  $\oplus$  означає, що змінні  $x_1$  та  $x_2$  пов'язані логічною функцією “виняткове АБО”.

Її робота полягає в тому, що  $y = 1$  тоді і тільки тоді, коли вхідні змінні різні  $x_1 \neq x_2$ . Коли ж усі змінні однакові  $x_1 = x_2$ , тобто  $x_1 = 0$  та  $x_2 = 0$  або  $x_1 = 1$  та  $x_2 = 1$ , лише тоді  $y = 0$  (табл. 9.8).

Часова діаграма роботи схеми, яка реалізує логічну функцію “виняткове АБО”, показана на рис. 9.12.

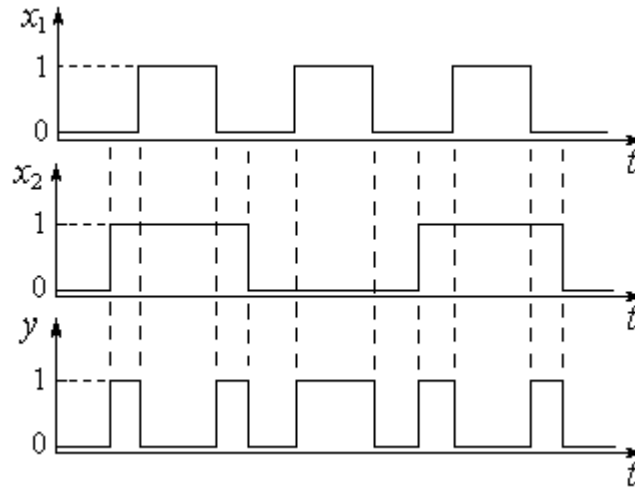


Рисунок 9.12 – Часова діаграма роботи схеми “виняткове АБО”

З цієї діаграми видно, функція  $y = 1$  набуває одиничного значення лише тоді, коли обидва аргументи різні  $x_1 \neq x_2$ .

### Класифікація цифрових схем

Все різноманіття цифрових схем залежно від складності виконуваних перетворень дискретних сигналів можна умовно розділити на елементи, функціональні вузли, пристрої та системи.

Електронні схеми, що реалізують прості функції алгебри логіки, відносять до класу *цифрових елементів*. Сюди входять схеми формувачів рівнів, інверсії, додавання, множення цифрових сигналів, більшу частину вироблених промисловістю ЦІС.

*Функціональні вузли цифрової схемотехніки* виконують функції генерування та формування імпульсних сигналів, різні види запам'ятовуючих комірок – тригерів та інші. Функціональні вузли будуються на основі елементарних ЦІС та дискретних компонентів радіоелектронної апаратури.

*Пристрої цифрової схемотехніки* виконують логічні операції над багаторозрядними числами і складаються з комбінації функціональних вузлів й елементів. Цифрові пристрої – це регістри, лічильники, суматори, перетворювачі кодів, оперативні запам'ятовуючі пристрої (ОЗП), мультиплексори, демультіплексори, цифрові компаратори, цифро-аналогові перетворювачі (ЦАП) і аналого-цифрові перетворювачі (АЦП).

Цифрові пристрої у відповідності до певної архітектури об'єднують у *системи*, найбільш типовими представниками яких є мікропроцесори, ЕОМ, комп'ютери.

## **Параметри цифрових схем**

*Технічні параметри* цифрових систем, пристроїв і вузлів однозначно обумовлені параметрами використовуваних в них елементів.

Параметри цифрових елементів поділяють на експлуатаційні, економічні, технічні.

*Експлуатаційні параметри* відображають такі якості елементів, як тривалість безвідмовної роботи, зручність установки і демонтажу, ремонтпридатність, габарити, маса та ін.

*Економічні параметри* характеризують вартість елемента, енергоємність, наявність коштовних і рідкісних матеріалів.

*Технічні параметри* елементів визначають реалізованість проектного пристрою у вибраному елементному базисі.

## **Основні технічні параметри елементів**

*Швидкодія* – час затримки проходження сигналу. Визначається інтервалом часу між зміною станів вхідного і вихідного сигналів.

*Навантажувальна здатність* оцінюється коефіцієнтом розгалуження за виходом – числом входів однотипних ІМС, які можуть бути підключені до одного виходу.

*Коефіцієнт об'єднання за входом* визначається максимальним числом логічних елементів, які можна підключити до входу ІМС.

*Вхідні і вихідні напруги і струми*, відповідні логічним нулю і одиниці.

*Завадостійкість* визначається максимально припустимою напругою завади, яка не викликає неправильного спрацьовування логічного елемента.

*Ступінь генерування завад* характеризується інтенсивністю коливань споживаного струму при спрацьовуванні (перемиканні) логічного елемента.

*Потужність споживання* – потужність, споживана від джерела живлення.

Середній час затримки і споживана потужність пов'язані між собою і їх добутком оцінюється ефективність цифрових мікросхем.

## **9.4. Логічні елементи**

*Інтегральні логічні елементи* є основою всіх цифрових пристроїв. Логічні ІМС об'єднують у серії. В основі кожної серії лежить базовий елемент, що являє собою електричну схему, що виконує логічну операцію І-НЕ або АБО-НЕ. Від параметрів базового елемента значною мірою залежать властивості і функціональні можливості розроблюваної серії логічних мікросхем.

За принципом побудови базових елементів цифрові ІМС можна об'єднати у наступні основні групи:

– *Логічні елементи на біполярних транзисторах:*

- 1) транзисторно-транзисторна логіка (ТТЛ);
- 2) транзисторно-транзисторна логіка на транзисторах Шотткі (ТТЛШ);
- 3) емітерно-зв'язана логіка (ЕЗЛ);
- 4) інтегрально-інжекційна логіка (І<sup>2</sup>Л).

– Логічні елементи на польових транзисторах:

5) логічні елементи на польових транзисторах одного типу провідності (*n*МОН-логіка);

6) логічні елементи на комплементарних парах польових транзисторів (КМОН-логіка);

#### 9.4.1. Транзисторно-транзисторні логічні елементи (ТТЛ)

Схему найпростішого ТТЛ-елемента показано на рис. 9.13,а.

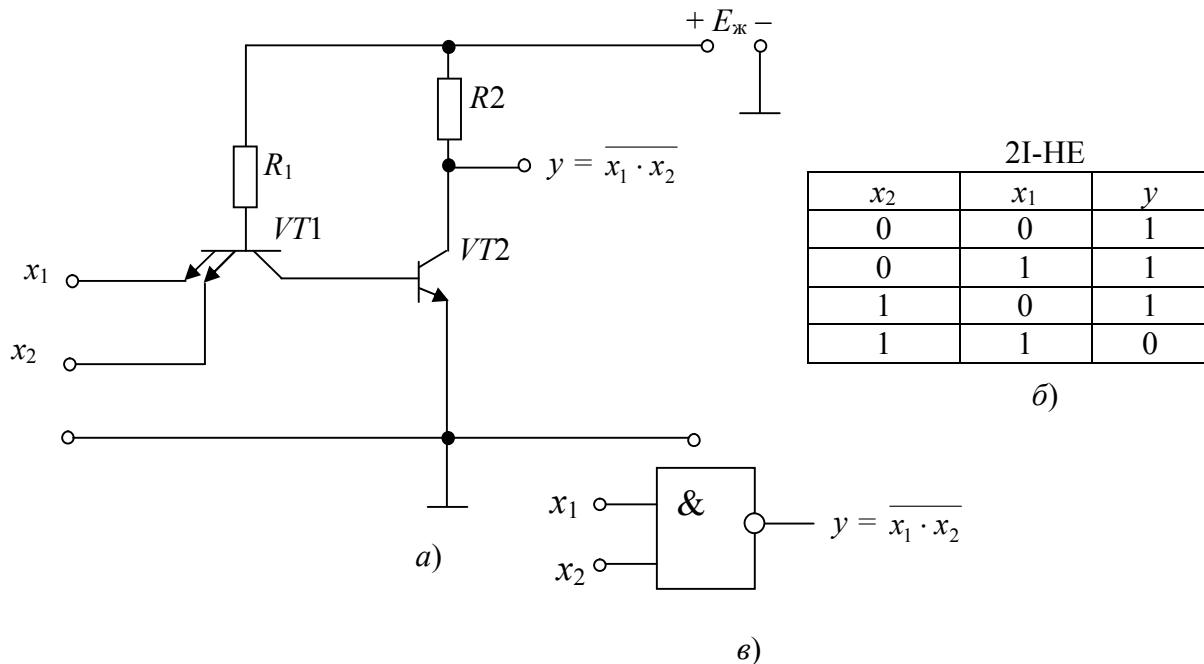


Рисунок 9.13 – ТТЛ-елемент 2I-HE з простим інвертором:  
а) принципова схема, б) таблиця істинності; в) умовне позначення

Схема ТТЛ-елемента, яку показано на рис. 9.13,а, складається з двох послідовно включених функціональних частин: схеми, що виконує операція І та схеми інвертора. Схема І виконана на *багатоемітерному* транзисторі *VT1*, а інвертор виконаний у вигляді ключа на транзисторі *VT2*.

Розглянемо роботу схеми рис. 9.13,а. Нехай на всі входи транзистора *VT1* подано напругу лог. 1  $\approx E_{\text{ж}}$  ( $x_1 = x_2 = 1$ ). При цьому емітерні переходи *VT1* будуть закритими, тому що потенціали емітерів виявляються вищими за потенціал бази. Колекторний перехід *VT1*, навпаки відкритий. Базовий струм *VT1* через колекторний перехід надходить до бази транзистора *VT2*, утримуючи *VT2* в режимі насичення. На виході схеми встановлюється низька напруга:  $y = U_{\text{ке нас}} = \text{лог. 0}$  ( $y = 0$ ).

Розглянемо інший стан схеми. Нехай хоча б на одному з входів або на обох діє напруга логічного нуля ( $x_1 = 0$ , або  $x_2 = 0$ , або  $x_1 = x_2 = 0$ ). У цьому випадку потенціал бази *VT1* виявляється вищим потенціалів емітерів, весь базовий струм *VT1* замикається через емітерні переходи. Струм у колі колектора *VT1*, а отже, і в колі бази *VT2*, практично відсутній. Транзистор *VT2* закритий, на виході встановлюється висока напруга:  $y = E_{\text{ж}} = \text{лог. 1}$  ( $y = 1$ ).

Таким чином, стан вхідних сигналів і вихідного можна описати таблицею істинності, яка показана на рис. 9.13,б. Таблиця відповідає логічній функції 2І-НЕ. На рис. 9.13,в наведено умовне позначення розглянутого логічного елемента, який виконує логічну функцію 2І-НЕ.

Число входів багатомірного транзистора  $VT1$  визначає реалізовану логічну функцію, наприклад, 4І-НЕ, 8І-НЕ. Такі елементи мають більші логічні можливості і більший коефіцієнт об'єднання за входом.

Схема ТТЛ-елемента з простим інвертором не знайшла широкого застосування через малу завадостійкість, здатність навантаження, а також поганої швидкодії.

На рис. 9.14 показана схему ТТЛ-елемента зі складним інвертором.

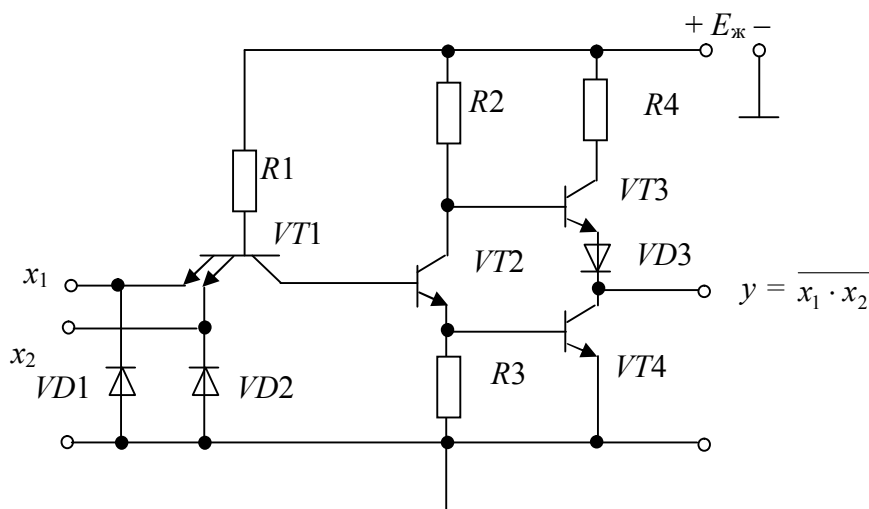


Рисунок 9.14 – ТТЛ-елемент 2І-НЕ зі складним інвертором

Розглянемо принцип роботи схеми рис. 10.14. Якщо на всіх входах транзистора  $VT1$  діє вхідна напруга лог. 1  $= E_{\text{ж}}$  ( $x_1 = x_2 = 1$ ), весь струм, що протікає через резистор  $R_1$ , подається на базу транзистора  $VT2$ . Транзистор  $VT2$  відкривається і переходить у режим насичення. Частина емітерного струму транзистора  $VT2$  надходить до бази транзистора  $VT4$ , утримуючи його в режимі насичення. На виході встановлюється низька напруга  $y = U_{\text{ке нас}} = \text{лог. } 0$  ( $y = 0$ ).

Транзистор  $VT3$  при цьому закривається, тому що на нього подається негативна запираюча напруга від фазоінверсного каскаду, виконаного на транзисторі  $VT2$ . При цьому струм у вихідному колі ТТЛ-елемента і споживання енергії від джерела живлення мінімальні.

Якщо хоча б на один вхід подається напруга логічного нуля, то транзистори  $VT2$  і  $VT4$  закриваються, на виході встановлюється напруга  $E_{\text{ж}} = \text{лог. } 1$  ( $y = 1$ ). При цьому транзистор  $VT3$  відкритий, знаходиться в режимі насичення. Струм у вихідному колі ТТЛ-елемента і споживання енергії від джерела живлення також мінімальні.

У схемі рис. 9.14 використано діоди  $VD1$  і  $VD2$ , які захищають емітерні переходи транзистора  $VT1$  від вхідних сигналів і завад негативної полярності.

Таким чином, ТТЛ-елемент (рис. 9.14) виконує логічну функцію 2І-НЕ, таблиця істинності аналогічна таблиці рис. 9.14,б, умовне позначення – рис. 9.14,в.



Для підключення до загальної інформаційної шини використовується спеціальний ТТЛ-елемент (рис. 9.15), у якого крім двох звичайних станів «0» або «1» вхідне коло може перебувати в третьому стані з відключеним виходом. Для реалізації такого режиму у схемі рис. 9.15 використовується додатковий вхід  $x_3$ . При  $x_3 = 1$ ,  $y = x_1 \cdot x_2$ , а при  $x_3 = 0$  обидва плеча вихідного двотактного підсилювача замкнені, і вихід  $y$  від інформаційної шини виявляється відключеним.

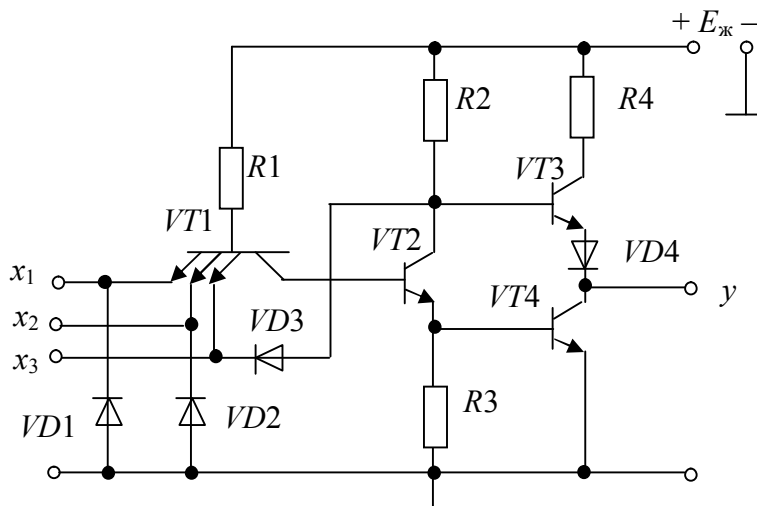


Рисунок 9.15 – Схема ТТЛ-елемента з можливістю підключення до загальної інформаційної шини

#### 9.4.2. Транзисторно-транзисторні логічні елементи з транзисторами Шотткі (ТТЛШ)

Швидкодія логічних елементів є одним з найважливіших їх параметрів. Вона оцінюється затримкою розповсюдження сигналу від входу до виходу елемента. Широке застосування отримали мікросхеми, в яких використовуються **діоди Шотткі**.

Базову схему ТТЛ-елемента 2І-НЕ з діодами Шотткі показано на рис. 9.16. В інтегральному виконанні транзистор і діод Шотткі складають єдину структуру, яка називається **транзистором Шотткі**.

Підвищення швидкодії у схемі рис. 9.16 отримано зниженням ступеня насичення транзисторів за рахунок застосування діодів Шотткі, шунтуючих перехід колектор-база насиченого транзистора. Діоди Шотткі мають меншу порогову напругу відкриття, ніж перехід колектор-база. Тому під час дії вхідного імпульсу діоди Шотткі відкриваються раніше, ніж переходи колектор-база транзисторів. Таким чином, запобігається накопичення надлишкових зарядів у базових областях транзисторів. Накопичення зарядів у самих діодах Шотткі не відбувається, так як протікаючий в них струм викликаний перенесенням основних носіїв.

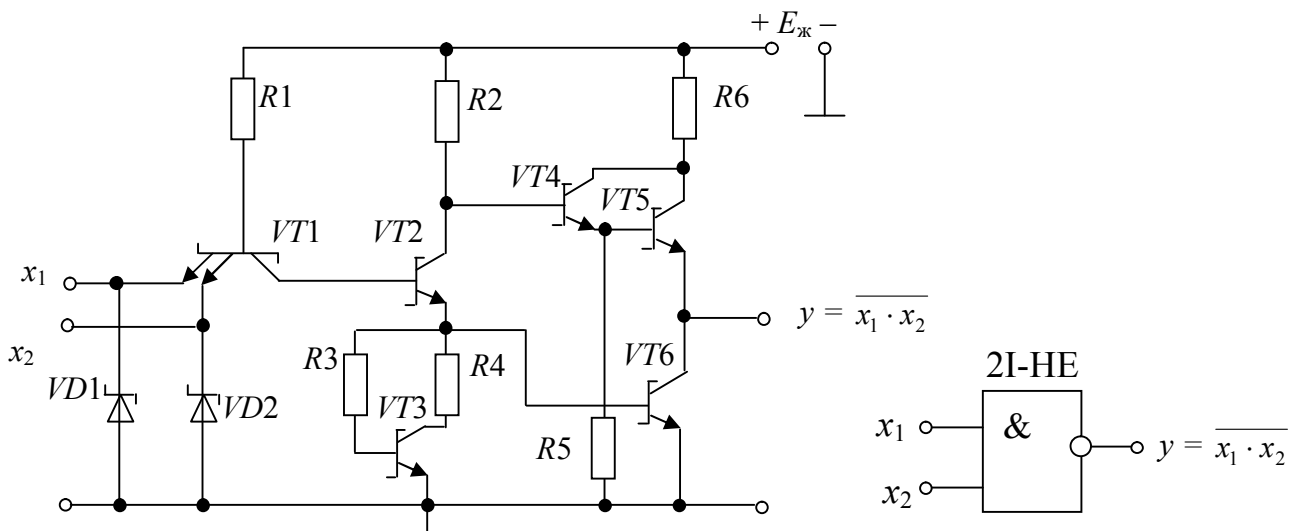


Рисунок 9.16 – Схема ТТЛШ-елемента 2I-HE

Робота транзисторів Шоттки в ненасиченій області призводить до зменшення падіння напруги на їх переходах база-емітер, що зменшує у статичному режимі струм споживання і відповідно споживану потужність. У вихідному каскаді застосована схема Дарлінгтона ( $VT4$  і  $VT5$ ), яка дозволяє забезпечити при виключенні схеми підвищений струм заряду ємнісного навантаження, що зменшує час затримки фронту вихідного сигналу, тому швидкодія схеми також зростає.

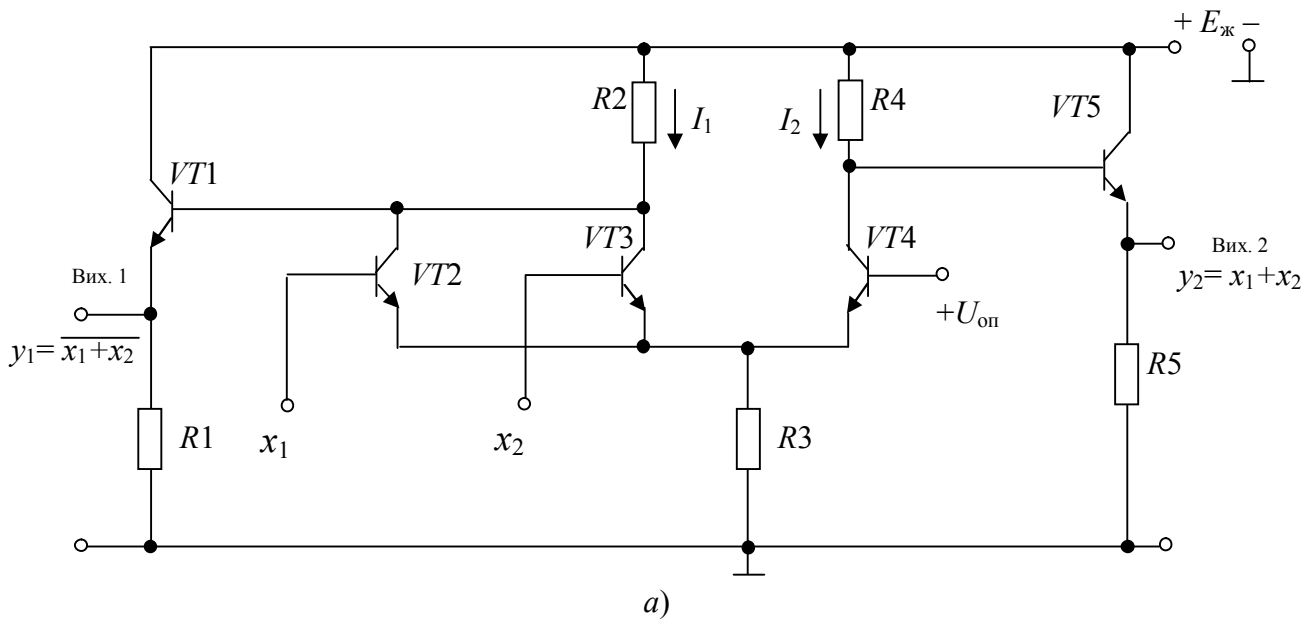
Подальше удосконалення ТТЛ-схем дозволило поліпшити їхні технічні характеристики. Серії ТТЛ-мікросхем продовжують залишатися основою побудови цифрових пристроїв. Всі мікросхеми ТТЛ мають однакову напругу живлення  $E_{\text{ж}} = 5 \text{ В} \pm 10\%$  і близькі значення логічних рівнів. Це дозволяє здійснити спільну роботу схем ТТЛ різних серій. Функціональний склад мікросхем серій ТТЛ, особливості їх застосування та монтажу надаються у довідниках.

#### 9.4.3. Елементи емітерно-зв'язаної логіки (ЕЗЛ)

Цифрові елементи емітерно-зв'язаної логіки (ЕЗЛ) засновані на перемикачах струму, зібраних на біполярних транзисторах. Вони відрізняються від інших типів ІМС найбільшою швидкістю, але і більшою споживаною потужністю.

Велика швидкодія ЕЗЛ-елементів обумовлена тим, що біполярні транзистори в цих схемах працюють без насичення і можуть перебувати або в активному режимі, або в режимі відсікання. Застосування емітерних повторювачів на виходах елемента також забезпечує прискорення процесу перезаряду ємностей, що підключаються до виходів, через малий вихідний опір повторювачів. Обраний малий перепад логічних рівнів (логічної одиниці – логічного нуля) також збільшує швидкість ЕЗЛ-елемента. Однак останній фактор призводить до порівняно низької завадостійкості елемента.

Типову схему ЕЗЛ-елемента показано на рис. 9.17.



$y_1 - 2\text{АБО-НЕ}$

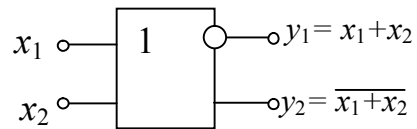
$x_2$	$x_1$	$y_1$
0	0	1
0	1	0
1	0	0
1	1	0

б)

$y_2 - 2\text{АБО}$

$x_2$	$x_1$	$y_2$
0	0	0
0	1	1
1	0	1
1	1	1

в)



г)

Рисунок 9.17 – Елемент ЕЗЛ: а) принципова схема; б) таблиця істинності:

вих. 1  $y_1 = x_1 + x_2$ ; в) таблиця істинності: вих. 2 –  $y_2 = x_1 + x_2$ ;

г) умовне позначення ЕЗЛ-елемента

Транзистори  $VT2$ ,  $VT3$ ,  $VT4$  працюють у схемі перемикача струму, транзистори  $VT1$  і  $VT5$  працюють у схемах вихідних емітерних повторювачів. Ліве плече перемикача складається з включених паралельно транзисторів  $VT2$  і  $VT3$  (за числом входів  $x_1$  і  $x_2$  мікросхеми), праве плече складається з транзистора  $VT4$ , на базу якого подається опорна напруга ( $+U_{оп}$ ). На рис. 9.18,а показано струми  $I_1$  і  $I_2$  перемикача струму. Завдяки опорній напрузі  $U_{оп}$  отримана ВАХ перемикача струму, яку показано на рис. 9.18, в якій точка балансу струмів  $I_1 = I_2$  збігається зі значенням обраної напруги  $U_{оп}$ .

Плавню змінюючи значення  $U_{оп}$ , можна регулювати діапазон вхідних напруг, які відповідають діапазону логічного нуля, тобто змінювати порогову чутливість до напруги завади.

Розглянемо принцип роботи ЕЗЛ-елемента (рис. 9.17,а). Для цього складемо таблиці істинності для виходів  $y_1$  і  $y_2$ .

Нехай вхідні сигнали  $x_1 = \text{лог. } 0$ ,  $x_2 = \text{лог. } 0$ .

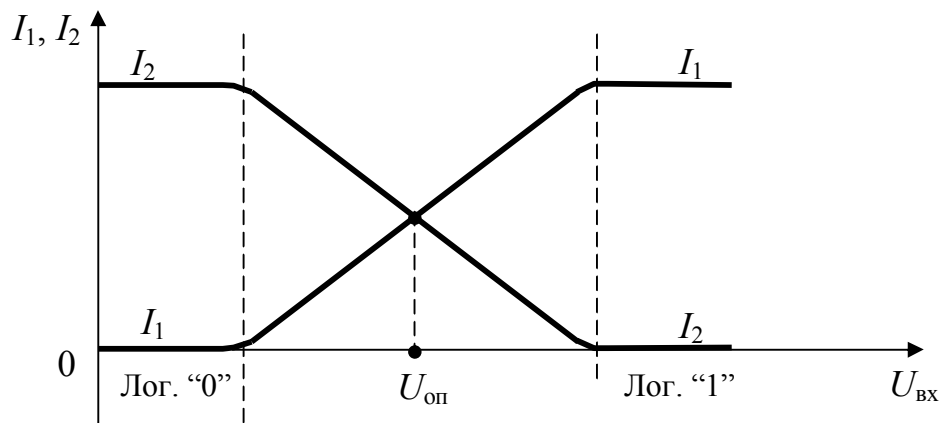


Рисунок 9.18 – ВАХ перемикача струму

Транзистори  $VT2$  і  $VT3$  закриті (знаходяться у режимі відсікання), а транзистор  $VT4$  відкритий, тому що на його базу подано позитивну напругу  $U_{оп}$ . Тому напруга на виходах закритих транзисторів  $VT2$  і  $VT3$  буде великою, що відповідає  $y_1 = \text{лог. } 1$ , а напруга на виході відкритого транзистора  $VT4$  буде малою, що відповідає  $y_2 = \text{лог. } 0$ . Такий стан схеми відповідає першому рядку в таблицях істинності рис. 10.17,б і рис. 9.17,в.

Якщо хоча б на один з входів приходить сигнал логічної одиниці (наприклад,  $x_1 = 1, x_2 = 0$ ), то транзистор  $VT2$  відкривається, з'являється струм  $I_1$ . На резисторі  $R_3$  відбудеться падіння напруги  $U_{R_3} = R_3 \cdot I_1$ , яке більше опорної напруги  $U_{оп}$  ( $U_{R_3} > U_{оп}$ ). Напруга між базою і емітером транзистора  $VT4$  дорівнює різниці  $U_{бе VT4} = U_{оп} - U_{R_3}$  і має невелике значення, яке недостатнє для відкриття транзистора  $VT4$ . Транзистор  $VT4$  закритий (знаходиться у режимі відсікання), струм  $I_2 = 0$ . Струм  $I_1$  максимальний, тому напруга на колекторі відкритого транзистора  $VT2$ , а, отже, і на виході транзистора  $VT3$  (тому що вони з'єднані паралельно), буде малою, що відповідає  $y_1 = \text{лог. } 0$ . Напруга на виході закритого транзистора  $VT4$  буде великою, що відповідає  $y_2 = \text{лог. } 1$ . Цей стан схеми відповідає другому рядку в таблицях істинності рис. 9.17,б і рис. 9.17,в.

Зміна вхідних сигналів:  $x_1 = 0, x_2 = 1$  або  $x_1 = 1, x_2 = 1$ , зберігає вихідні напруги:  $y_1 = 0; y_2 = 1$ . Ці стани схеми відповідають третьому та четвертому рядкам у таблицях істинності рис. 9.17,б і рис. 9.17,в.

Таким чином, таблиця істинності для виходу  $y_1$  відповідає логічній функції 2АБО-НЕ, для виходу  $y_2$  – 2АБО. Умовне позначення ЕЗЛ-елемента з двома вхідними сигналами  $x_1$  і  $x_2$  показано на рис. 9.17,г. Число входів можна використовувати і більше, наприклад, чотири. У цьому випадку число транзисторів у лівому плечі перемикача струму, включених паралельно, дорівнює також чотирьом.

#### 9.4.4. Елементи інтегрально-інжекційної логіки ( $I^2L$ )

Логічні елементи інтегральної інжекційної логіки  $I^2L$  реалізують на базі транзисторних структур  $n$ - $p$ - $n$  і  $p$ - $n$ - $p$  типів за схемою, показаною на рис. 9.19.

Базовими елементами І<sup>2</sup>Л є каскади-інвертори на транзисторах  $VT1$ ,  $VT2$ ,  $VT3$  ..., які можуть мати багато колекторів-виходів  $\bar{y}$ , виконаних в обсязі загальної  $p$ -бази, аналогічно емітерам багатоемітерного транзистора в ТТЛ.

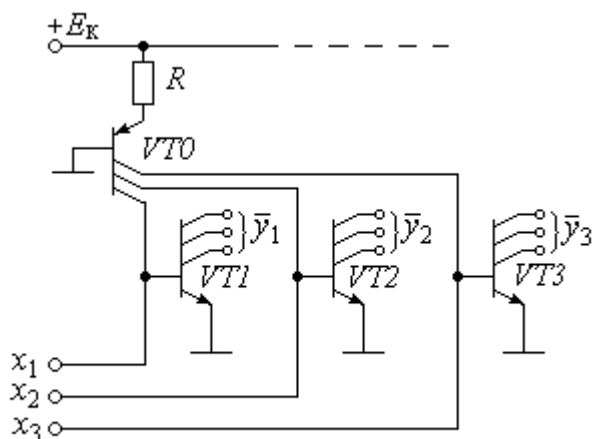


Рисунок 9.19 – Базові елементи І<sup>2</sup>Л

Каскад на транзисторі  $VT0$  типу  $p$ - $n$ - $p$  називається *інжектором* і здійснює інжекційне живлення інверторів  $VT1$ ,  $VT2$ ,  $VT3$  ... . Число колекторів транзистора  $VT0$  може сягати 10...20. Число каскадів, що живляться інжектором, дорівнює кількості його колекторів.

Що ж стосується живлення, то воно охоплює тільки бази  $VT1$ ,  $VT2$ ,  $VT3$  ... . Колектори ж цих транзисторів залишаються відкритими.

Резистор  $R$  спільно з напругою живлення  $E_K$  утворює джерело струму, тобто обмежує струм, який розгалужується за базами  $VT1$ ,  $VT2$ ,  $VT3$  ..., здійснюючи їх живлення. Без резистора  $R$  струми живлення могли б зростати необмежено.

Навантажувальна здатність ЛЕ І<sup>2</sup>Л визначається числом колекторів транзисторів  $VT1$ ,  $VT2$ ,  $VT3$  ...

Елементи І<sup>2</sup>Л працюють таким чином.

Якщо на входах  $x_1$ ,  $x_2$ ,  $x_3$  логічні одиниці, то бази транзисторів  $VT1$ ,  $VT2$ ,  $VT3$  ... знаходяться під струмами. Виходи  $\bar{y}_1$ ,  $\bar{y}_2$ ,  $\bar{y}_3$  через насичені транзистори підключаються до загальної шини і тому на виходах встановлюються логічні нулі.

Коли ж на входах  $x_1$ ,  $x_2$ ,  $x_3$  логічні нулі, то струми колекторів інжектора відгалужуються на ці входи і бази  $VT1$ ,  $VT2$ ,  $VT3$  ... знеструмлені. Зазначені транзистори перейдуть у режим відсікання і відключать виходи  $\bar{y}_1$ ,  $\bar{y}_2$ ,  $\bar{y}_3$  від загальної шини. На виходах встановлюються логічні одиниці.

Переваги інжекційної логіки наступні:

- живляться не колектори, а бази, через що напруга живлення достатньо низька і не перевищує 1...1,5 В;
- висока економічність через відсутність у логічних елементах резисторів, на яких завжди розсіюється потужність;
- інтегрально-інжекційна логіка вдало поєднує мініатюризацію біполярної структури з незначним споживанням потужності на одиницю площі кристала і дозволяє розмістити на площі, займаній одним елементом ТТЛ, близько десяти аналогічних елементів І<sup>2</sup>Л.

Поряд з цими важливими перевагами І<sup>2</sup>Л-елементи мають низьку завадостійкість до запираючих завад (не більше 0,1 В). Тому І<sup>2</sup>Л-елементи використовують переважно у внутрішніх вузлах ВІС та СВІС.

#### 9.4.5. Логічні елементи *n*МОН-логіки

У цифрових мікросхемах практичне застосування отримали польові транзистори з оксидною ізоляцією, що утворюють структуру метал-окис-напівпровідник (МОН) з індукованим каналом. Мікросхеми на МОН-транзисторах мають низка переваг порівняно з біполярними схемами. Вони конструктивно прості, технологічні, мають високу завадостійкість і малу потужність розсіювання. МОН-ключ займає набагато меншу площу на поверхні підкладки порівняно з біполярним ключем.

Мікросхеми виконуються на МОН-транзисторах з індукованим каналом *n*- або *p*-типу. Відповідно до цього мікросхеми називають *n*МОН або *p*МОН. *n*МОН-структури мають низку переваг порівняно з *p*МОН-структурами. Тому що носіями струму в *n*-структурах є електрони, а в *p*-структурах – дірки, а електрони мають більшу рухливість, ніж дірки, то *n*МОН-структури мають більшу швидкодію.

В даний час широко використовуються мікросхеми на комплементарних МОН-транзисторах (КМОН-логіка).

Властивості, електричні параметри та характеристики логічних елементів визначаються властивостями електронних ключів, на яких такі елементи побудовані. Схеми базових логічних елементів та їх умовні позначення показані на рис. 9.20.

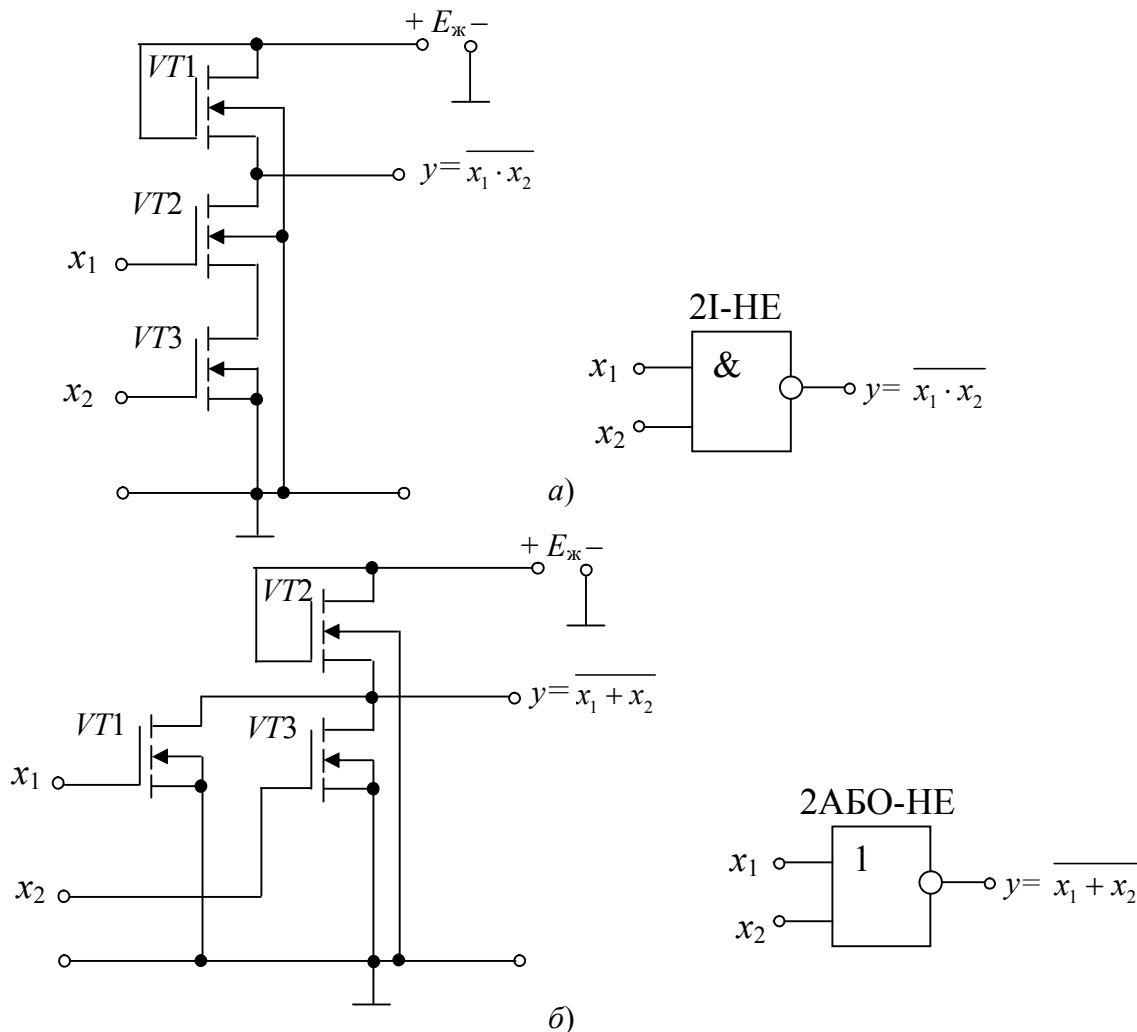


Рисунок 9.20 – Базові логічні елементи *n*МОН-логіки та їх умовні позначення:  
а) 2I-HE; б) 2АБО-HE

Для реалізації функції 2І-НЕ (рис. 9.20,*а*) транзистори  $VT2$  і  $VT3$  з'єднані послідовно між собою та з динамічним навантаженням, виконаним на транзисторі  $VT1$ . Струм через навантаження  $VT1$  буде протікати лише в тому випадку, якщо обидва транзистора  $VT2$  і  $VT3$  відкриті, тобто коли на обидва входи подано відмикаючу напругу лог. 1:  $x_1 = 1$ ;  $x_2 = 1$ . У цьому випадку напруга на виході буде мінімальною, вихідна напруга дорівнює логічному нулю:  $y = 0$ .

В інших випадках достатньо, щоб на один з входів (або на обидва) був поданий рівень логічного нуля, один транзистор (або обидва) буде закрито, струм через навантаження  $VT1$  протікати не буде. У цьому випадку на виході встановиться велика напруга логічної одиниці:  $y = 1$ . Таким чином, можна скласти таблицю істинності для схеми рис. 9.20,*а*, яку наведено на рис. 9.21, *а* вона відповідає функції 2І-НЕ.

2І-НЕ		
$x_2$	$x_1$	$y$
0	0	1
0	1	1
1	0	1
1	1	0

*а)*

2АБО-НЕ		
$x_2$	$x_1$	$y$
0	0	1
0	1	0
1	0	0
1	1	0

*б)*

Рисунок 9.21 – Таблиці істинності базових логічних елементів  $n$ МОН-логіки:

*а)* рис. 9.20,*а* – 2І-НЕ; *б)* рис. 9.20,*б* – 2АБО-НЕ

Для реалізації функції 2АБО-НЕ (рис. 9.20,*б*) транзистори  $VT1$  і  $VT3$  з'єднані паралельно між собою і до загального динамічного навантаження, виконаного на транзисторі  $VT2$ . У цій схемі струм через навантаження  $VT2$  буде протікати при відкриванні хоча б одного з транзисторів або обох відразу, тобто при подачі логічної одиниці на вхід одного з транзисторів ( $VT1$  або  $VT3$ ) або на обидва відразу. У цьому випадку на виході схеми рис. 9.20,*б* буде низька напруга логічного нуля:  $y = 0$ .

Струм через транзистор навантаження  $VT2$  не буде протікати лише у тому випадку, якщо обидва транзистора  $VT1$  і  $VT3$  будуть закриті, тобто  $x_1 = 0$ ;  $x_2 = 0$ , у цьому випадку на виході схеми рис. 9.20,*б* буде висока напруга логічної одиниці:  $y = 1$ .

Таким чином, можна скласти таблицю істинності схеми рис. 9.20,*б*, яка показана на рис. 9.21,*б*, вона відповідає логічній функції 2АБО-НЕ.

#### 9.4.6. Логічні елементи КМОН-логіки

Схеми базових логічних елементів на КМОН-транзисторах та їхні умовні позначення показано на рис. 9.22.

Як впливає зі схем рис. 9.22,*а* і *б* вони складені з транзисторів різного типу провідності (КМОН транзисторів). Транзистори  $n$ -типу підключені виводом до нульового потенціалу (корпусу), транзистори  $p$ -типу підключені виводом до позитивної шини джерела живлення. У схемах рис. 9.22 транзистори  $n$ -типу є

основними, *p*-типу – навантаженням. Основні транзистори визначають роботу схеми. При послідовному з'єднанні транзисторів *VT3* і *VT4* у схемі рис. 9.22,*a* напруга на виході буде мати низький рівень логічного нуля ( $y = 0$ ) лише в тому випадку, якщо транзистори *VT3* і *VT4* відкриті, тобто, якщо на входи подана відмикаюча напруга логічної одиниці:  $x_1 = 1, x_2 = 1$ .

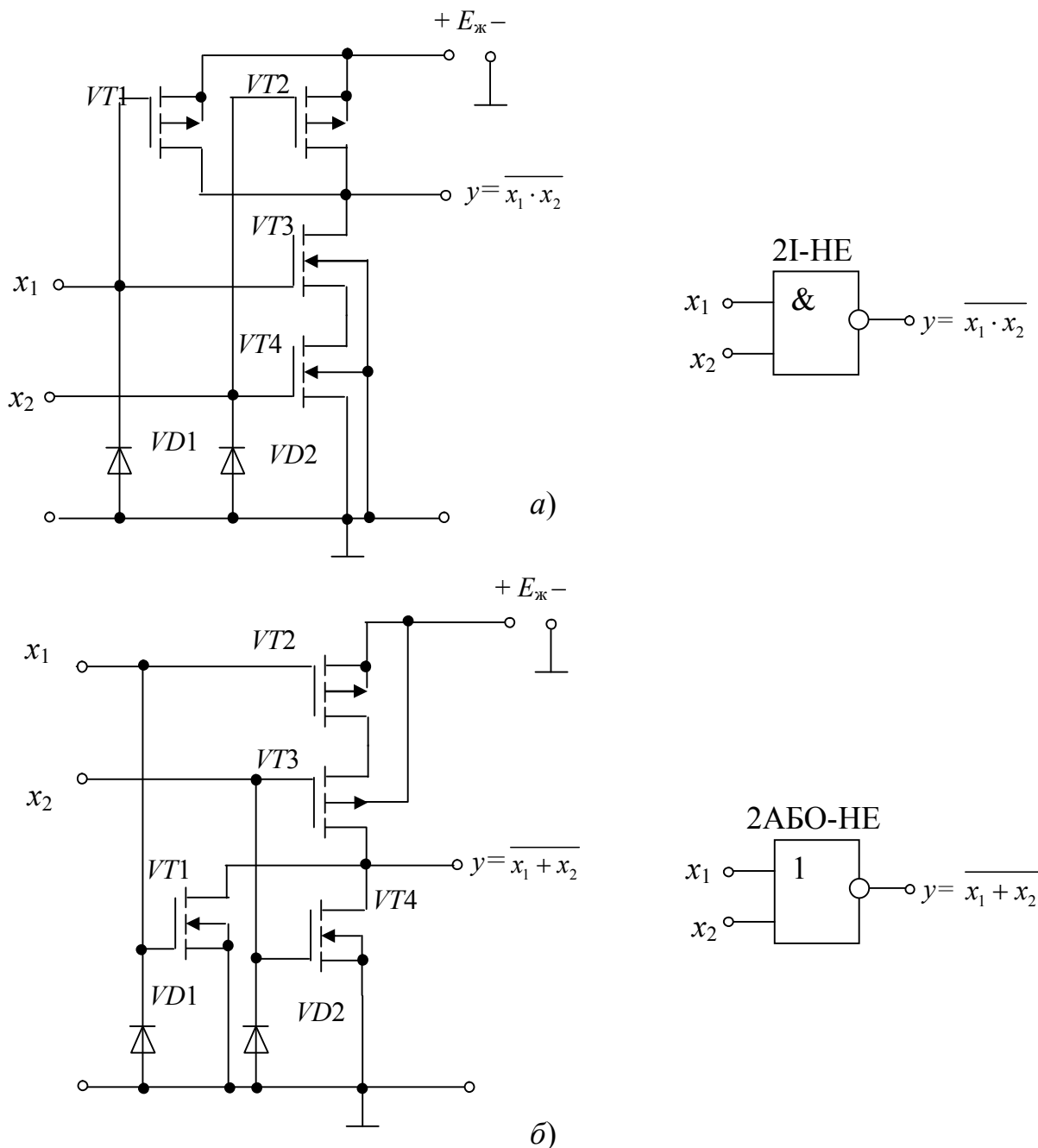


Рисунок 9.22 – Базові логічні елементи КМОН-логіки та їх умовні позначення: а) 2І-НЕ; б) 2АБО-НЕ

В інших випадках достатньо на один із входів подати низький рівень логічного нуля, напруга на виході буде високою логічною одиницею:  $y = 1$ . Така схема (рис. 9.22,*a*) реалізує логічну операцію 2І-НЕ, аналогічно схемі рис. 9.20, *a* *n*МОН-логічного елемента.



Схема рис. 9.22,б, в якій основні транзистори  $VT1$  і  $VT4$  включені паралельно, реалізує логічну операцію 2АБО-НЕ, аналогічно схемі рис. 9.20,б  $n$ МОП-логічного елемента.

У схемах КМОН-логіки (рис. 9.22) струм від джерела живлення у статичному режимі не протікає, тому що в комплементарній парі один із транзисторів завжди закритий.

Цифрові схеми на КМОН-транзисторах мають низку переваг порівняно з мікросхемами на  $n$ МОН-транзисторах: вони мають дуже малу потужність споживання у статичному режимі, відносно високу швидкість, хорошу завадостійкість і досить велику навантажувальну здатність. Потужність, споживана схемою на КМОН-транзисторах, витрачається в основному під час перехідного процесу. У статичному режимі споживана потужність визначається напругою живлення і струмами закритого МОН-транзистора.

Кожен з розглянутих типів цифрових мікросхем (біполярні ТТЛ, ЕЗЛ і  $I^2L$ , схеми на  $n$ МОН і КМОН-транзисторах) має свої переваги і недоліки, що визначають області їх застосування.

#### 9.4.7. Логічні елементи з трьома станами виходу

Логічний елемент з трьома станами або тристановий драйвер, або тристановий буфер має на виході, крім звичайних двох станів, третій, що носить назву  $Z$ -стану. Третій стан – це стан великого вихідного опору, що є практично діелектриком.

Необхідність створення елементів з трьома вихідними станами виникла при організації процесорних систем із загальними шинами обміну даними між пристроями, що входять до складу системи. Щоб по одній і тій самій шині можна було б як приймати, так і передавати дані.

Одну зі схем тристанового драйвера (далі: драйвер), показано на рис. 9.23, а, а її умовне позначення – на рис. 9.23,б. Третій стан забезпечують  $EZ$ -входом, який називається керуючим.

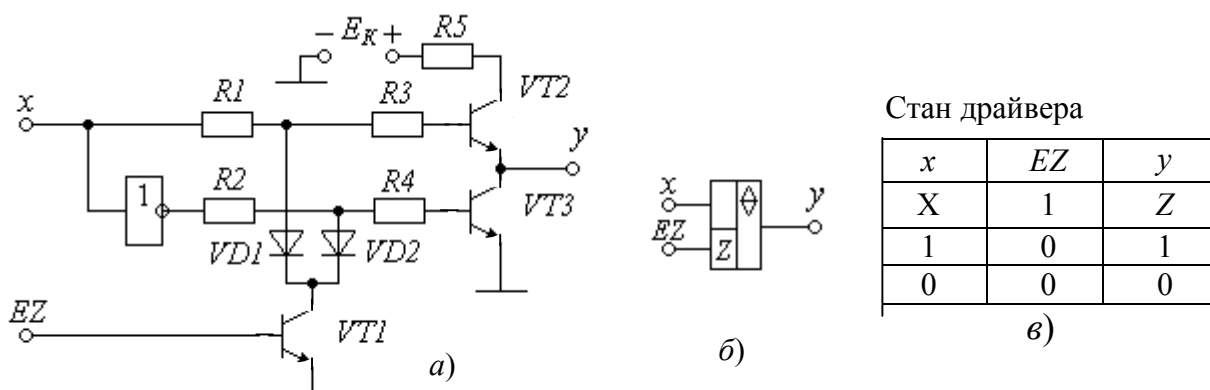


Рисунок 9.23 – Драйвер: а) схема; б) умовне позначення; в) таблиця істинності

Роботу схеми відображає таблиця істинності рис. 9.23,в, в якій хрестиком  $X$  позначена незалежність вихідного рівня  $y$  від стану входу  $x$ .

Ключ на  $VT1$  забезпечує третій стан, а перемикач на  $VT2$ ,  $VT3$  здійснює перемикання виходу  $y$  до логічних або нуля, або одиниці.

Драйвер працює таким чином.

Якщо  $EZ = 0$ , то транзистор  $VT1$  закритий і не впливає на роботу схеми, яка полягає в наступному. При  $x = 0$  транзистор  $VT2$  закритий і відриває вихід  $y$  від  $+E_K$ , тобто від логічної одиниці. Завдяки інвертору 1 транзистор  $VT3$  відкритий і підключає вихід  $y$  до загальної шини, тобто до логічного нуля ( $y = 0$ ). При  $x = 1$  стан транзисторів  $VT2$ ,  $VT3$  змінюється на протилежний, через що  $y = 1$ .

Коли ж  $EZ = 1$ , то транзистор  $VT1$  відкривається і через діоди  $VD1$ ,  $VD2$  закорочує коло баз  $VT2$ ,  $VT3$  на нуль. Обидва транзистора  $VT2$ ,  $VT3$  закриваються і на виході  $y$  встановлюється високий опір.

Якщо виходу будь-якого логічного елемента необхідно забезпечити третій стан, то до виходу цього елемента слід підключити вхід  $x$  драйвера, як це показано на рис. 9.24. Роботу схеми пояснює таблиця рис. 9.24,в.

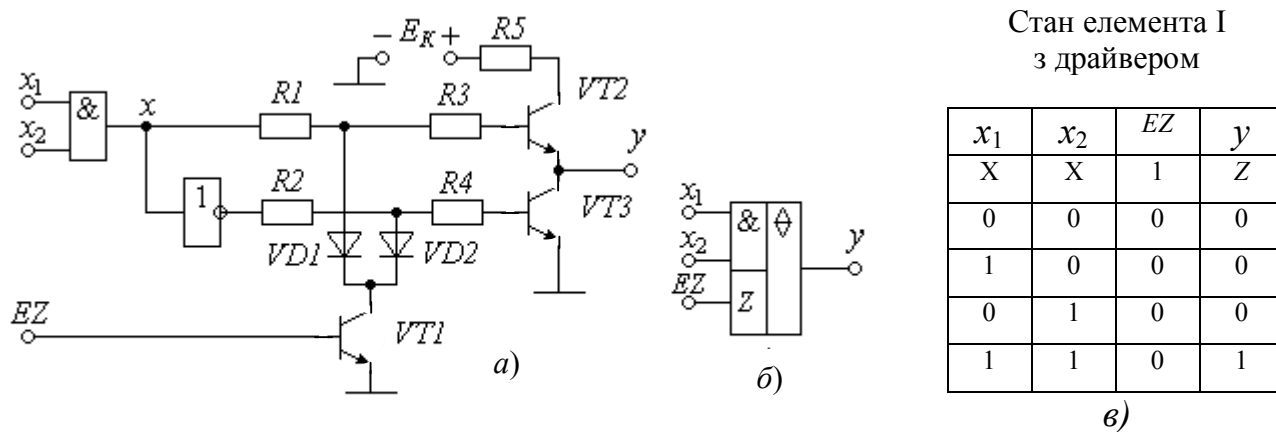


Рисунок 9.24 – Логічний елемент I з драйвером: а) схема; б) умовне позначення; в) таблиця істинності

На рис. 9.25,а надано схему драйвера на КМОН-структурах з інверсним управляючим входом  $\overline{EZ}$ .

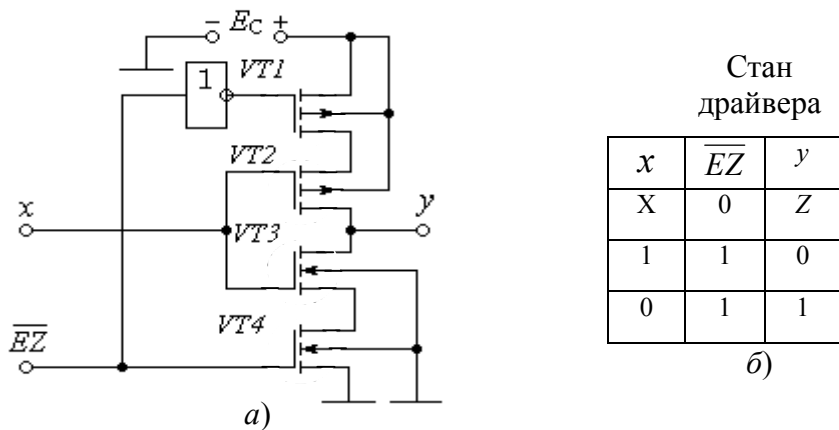


Рисунок 9.25 – Драйвер на КМОН-структурах: а) схема, б) таблиця істинності

Z-стан КМОН-інвертора на транзисторах  $VT2$  і  $VT3$  забезпечують ключі на транзисторах  $VT1$  і  $VT4$ .

Роботу схеми відображає таблиця істинності (рис. 9.25,б), в якій хрестиком  $X$  позначено незалежність вихідного рівня  $y$  від стану входу  $x$ .

Z-стан забезпечується, коли  $\overline{EZ} = 0$ . При цьому обидва ключі  $VT1$  і  $VT4$  закриті і відривають вихід  $y$  і від нуля, і від одиниці. Тому вихід  $y$  має високий вихідний опір.

Якщо  $\overline{EZ} = 1$ , то обидва ключа і  $VT1$ , і  $VT4$  відкриті і схема виконує функцію інвертора.

Елементи з трьома станами виходу розроблені спеціально для використання їх як вихідного керованого буфера, що забезпечує підключення цифрових блоків до магістральних шин.

Буфери з трьома станами виходу носять назву *шинних драйверів*.

#### 9.4.8. Порівняльна оцінка різних типів логічних елементів

Порівняємо розглянуті типи логічних елементів за основними характеристиками.

*Швидкодія.* Найбільш швидкодіючими є схеми на ненасичених транзисторах на перемикачах струму – ЕЗЛ елементи. Наступними за швидкодією є ТТЛШ елементи. Схеми з насиченими транзисторами мають меншу швидкодію через збільшення часу виключення, викликаного розсмоктуванням надлишкового заряду бази. Зі схем з насиченими транзисторами найбільшу швидкодію забезпечують ТТЛ схеми.

*Споживана потужність.* Найменшу величину споживаної потужності мають схеми на польових транзисторах з каналами різного типу провідності – КМОН-логіка. Малу величину споживаної потужності мають також І<sup>2</sup>Л елементи, тому що вони вимагають малих значень живлячої напруги. Найбільшу потужність споживають ЕЗЛ елементи.

*Реалізовувані логічні операції.* Більшість типів логічних елементів реалізують логічні операції І-НЕ й АБО-НЕ. Виняток становлять ЕЗЛ елементи, що мають два взаємно інвертованих виходи АБО і АБО-НЕ. Це є перевагою ЕЗЛ схем при використанні їх у складних цифрових пристроях.

*Число входів.* Найменшими обмеженнями за кількістю входів характеризуються ТТЛ-схеми, де число входів визначається числом емітерів у багатоемітерному транзисторі. В інших схемах збільшення числа входів пов'язане зі збільшенням числа транзисторів. Останнє, крім збільшення займаної площі, призводить до зростання паразитних ємностей і, отже, до зниження швидкодії.

*Навантажувальна здатність.* Основним фактором, що обмежує навантажувальну здатність всіх схем логічних елементів, є мінімальне значення коефіцієнта передавання струму інвертуючого транзистора. Проте в деяких типах схем до цього додаються ще й додаткові причини. У ТТЛ елементах додатковим фактором, що обмежує навантажувальну здатність, є навантаження закритого елемента вхідними струмами наступних елементів. Використання складно-

го інвертора в таких випадках є обов'язковим. ЕЗЛ-схеми через малий вихідний і великий вхідний опір мають хорошу навантажувальну здатність. Хорошу навантажувальну здатність мають також схеми на польових транзисторах через великий вхідний опір.

#### 9.4.9. Узгодження логічних елементів різних типів

Узгодження логічних елементів передбачає забезпечення спільної роботи мікросхем різних серій, наприклад, ТТЛ і КМОН. Узгодження різних типів мікросхем зв'язано, у першу чергу, з необхідністю узгодження вхідних і вихідних рівнів напруги, тобто рівнів логічного нуля і логічної одиниці за різних напруг живлення. Для розробки питань узгодження необхідно враховувати основні параметри узгоджуваних серій.

Пристрої, за допомогою яких узгоджуються різні серії, називають *перетворювачами* або *трансляторами рівнів*. На практиці особливий інтерес викликають перетворювачі рівнів найбільш часто використовуваних мікросхем, ТТЛ і КМОН.

Для логічних елементів КМОН вхідний струм практично відсутній при зміні  $U_{вх}$  від 0 до 15 В, а вихідний струм відкритих транзисторів досягає одиниць міліампер.

Вхідний же струм елементів ТТЛ може досягати 16 мА. Тому елементи ТТЛ і КМОН можна з'єднувати лише через схеми узгодження, враховуючи названу відмінність струмів.

При узгодженні ТТЛ-КМОН або КМОН-ТТЛ можуть бути такі варіанти:

- узгодження ТТЛ-КМОН, якщо напруга живлення КМОН-серії значно більша, ніж мікросхем серії ТТЛ;
- узгодження КМОН-ТТЛ, якщо напруга живлення КМОН-серії значно більша, ніж мікросхем серії ТТЛ.

У разі єдиного кола живлення +5 В для мікросхем серій ТТЛ і КМОН узгодження не потрібне. До виходу логічного елемента ТТЛ можна безпосередньо підключати вхід елемента КМОН. Для підвищення ж завадостійкості на виході ЛЕ ТТЛ між його виходом і джерелом живлення  $+E_{ж}$  слід включити резистор з опором близько 5 кОм.

Коли напруга живлення КМОН-серії значно більша, ніж мікросхем ТТЛ, наприклад,  $E_{КМОН} = 10$  В, а  $E_{ТТЛ} = 5$  В, то узгодження ТТЛ-КМОН слід виконувати за схемою, показаною на рис. 9.26. У цій схемі замість транзистора  $VT1$  можна використовувати логічний елемент з відкритим колектором. Опір резистора  $R_2$  у цьому випадку не має принципового значення і вибирається в межах 10...100 кОм.

Узгодження мікросхем КМОН-ТТЛ, якщо напруга живлення КМОН-серії значно більша, ніж мікросхем серії ТТЛ, виконується за схемою, показаною на рис. 9.27.

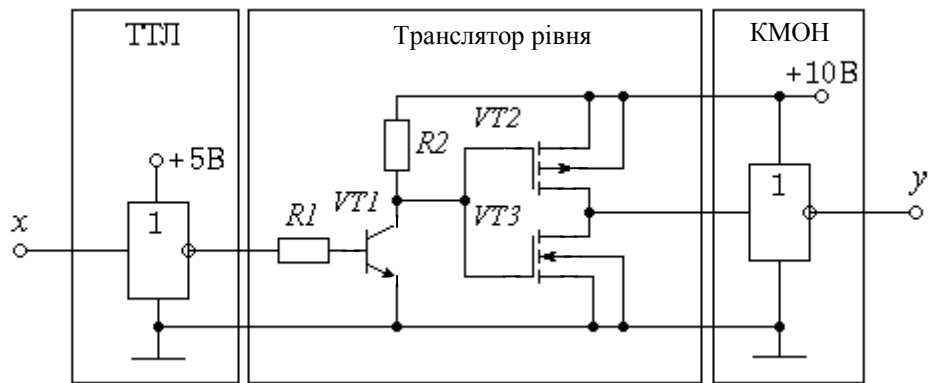


Рисунок 9.26 – Узгодження мікросхем ТТЛ-КМОН

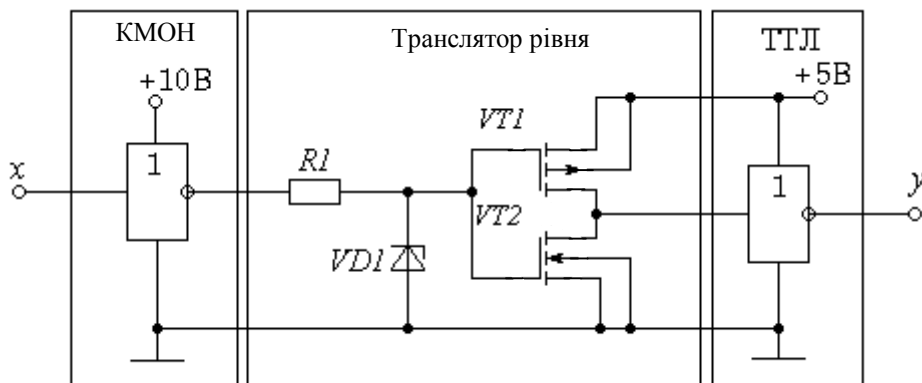


Рисунок 9.27 – Узгодження мікросхем КМОН-ТТЛ

У цьому випадку необхідно виконувати узгодження елементів різних серій як за напругою, так і за струмом. Транслятор рівня містить обмежувач напруги на резистори  $R_1$  і стабілітрон  $VD1$  з напругою стабілізації 5,1 В. Цей обмежувач повинен знизити напругу до 5,1 В, щоб транзистор  $VT1$  надійно закривався.

## 9.6. Правила використання цифрових мікросхем

При використанні мікросхем слід дотримуватися таких правил:

- число елементів, що підключаються до виходу логічного елемента, не повинно перевищувати зазначене в паспорті мікросхеми;
- невикористані входи схем повинні бути підключеними, в ТТЛ і ТТЛШ серіях сигнали непідключених входів сприймаються як логічні одиниці;
- у ТТЛ і ТТЛШ невикористані входи або об'єднують з використовуваними входами (рис. 9.28,а), або підключають до джерела логічної одиниці. Таким джерелом може бути вихід логічного елемента, наприклад, НЕ, вхід якого підключений до нульового потенціалу (рис. 9.28,б), або резистор  $R$  з опором 1 кОм, підключений до джерела напруги +5 В (рис. 9.28,в). До такого резистору можна підключати до 20 невикористаних входів;
- у КМОН-елементах непідключеними не можна залишати жодного входу, тому що при цьому відповідний транзистор залишиться без напруги "затвор-підкладка" і схема стане непрацездатною. У серіях КМОН невикористані входи

можна підключати до джерела напруги безпосередньо без резисторів. Як і у ТТЛ-елементах, невикористані входи можна об'єднувати з робочими;

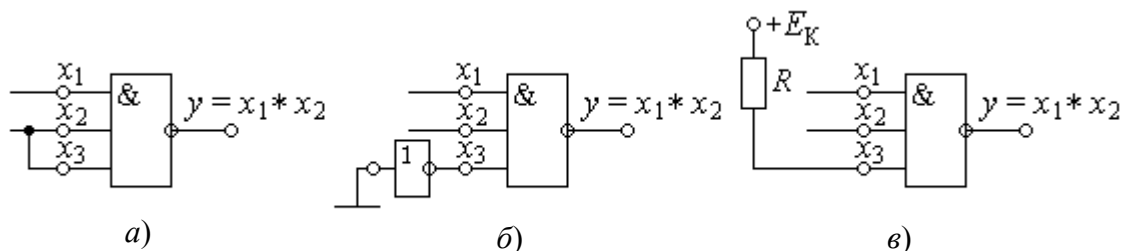


Рисунок 9.28 – Правила підключення невикористаного входу  $x_3$

– невикористані входи схем АБО у будь-яких серіях необхідно або об'єднувати з робочими, або підключати до логічного нуля;

– якщо деякі елементи, що входять до складу корпусу мікросхеми, не використовуються, то на їхні входи необхідно подавати такий потенціал, який забезпечить на виході логічну одиницю. У такому стані елемент споживає меншу потужність і, крім того, його можна використовувати як джерело логічної одиниці.

До найважливіших проблем цифрової схемотехніки належать питання захисту елементів від завад і шумів. Значну роль у цій проблемі відіграють конструкція пристрою і монтаж окремої мікросхеми. Основними джерелами виникнення завад і шумів є кола живлення і заземлення, вхідні та вихідні кола сигналу.

### Контрольні питання

1. Дайте визначення ЦІС.
2. Дайте визначення логічного елемента.
3. Що називають логічною змінною, логічною функцією, таблицею істинності?
4. Назвіть елементарні логічні функції.
5. Назвіть форми подання логічних функцій.
6. Який базис називають функціонально повним?
7. Що таке логічна функція НЕ?
8. Що таке логічна функція І?
9. Що таке логічна функція АБО?
10. Що таке логічна функція І-НЕ?
11. Що таке логічна функція АБО-НЕ?
12. Що таке логічна функція «винятково АБО»?
13. Накресліть схему базового ТТЛ елемента і поясніть як вона працює.
14. Побудуйте схему базового ЕЗЛ елемента і поясніть як вона працює.
13. Побудуйте схему базового І<sup>2</sup>Л елемента і поясніть як вона працює.
14. Побудуйте схему МОН елемента, що виконує логічну операцію 2І-НЕ і поясніть, як вона працює.
15. Накресліть схему МОН елемента, що виконує логічну операцію 2АБО-НЕ і поясніть як вона працює.

16. Накресліть схему КМОН елемента, що виконує логічну операцію 2І-НЕ і поясніть як вона працює.
17. Накресліть схему КМОН елемента, що виконує логічну операцію 2АБО-НЕ і поясніть як вона працює.
18. Для чого потрібні логічні елементи з трьома станами виходу?
19. Що розуміють під узгодженням логічних елементів?

## Розділ 10. ПОСЛІДОВНІСНІ ПРИСТРОЇ

**Послідовнісні пристрої** – це цифрові логічні схеми (цифрові автомати) з пам'яттю. Вони характеризуються деяким числом внутрішніх станів. Під дією вхідних сигналів послідовнісні пристрої переходять з одного стану в інший. Новий стан залежить від комбінації діючих сигналів на його входах та попереднього стану, в якому знаходився автомат. Тому послідовнісні пристрої складаються з комбінаційної частини й елементів пам'яті – запам'ятовувачів інформації.

Функцію найпростішого запам'ятовувача виконує тригер, якій може запам'ятовувати один біт інформації (0 або 1).

### 10.1. Тригери

**Тригери** – це елементи з двома стійкими станами. Тригери – це найбільш поширені функціональні елементи цифрових систем. Тригери застосовуються в лічильниках імпульсів, регістрах, запам'ятовувачах, розподільувачах сигналів, накопичувальних суматорах тощо. Тригери мають самостійне застосування, наприклад, у приладах керування, виконуючи важливі функції логічного перетворення та збереження інформації.

**Тригерами** називають логічну схему з додатним зворотним зв'язком, яка має два стійких стани, і під дією зовнішніх сигналів переключається в будь-який стан та знаходиться в цьому стані необмежений час після припинення дії вхідних сигналів.

Тригер, що може запам'ятовувати один біт двійкової інформації (логічний нуль або логічну одиницю), носить назву двостанового запам'ятовувача. Як правило, двостанові тригери мають два виходи, за рівнем яких можна судити про стан тригера. Перший з виходів має назву **прямого** і позначається  $Q$ , другий – **інверсний**  $\bar{Q}$ .

Перший зі станів тригера приймається за нульовий і носить назву *скинутого*. При цьому його вихід  $Q$  знаходиться під нульовим потенціалом, тобто  $Q = 0$ , а  $\bar{Q} = 1$ .

Другий стан тригера – одиничний, коли  $Q = 1$ , а  $\bar{Q} = 0$  і його називають *встановленим*.

**Переключення** тригера в одиничний стан носить назву *встановлення*, а в стан 0 – *скидання* або *скиду*.

Узагальнена структурна схема тригера (рис. 10.1) складається з двох частин: елемента пам'яті – власне двостанового тригера  $T$  та схеми керування СК, на яку надходять зовнішні сигнали керування роботою схеми.

Входи  $A_1, \dots, A_n$  називають *інформаційними* або *логічними*. До них подають двійкову інформацію у вигляді логічних нуля або одиниці. За допомогою схеми управління вхідна інформація перетворюється в комбінації сигналів 00, 01, 10, 11, що діють безпосередньо на входах  $a_1, \dots, a_n$  власно тригера.



Схема тригера, крім логічних, може мати тактові входи *синхронізації* ( $C_1, \dots, C_n$ ), керуючі входи ( $V_1, \dots, V_n$ ), а також *установлювальні*  $S$ - та  $R$ -входи безпосереднього встановлення або скидання тригера.

Вхід  $S$  – вхід встановлення *одиночного* стану або *одиночний вхід*.

Вхід  $R$  – вхід встановлення *нульового* стану або *нульовий вхід*.

Тактові або синхронізуючі сигнали, які подаються до входів  $C_1, \dots, C_n$ , визначають у схемі керування (СК) момент запису чи зчитування стану, тобто переключення тригера.

Класифікація тригерів може бути надана за багатьма ознаками: за способом схемної реалізації, за логікою функціонування, за способом запису інформації. Назва тригера надається за значенням його інформаційних входів, яким замість символів  $A_1, \dots, A_n$  присвоюються символи  **$R, S, D, J, K, T$**  та ін. Всі типи тригерів, яких досить багато, можуть бути побудовані в базисі різних логічних елементів.

У відповідності з класифікацією тригери можна поділити на такі основні типи:

- 1)  **$RS$  – тригери**, які мають два керуючі входи:  $S$  (*set* – встановлення) і  $R$  (*reset* – скидання);
- 2)  **$D$  – тригери**, що мають один керуючий вхід  $D$  (*delay* – затримка);
- 3)  **$T$  – тригери**,  $T$  (*time*) – час, що характеризує внутрішню затримку, вони переключаються в протилежний стан з надходженням кожного чергового входного імпульсу;
- 4)  **$JK$  – тригери**, що мають керуючі входи  $J$  (*jump* – стрибок, перекидання) і  $K$  (*keep* – тримати, зберігати); вони допускають установлення вихідних рівнів за наявності сигналу на вході синхронізації  $C$ .

За способом запису інформації розрізняють два типи тригерів: **асинхронні** та **синхронні**.

До асинхронних відносяться тригери, які мають лише інформаційні входи без входу синхронізації. Запис інформації в них здійснюється в будь-який час безпосередньо з надходженням інформаційного сигналу, який подається на інформаційний вхід тригера. Відмітною особливістю синхронних тригерів є наявність додаткового тактового (синхронізуючого) входу  $C$  для подачі синхронізуючих імпульсів, які здійснюють запис інформації.

У тригерах розрізняють входи *статичні* та *динамічні*. На статичні входи подають потенційні цифрові сигнали для переключення тригера, тобто такі сигнали  $x$ , що визначені рівнями  $x = 0$  або  $x = 1$ .

Динамічні входи керуються імпульсними сигналами, часова тривалість яких нескінченно мала, тобто при зміні потенційного сигналу з *одиниці на нуль* (зрізу), або навпаки, при зміні на вході сигналу з *нуля на одиницю* (фронт).

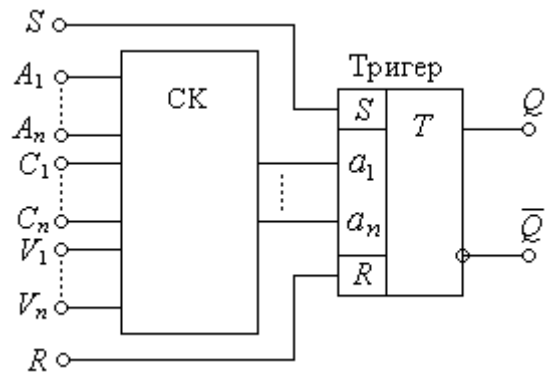


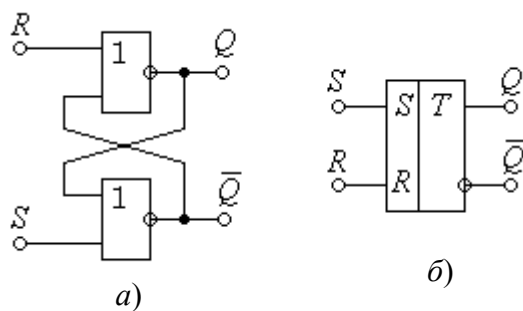
Рисунок 10.1 – Узагальнена структурна схема тригера

### 10.1.1. Асинхронний RS-тригер

**Асинхронним RS-тригером** називають логічний прилад з двома стійкими станами, що має два інформаційних входи  $S$  та  $R$ . Якщо на  $S$ -вхід поданий рівень логічної одиниці ( $S = 1$ ), а на  $R$  – логічний нуль ( $R = 0$ ), тригер  $RS$  типу встановлюється, тобто набуває одиничний стан, за якого на виході  $Q$  потенціал досягає одиничного рівня напруги ( $Q = 1$ ), а при  $S = 0$  і  $R = 1$  тригер набуває нульового стану, в якому  $Q = 0$ .

Тригер  $RS$ -типу має найпростішу структуру, яку умовно назвемо базовою. Реалізувати  $RS$  тригер можна на будь-яких логічних елементах бульового базису.

На рис. 10.2,а наведена базова схема  $RS$ -тригера, яка реалізована на двох логічних елементах 2АБО-НЕ, а на рис.10.2,б – умовне позначення  $RS$ -тригера.



Таблиця 10.1 – Стани  $RS$ -тригера

$Q^n$	$R$	$S$	$Q^{n+1}$
0	0	0	0
1	0	0	1
X	1	0	0
X	0	1	1
X	1	1	–

Рисунок 10.2 – Асинхронний  $RS$ -тригер: а) схема; б) умовне позначення

Роботу  $RS$ -тригера віддзеркалює *таблиця переходів* (табл. 10.1), в якій  $Q^n$  – попередній стан тригера, а  $Q^{n+1}$  – теперішній стан тригера. Хрестиком  $X$  позначена незалежність від стану.

З таблиці видно наступне.

При обох нульових входах  $R = 0$  та  $S = 0$  тригер знаходиться в режимі зберігання, тобто він не спрацьовує, а зберігає попередню інформацію (попередній стан)  $Q^n$ : або  $Q^n = 0$ , або  $Q^n = 1$ . Якщо тригер був скинутий ( $Q^n = 0$ ) до подачі сигналів  $R = 0$ ;  $S = 0$ , то скинутим він і залишиться, тобто  $Q^{n+1} = 0$ . Коли ж тригер до подачі сигналів  $R = 0$ ;  $S = 0$  перебував у взведеному (одиничному) стані ( $Q^n = 1$ ), то взведеним він і залишиться, тобто  $Q^{n+1} = 1$ .

Якщо на нульовий вхід  $R$  подати логічну одиницю ( $R = 1$ ), а на одиничний вхід  $S$  – логічний нуль ( $S = 0$ ), то незалежно від попереднього стану тригер переходить в нульовий стан ( $Q = 0$ ,  $\bar{Q} = 1$ ). *Надалі стан тригера будемо визначати значенням тільки прямого виходу  $Q$ .* Дійсно, при  $R = 1$  рівень прямого виходу становить  $Q = 0$ . Тоді до обох входів нижньої схеми АБО-НЕ (рис. 10.2,а) надходять логічні нулі ( $Q = 0$  та  $S = 0$ ), через що на виході  $\bar{Q} = 1$ . **Так при  $R = 1$ ;  $S = 0$  тригер скидається, тобто в нього записується логічний нуль (нульовий стан).**

Якщо на одиничний вхід  $S$  подати логічну одиницю ( $S = 1$ ), а на нульовий вхід  $R$  – логічний нуль ( $R = 0$ ), то незалежно від попереднього стану тригер встановлюється в одиничний стан  $Q = 1$ . Дійсно, при  $S = 1$  рівень інверсного

виходу становить  $\overline{Q} = 0$ . Тоді до обох входів верхньої схеми АБО-НЕ надходять логічні нулі ( $\overline{Q} = 0$  та  $R = 0$ ), через що на виході  $Q = 1$ . Так при  $S = 1$ ;  $R = 0$  тригер встановлюється, тобто в нього *записується* логічна одиниця (одиничний стан).

Якщо ж на входах  $R$  і  $S$  діють одночасно одиничні сигнали ( $S = 1$ ;  $R = 1$ ), то стан тригера стає невизначеним, що позначено в таблиці значком “–”. За такої комбінації входних сигналів обидва елементи 2АБО-НЕ мають на своїх виходах рівні логічного нуля, що не визначає стан тригера. Така комбінація входних сигналів для  $RS$ -тригера є забороненою і тому її треба уникати, щоб запобігти можливих збоїв у цифровій системі.

Базовий  $RS$ -тригер (рис. 10.2) належить до *асинхронних*, через що особливість його функціонування полягає в тому, що він змінює свій стан безпосередньо в момент подачі сигналів на входи  $S$  або  $R$ .

Принцип дії  $RS$ -тригера пояснюється часовою діаграмою роботи, яка показана на рис. 10.3.

Нехай до моменту  $t_1$  тригер знаходиться у нульовому стані ( $Q = 0$ ;  $\overline{Q} = 1$ ).

У момент  $t_1$  надходження одиничного імпульсу на  $R$ -вхід на вході  $S$  залишається нульовий рівень, через що згідно з табл. 10.1 тригер зберігає попередню інформацію, тобто  $Q^{n+1} = 0$ . Цей стан тригера не зміниться до того моменту  $t_2$ , коли на вхід  $S$  надійде одиничний імпульс.

У момент  $t_2$  надходження одиничного імпульсу на  $S$ -вхід на  $R$ -вході залишається нульовий рівень, через що згідно з табл. 10.1 тригер встановлюється, тобто в нього записується логічна одиниця. Незважаючи на те, що імпульс на  $S$ -вході зник, тригер залишається взведеним. Так він пам'ятає, що в нього записали логічну одиницю. Цей стан тригера може зберігатись, скільки завгодно довго, доки на  $R$ -вхід надійде одиничний імпульс у момент  $t_3$ .

У момент  $t_3$  надходження одиничного імпульсу на  $R$ -вхід на  $S$ -вході залишається нульовий рівень, через що згідно з табл. 10.1 тригер скидається, тобто в нього записується логічний нуль. Незважаючи на те, що імпульс на  $R$ -вході зник, тригер залишається скинутим. Так він пам'ятає, що в нього записали логічний нуль. Цей стан тригера може зберігатись, скільки завгодно довго, доки на  $S$ -вхід надійде черговий одиничний імпульс у момент  $t_4$  і т.д.

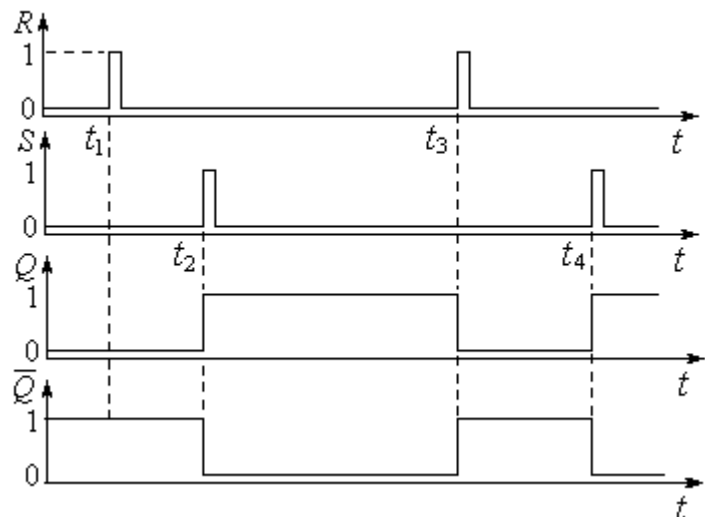


Рисунок 10.3 – Часова діаграма роботи асинхронного  $RS$ -тригера

З діаграми роботи (рис. 10.3) видно, чим зумовлена назва *асинхронний*, а саме: тригер спрацьовує безпосередньо у будь-які моменти надходження сигналів до настановних входів  $S$  та  $R$ .

$RS$ -тригер може бути побудований також на логічних елементах 2І-НЕ, якщо в кола  $R$ - і  $S$ -входів включити інвертори (рис. 10.4). Роботу тригера віддзеркалює таблиця переходів (табл. 10.2).

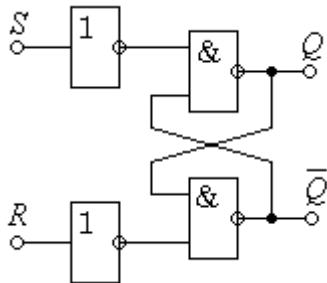


Рисунок 10.4 – Асинхронний  $RS$ -тригер на елементах 2І-НЕ

Таблиця 10.2 – Стани асинхронного  $\overline{RS}$ -тригера

$Q^n$	$R$	$S$	$Q^{n+1}$
0	0	0	0
1	0	0	1
X	1	0	0
X	0	1	1
X	1	1	–

Порівнюючи таблиці переходів (табл. 10.1) та (табл. 10.2), переконуємось у тому, що тригер на елементах 2І-НЕ працює так само, як і тригер на елементах 2АБО-НЕ.

$RS$ -тригер можна побудувати без інверторів в колах  $R$  та  $S$  на двох елементах 2І-НЕ, якщо керувати тригером інверсних сигналів  $\overline{R}$  та  $\overline{S}$ . Такий тригер носить назву інверсного  $\overline{RS}$ -тригера (рис. 10.5).

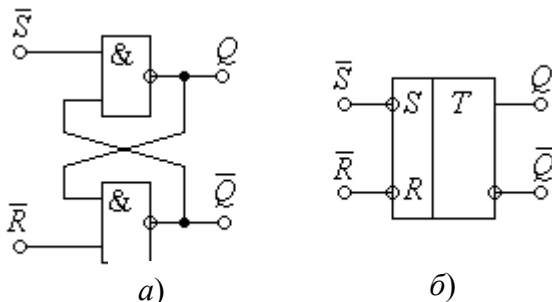


Рисунок 10.5 – Інверсний асинхронний  $RS$ -тригер: а) схема; б) умовне позначення

Таблиця 10.3 – Стани інверсного асинхронного  $\overline{RS}$ -тригера

$Q^n$	$\overline{R}$	$\overline{S}$	$Q^{n+1}$
0	1	1	0
1	1	1	1
X	0	1	0
X	1	0	1
X	0	0	–

З таблиці переходів (табл. 10.3) інверсного  $\overline{RS}$ -тригера видно, що активним сигналом для цієї схеми приймається низький рівень логічного нуля. Інверсний  $\overline{RS}$ -тригер змінює стан на протилежний в наступних випадках: встановлюється при  $\overline{R} = 1$ ;  $\overline{S} = 0$ ; скидається при  $\overline{R} = 0$ ;  $\overline{S} = 1$ . Для інверсного тригера забороненим є стан, коли на обох інверсних входах діє рівень логічного нуля, тобто  $\overline{R} = 0$ ;  $\overline{S} = 0$ .

В іншому робота тригера з інверсними входами  $\overline{R}$  і  $\overline{S}$  така ж сама, як і тригера з прямими входами  $R$  і  $S$ .

### 10.1.2. Синхронний $RS$ -тригер

**Синхронний  $RS$ -тригер** позначається як  **$CRS$ -тригер**. Він відрізняється від асинхронного тригера лише тим, що сигнали  $R$  і  $S$  тільки готують тригер до

спрацьовування, а стан тригера змінюється лише тоді, коли надійде *синхронізуючий сигнал C*.

Синхронний *CRS*-тригер можна отримати з асинхронного, якщо доповнити його синхронізуючим входом *C*. *CRS*-тригер можна реалізувати, наприклад, на базі *RS*-тригера на чотирьох логічних елементах 2І-НЕ, як показано на рис. 10.6,а.

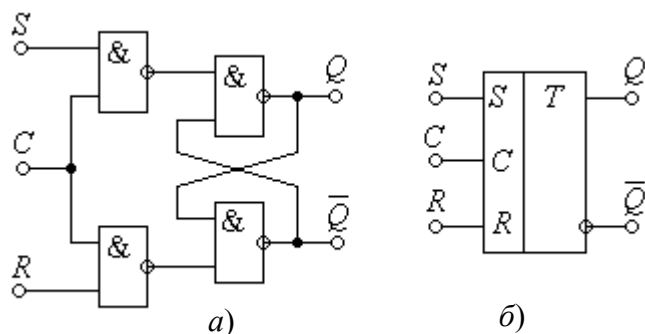


Рисунок 10.6 – *CRS*-тригер: а) схема;  
б) умовне позначення

Таблиця 10.4 – Стани синхронного *RS*-тригера

$Q^n$	$R$	$S$	$C$	$Q^{n+1}$
0	0	0	┐	0
1	0	0	┐	1
X	1	0	┐	0
X	0	1	┐	1
X	0	0	┐	–

Умовне позначення *CRS*-тригера (рис.10.6,б) схоже на тригер *RS* типу (рис. 10.2,б). Уся різниця полягає в наявності додаткового входу синхронізації *C*. Роботу тригера віддзеркалює таблиця переходів (табл. 10.4).

Принцип дії *CRS*-тригера полягає в тому, що стани входів *R* і *S* лише готують тригер до спрацьовування, а встановлення або скидання в залежності від станів *R*- і *S*-входів здійснюється лише тоді, коли з'явиться імпульс “┐” (фронт) на вході *C*.

Отже входи *R* і *S* цього тригера відіграють роль керуючих процесом спрацьовування тригера, а саме ж спрацьовування відбувається тільки з надходженням синхроімпульсу *C*. Часова діаграма роботи *CRS*-тригера показана на рис. 10.7.

Нехай тригер знаходиться в нульовому стані. Якщо на вхід *S* надходить логічна одиниця у будь-який час  $t_1$ , то тригер у цей момент не спрацьовує. Він спрацьовує тільки при надходженні синхронізуючого імпульсу на вхід *C* у момент  $t_2$ .

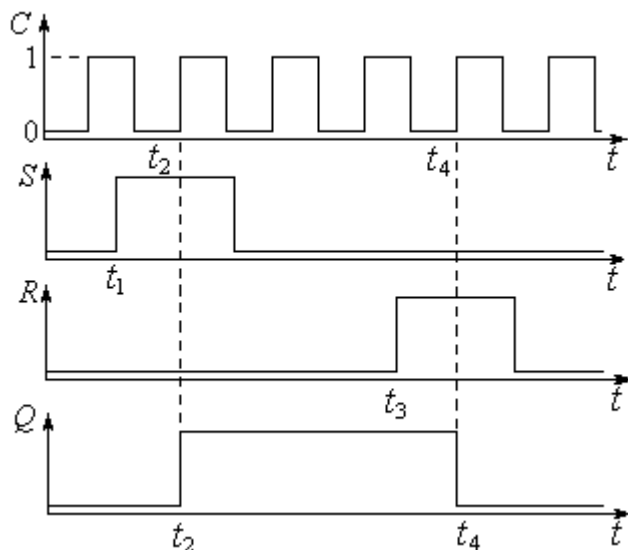


Рисунок 10.7 – Часова діаграма роботи *CRS*-тригера

Аналогічна послідовність надходження і при скиданні тригера. Не зважаючи на те, що одиничний сигнал надходить до входу  $R$  у момент  $t_3$ , тригер скинеться лише в момент  $t_4$ , коли на синхровході  $C$  з'явиться фронт, тобто спочатку подається сигнал скидання  $R$ , а потім синхросигнал  $C$  скидає тригер.

Синхронний  $CRS$ -тригер, схема якого показана на рис. 10.6, можна перетворити в асинхронний, якщо на синхровхід  $C$  подати одиничний потенціал на весь час роботи.

### 10.1.3. $D$ -тригер

**$D$ -тригер або тригер-затримка** (названий так від англійського *Delay* – затримка) – це елементарний автомат, який має один інформаційний вхід  $D$  та вхід синхросигналу  $C$ .  $D$ -тригер є синхронним.  $D$ -вхід підготовлює тригер до спрацьовування, а саме спрацьовування здійснюється фронтом синхросигналу  $C$ , тобто фронтом  $C$  тригер копіює стан входу  $D$ .

$D$ -тригер, як і будь-який синхронний, має два види запуску: роздільний та лічильний. У *роздільному* запуску  $D$ -вхід підключений до якогось зовнішнього пристрою, а в *лічильному* – до інверсного виходу саме цього тригера.

Наявність лише одного інформаційного входу  $D$  є перевагою цього тригера перед двовходовими, бо зменшується кількість міжкаскадних зв'язків.

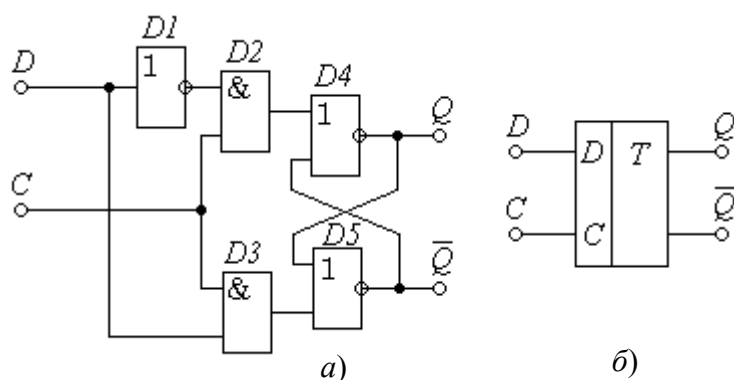
Схема  $D$ -тригера та його умовне позначення показані на рис. 10.8.

Тут організація  $D$ - та  $C$ -входів здійснюється відповідно на інверторі  $D1$  та схемах  $D2$  та  $D3$ . Схеми АБО  $D4$  та  $D5$  утворюють  $RS$ -тригер.

Закон функціонування  $D$ -тригера надано в таблиці переходів (табл. 10.5). З цієї таблиці видно, що і при  $C = 0$ , і при  $C = 1$  тригер зберігає свій попередній стан, тобто зберігає інформацію.

Спрацьовує ж тригер тільки від фронту синхросигналу  $C$ , коли його рівень змінюється від 0 до 1 ("Г").

$D$ -тригер не сприймає зміну на вході  $D$  при постійних сигналах  $C = 0$  та  $C = 1$ , а також при зрізі, коли синхросигнал  $C$  змінюється від 1 до 0.



Таблиця 10.5 –  
Стани  $D$ -тригера

$Q^n$	$D$	$C$	$Q^{n+1}$
0	X	0	0
1	X	1	1
0	0	Г	0
1	0	Г	1
X	0	Г	0
X	1	Г	1

Рисунок 10.8 –  $D$ -тригер: а) схема;  
б) умовне позначення

$D$ -тригер у *роздільному запуску* працює наступним чином.

Нехай до моменту  $t_1$  (рис. 10.9) тригер був скинутий ( $Q^n = 0$ ). При  $D = 0$  на виході інвертора  $D1$  (рис. 10.8) діє логічна одиниця, яка готує до спрацьовування схему  $I D2$ .

Якщо  $C = 0$ , то схеми  $2I D2$  та  $D3$  заперті і можуть спрацьовувати лише в моменти  $t_1, t_2, t_3$  і т.д., коли на  $C$ -вхід надійдуть фронти (рис. 10.9).

У момент  $t_1$  з надходженням фронту  $C$  на виході  $D2$  діє логічна одиниця, яка спрацьовує на виході  $D4$  нуль ( $Q = 0$ ).

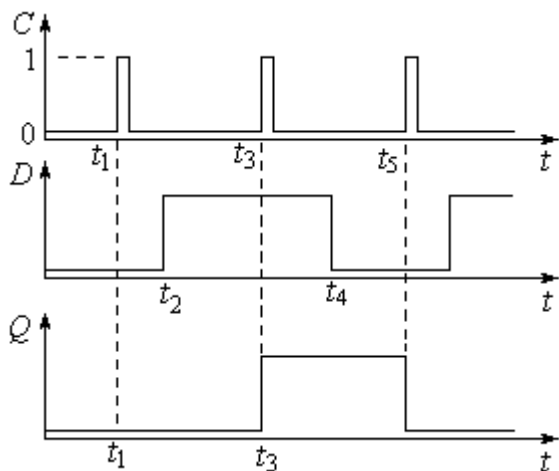


Рисунок 10.9 – Часова діаграма роботи  $D$ -тригера в роздільному запуску

Проте на входах і виході  $D3$  нулі, через що стан  $D5$  не змінюється. Отже  $Q = 0$ , а  $\bar{Q} = 1$ , тобто тригер знаходиться в нульовому стані.

Так інформаційний вхід  $D = 0$  скидає тригер ( $Q = 0$ ) тільки з надходженням фронту  $C$ . (У момент  $t_1$  нульовий стан підтверджується).

Нехай в момент  $t_2$  до входу  $D$  надійшов одиничний сигнал ( $D = 1$ ).

Тригер на нього не реагує, бо в момент  $t_2$  стан  $C = 0$  запирає схеми  $2I D2$  та  $D3$ . На їхніх виходах нулі, які не змінюють станів  $D4, D5$ .

Проте при  $D = 1$  схема  $D3$  підготовлена до спрацьовування і в момент  $t_3$  фронтом  $C$  на її виході встановлюється одиниця, яка схемою  $D5$  забезпечує  $\bar{Q} = 0$ . Тоді на обох входах  $D4$  логічні нулі, через що  $Q = 1$ . Отже, при  $D = 1$  з надходженням фронту  $C$  тригер переходить у стан  $Q = 1$ , а  $\bar{Q} = 0$ , тобто одиничний (спрацьовує). Так інформаційний вхід  $D = 1$  встановлює тригер ( $Q = 1$ ) тільки з надходженням фронту  $C$ .

Таким чином, щоб записати в  $D$ -тригер логічний нуль, треба до  $D$ -входу підвести нуль і подати на  $C$ -вхід фронт. Щоб записати логічну одиницю, слід до  $D$ -входу підвести одиницю і подати на  $C$ -вхід фронт.

Слід зауважити, що для роботи з  $D$ -тригером в роздільному запуску слід виконувати часові погодження надходження сигналів на його входи. Щоб копіювання стану входу  $D$  пройшло без помилок, необхідно установлювати рівні на вході  $D$  до надходження фронту (або зрізу) синхроімпульсу  $C$ .

Це означає, що всі зміни стану  $D$ -входу разом з перехідними процесами мають закінчитися за деякий час до приходу фронту (або зрізу) синхроімпульсу  $C$ . Цей час носить назву *часової підготовки*. Тому всі зміни рівнів на входах тригера можна починати не раніше скінчення цього часу.

Розглянемо **лічильний запуск  $D$ -тригера**.

У лічильному запуску  $D$ -тригер з кожним імпульсом на синхровході  $C$  змінює свій стан на протилежний.

Це здійснюється з'єднанням входу  $D$  з інверсним виходом  $\bar{Q}$ .

Схема  $D$ -тригера з лічильним запуском та часова діаграма його роботи показані на рис. 10.10.

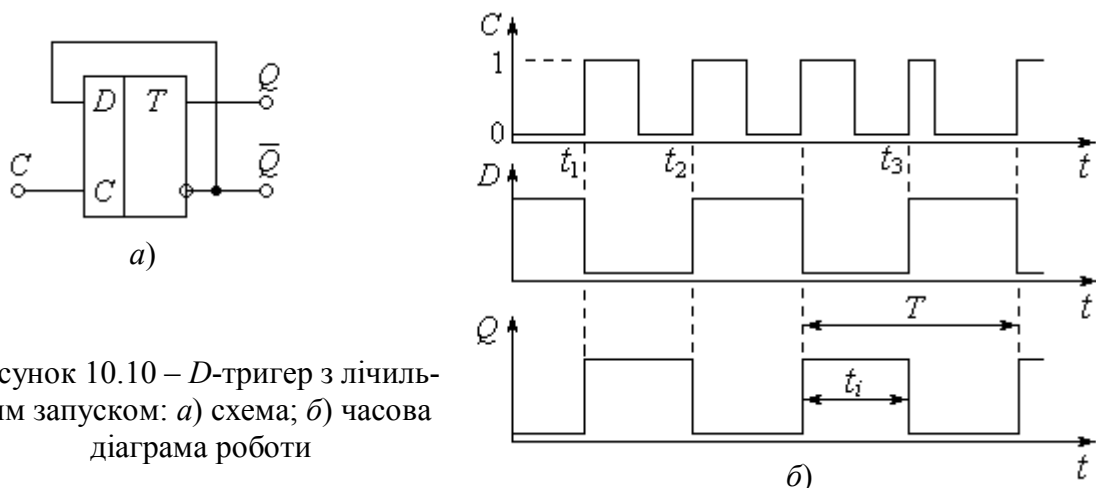


Рисунок 10.10 –  $D$ -тригер з лічильним запуском: а) схема; б) часова діаграма роботи

$D$ -тригер з лічильним запуском працює наступним чином.

Нехай до моменту  $t_1$  тригер перебував у нульовому стані ( $Q = 0$ ,  $\bar{Q} = 1$ ). Оскільки вхід  $D$  закорочений з інверсним виходом  $\bar{Q}$ , то в нульовому стані тригера  $D = \bar{Q} = 1$ , тобто стан входу  $D$  одиничний і готує тригер до взведення. В момент  $t_1$  фронтом  $C$  тригер взводиться ( $Q = 1$ ,  $\bar{Q} = 0$ ).

Починаючи з моменту  $t_1$  тригер в одиничному стані, через що  $D = 0$ , тобто стан входу  $D$  нульовий і готує тригер до скидання, який відбувається фронтом  $C$  у момент  $t_2$  і т.д.

З діаграми роботи видно, що в лічильному запуску з кожним фронтом  $C$  стан тригера змінюється на протилежний.

Результатом роботи  $D$ -тригера з лічильним запуском є наступне:

- поділення частоти слідування вхідних імпульсів  $C$  на два;
- забезпечення щільності вихідних імпульсів, яка дорівнює двом.

Щодо ділення частоти на два, то з діаграми роботи видно, що період вихідних імпульсів  $Q$  вдвічі більший за період вхідних імпульсів  $C$ .

Забезпечення ж щільності два пояснюється наступним.

Щільністю імпульсів є відношення їхнього періоду  $T$  до тривалості  $t_i$ :

$$N = \frac{T}{t_i}.$$

Як видно з діаграми, тривалість імпульсів  $t_i$  зберігається навіть тоді, коли щільність імпульсів  $C$  відрізняється від двох (момент  $t_3$ ). Тому щільність два вихідних імпульсів тригера з лічильним запуском гарантована.

#### 10.1.4. $JK$ - тригер

**$JK$ -тригер має два інформаційні входи  $J$  і  $K$  та вхід синхросигналу  $C$ .**

$JK$ -тригер, як і  $CRS$ -тригер є синхронним, але має ту перевагу, що на відміну від  $CRS$ -тригера не має заборонених (непевних) станів. Ця перевага стала основою для побудови цілої низки синхронних тригерів в інтегральному виконанні.



Найбільшого практичного застосування в інтегральній схемотехніці ді-стали синхронні одноступеневі *JK*-тригери.

*Одноступеневий синхронний JK-тригер* будується за аналогією синхронного *CRS*-тригера.

Схема *JK*-тригера (рис. 10.11) побудована на *RS*-тригері і двох логічних схемах збігу *D1* та *D2*.

У початковому (нульовому) стані тригера ( $Q = 0$ ;  $\bar{Q} = 1$ ) з виходу  $\bar{Q}$  до входу *D1* подається одиничний рівень, підготуючи саме тим встановлення (взведення) тригера.

Тригер встановиться, коли  $J = 1$ ,  $K = 0$  і до входу *C* надійде фронт “Г”.

У взведеному (одиничному) стані тригера ( $Q = 1$ ;  $\bar{Q} = 0$ ) з виходу  $Q$  одиничний рівень подається на вхід *D2*, готуючи саме тим скидання тригера. Тригер скинеться, коли  $K = 1$ ,  $J = 0$  і до входу *C* надійде фронт “Г”.

Роботу тригера видно з табл. 10.6 та часової діаграми роботи в роздільному запуску (рис. 10.12).

З табл. 10.6 видно, що одноступеневий *JK*-тригер спрацьовує лише за наявності фронту “Г” на вході синхронізації *C*. За відсутності синхроімпульсу, коли  $C = 0$ , входи *J* і *K* блокуються і тригер залишається в попередньому стані  $Q^n$ .

Комбінація сигналів на *J*- і *K*-входах визначає стан, в якому буде тригер після надходження фронту на вхід *C*.

Таблиця 10.6 – Стани *JK*-тригера

$Q^n$	$J^n$	$K^n$	$C$	$Q^{n+1}$
0	X	X	0	0
1	X	X	0	1
0	0	0	Г	0
1	0	0	Г	1
X	0	1	Г	0
X	1	0	Г	1
X	1	1	Г	$\bar{Q}^n$

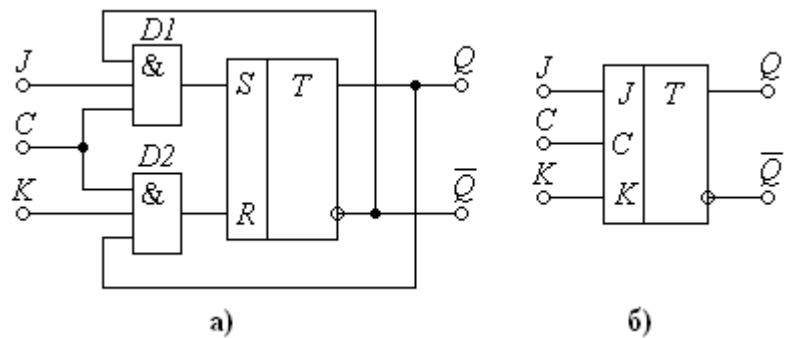


Рисунок 10.11 – *JK*-тригер: а) схема; б) умовне позначення

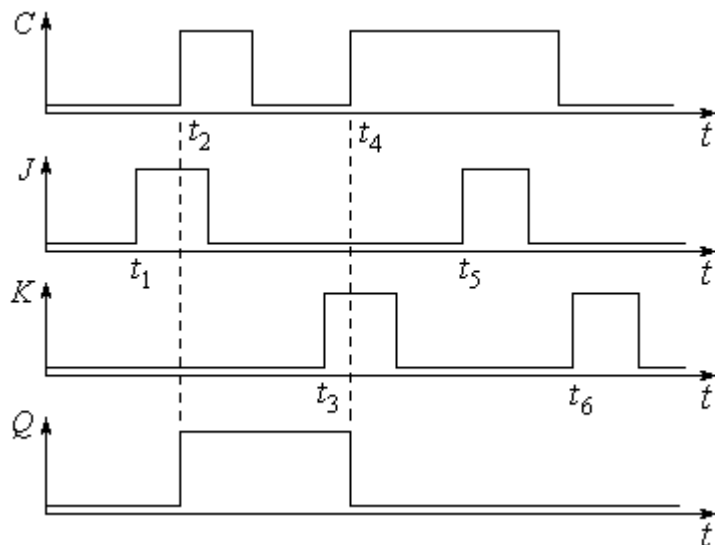


Рисунок 10.12 – Часова діаграма роботи одноступеневого *JK*-тригера

Так до моменту  $t_1$  (рис. 10.12) тригер знаходиться в нульовому стані ( $Q = 0$ ).

У момент  $t_1$  комбінація  $J = 1$ ;  $K = 0$  готує тригер до переходу в одиничний стан ( $Q = 1$ ), але це відбудеться тільки в момент  $t_2$  з надходженням фронту  $C$ .

У момент  $t_3$  комбінація  $J = 0$ ;  $K = 1$  готує тригер до переходу в нульовий стан ( $Q = 0$ ), який установиться фронтом  $C$  у момент  $t_4$ .

Після моменту  $t_4$ , коли на вході  $C$  немає фронтів, як би не змінювались сигнали на входах  $J$  і  $K$  (моменти  $t_5$ ;  $t_6$ ), тригер не спрацьовує.

З табл. 10.6 бачимо, що при  $J = 1$  та  $K = 1$  стан  $JK$ -тригера змінюється на протилежний з приходом кожного синхроімпульсу  $C$ , тобто здійснюється лічильний запуск. Отже для здійснення лічильного запуску слід подати логічну одиницю одночасно на входи  $J$  і  $K$  ( $J = 1$  і  $K = 1$ ). У цьому випадку одноступеневий  $JK$ -тригер працює в лічильному запуску, здійснюючи поділ частоти на два.

## 10.2. Формувачі тривалості фронтів

*Формувачі тривалості фронтів* призначені для підвищення крутизни фронтів, тобто зменшення їхньої тривалості. Це необхідно, наприклад, для надійного запуску тригерів по входах синхронізації  $C$ , бо вхід  $C$  реагує на fronti лише тієї тривалості, яка не перевищує певного часу.

До тривалості фронтів критичні не тільки тригери, а й, наприклад, схеми збігу. Дійсно, якщо на двох входах схеми 2І діють відповідно два одиничні прямокутні імпульси з різними тривалостями фронтів, то на межі цих імпульсів з'явиться непередбачений логічний нуль на час, який дорівнює згаданих різниці тривалості фронтів. Це явище називають *змаганням фронтів* або *гонками*.

Отже, в багатьох випадках треба зменшити тривалість фронтів (зрізів).

Взагалі, за цілою низкою обставин крутизну фронтів вхідних імпульсів необхідно мати близькою до необхідної.

Для перетворення пологих фронтів на круті найчастіше використовують *тригер Шмітта*.

Тригер Шмітта – це несиметричний тригер, який є пороговим пристроєм. Він змінює свою вихідну напругу стрибком, коли вхідна напруга досягає заданого порогу. Тому він використовується для формування з вхідної напруги, яка змінюється повільно, прямокутних імпульсів вихідної напруги з крутими фронтами.

Умовне позначення тригера Шмітта показано на рис. 10.13,а, а його типова передавальна характеристика  $U_{\text{вих}} = f(U_{\text{вх}})$  – на рис. 10.13,б.

Основною властивістю тригера Шмітта є наявність двох *рознесених* порогів: верхній поріг включення  $U_{\text{вкл}}$  та нижній поріг виключення  $U_{\text{викл}}$  (рис. 10.13,б; рис. 10.13,в).

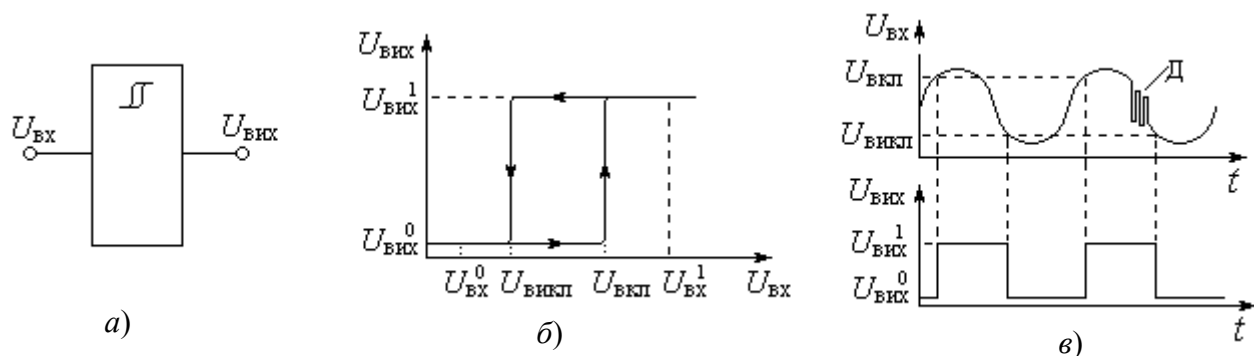


Рисунок 10.13 – Тригер Шмітта: а) умовне позначення; б) передавальна характеристика; в) діаграма роботи

Коли вхідна напруга  $U_{вх}$  перевищить верхній поріг  $U_{вкл}$ , то вихідна напруга  $U_{вих}$  стрибком підвищується до рівня логічної одиниці  $U_{вих}^1$ . Коли ж  $U_{вх}$  стане не менше нижнього порогу  $U_{викл}$ , то вихідна напруга  $U_{вих}$  стрибком зменшиться від  $U_{вих}^1$  до рівня логічного нуля  $U_{вих}^0$ .

Отже прямокутна передавальна характеристика тригера Шмітта дозволяє використовувати його як формувач прямокутної вихідної напруги з повільної вхідної. Слід зауважити, що переходи тригера з одного сталого стану в інший відбуваються при різних значеннях вхідної напруги  $U_{вкл}$  та  $U_{викл}$ . Різниця напруг порогів включення та виключення називається *гістерезисом переключення*.

Гістерезис захищає тригер від дзенькоту Д (рис. 10.13, в), а також від повторного спрацьовування, коли на вхідний сигнал накладені високочастотні шуми (в межах гістерезису).

Одна зі схем тригера Шмітта, яка виконана на операційному підсилювачі, показана на рис. 8.31.

Одним із прикладів застосування тригера Шмітта є запуск будь-якого тригера по синхровходу від зовнішнього джерела сигналу (рис. 10.14).

Сигнал від джерела  $U_c$  на трасі набуває завад і втрати крутизни фронтів, через що надійний запуск послідовнісного пристрою по синхровходу стає неможливим.

Тому слід мати за правило, що будь-який послідовнісний пристрій має запускатися по синхровходу тільки від місцевого тригера. Таким місцевим тригером і є тригер Шмітта  $D1$ , через який запускається по синхровходу  $C$  тригер  $D2$  (рис. 10.14). Тригери Шмітта використовують і в інших схемах для надійної роботи приладів, особливо при надходженні вхідного сигналу від зовнішніх приладів, або від іншої плати.

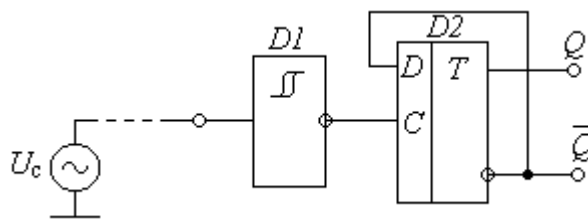


Рисунок 10.14 – Запуск D-тригера від віддаленого джерела сигналу

### 10.3. Лічильники імпульсів

**Лічильники імпульсів – це пристрої, які виконують операцію підрахування числа імпульсів, що надійшли до їхніх входів.**

У загальному випадку лічильником є пристрій, який може переходити з одного стану в інші під дією входних імпульсів, які належить лічити. З надходженням входних імпульсів лічильник перебирає свої стани у визначеному для даної схеми порядку. Тому, якщо лічильник має лічити до 10 імпульсів, то він повинен мати 10 різноманітних станів. При цьому кожний 10-й імпульс повинен повертати схему до початкового стану.

#### 10.3.1. Параметри лічильника

Число станів є основним параметром лічильника і носить назву *коефіцієнта перерахунку*  $K_n$  або *модуля лічби*  $M$ .

Найпростішим лічильником є тригер з лічильним входом, який виконує лічбу імпульсів за модулем  $M = 2$ , тобто він має два стани 0 та 1, які змінюються по чергову під дією входних імпульсів.

У загальному виді модуль лічби двійкового лічильника визначається формулою

$$M = 2^m, \quad (10.1)$$

де  $m$  – число двійкових розрядів лічильника.

Отже, *модуль лічби* визначає число стійких станів лічильника (у тому числі і нульовий стан) або кількість імпульсів, яку треба підвести до входу лічильника, щоб він повернувся у початковий стан, утворюючи при цьому на своєму виході імпульс переповнення.

Поруч з модулем лічби лічильник характеризується його *місткістю*

$$K = M - 1, \quad (10.2)$$

тобто максимальним числом одиниць, яке він може накопичити (підрахувати).

#### 10.3.2. Класифікація лічильників

Різнманітність типів лічильників дозволяє будувати їхні схеми на синхронних та асинхронних тригерах  $RS$ -;  $D$ -;  $JK$ -типів, на регістрах, на кінцевих схемах тощо. У цифрових пристроях використовується значне число типів лічильників, які відрізняються цілою низкою параметрів. Найбільш значне поширення набули лічильники, що побудовані на синхронних тригерах різних типів.

Для заданого модуля лічби  $M$  кількість тригерів, яка необхідна для побудови лічильників, визначається з умови найближчого більшого цілого числа формулою

$$m = \text{int} [\log_2 M]. \quad (10.3)$$

Залежно від модуля лічби  $M$  лічильники бувають *двійковими* (за модулем  $M = 2^m$ ) і з *довільним модулем* ( $M \neq 2^m$ ), в яких число  $m$  округлене до більшого цілого числа. За цією класифікаційною ознакою лічильники можуть працювати

у двійковому та іншому кодах. Назву лічильникам, як правило, дають за видом кодування його станів, тобто за кодом, в якому працює лічильник.

За цільовим призначенням лічильники поділяють на три типи:

- підсумовувальні лічильники;
- віднімальні лічильники;
- реверсивні лічильники.

У підсумовувальному лічильнику з кожним вхідним імпульсом число, що містить лічильник, зростає на одиницю, а у віднімальному – зменшується на одиницю. Отже, підсумовувальний лічильник виконує прямий, а віднімальний – обернений підрахунок числа одиниць, що надійшли до його входу. Реверсивні лічильники працюють в режимі або прямої, або оберненої лічби.

За способом установалення стану розрядів лічильники поділяються на синхронні та асинхронні.

До синхронних лічильників відносяться такі, в яких процес установалення будь-якого нового стану розрядів виконується одночасно в усіх розрядах лічильника. В асинхронних лічильниках стани розрядів установаються не одночасно, а послідовно.

За способом утворення сигналів перенесення, лічильники поділяються на три групи: з послідовним, паралельним та послідовно-паралельним переносом. За цією ознакою лічильники відрізняються способами подачі вхідних імпульсів.

У послідовному лічильнику вхідні імпульси подаються тільки на вхід першого тригера, а у паралельному – одночасно на синхровходи тригерів усіх розрядів. Різновидом паралельних лічильників є кільцеві лічильники, що будуються на базі регістрів зсуву.

Послідовно-паралельні лічильники будують за принципом послідовного з'єднання кількох паралельних лічильників.

Одним із основних часових параметрів лічильника є роздільна здатність та час реєстрації. Ці параметри характеризують швидкодію лічильників.

Роздільна здатність лічильників – це мінімальний період надходження вхідних імпульсів, за якого забезпечується надійна робота лічильника.

Час реєстрації – це максимальний часовий інтервал між моментами закінчення подачі вхідного імпульсу та моментом установалення числа на виходах розрядів лічильника.

### **10.3.3. Послідовні лічильники**

Послідовні лічильники будуються, як правило, на базі декількох тригерів, кожен з яких працює як лічильник за модулем 2. При цьому послідовне з'єднання тригерів виконується таким чином, що вихід тригера  $i$ -го розряду підключається безпосередньо до лічильного входу наступного тригера  $i + 1$ .

Послідовні лічильники відносяться до класу асинхронних, бо стани розрядів в таких пристроях установаються послідовно після приходу чергового фронту чи зрізу синхроімпульсу  $C$ . Послідовні лічильники будуються на базі  $D$ - або  $JK$ -тригерів.

На рис. 10.15 показана схема послідовного підсумовувального лічильника, розрядні тригери якого виконані на базі синхронних  $D$ -тригерів, працюючих у лічильному режимі.

На схемі позначені:  $CT2$  (англ. *counter*) – двійковий лічильник;

$C$  – лічильний вхід;

$R$  – вхід скидання лічильника;

$P$  – вихід переповнення лічильника.

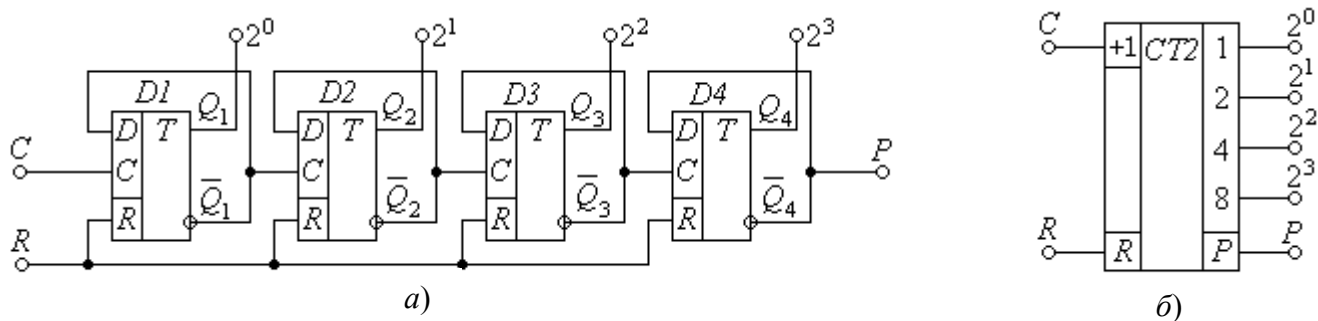


Рисунок 10.15 – Послідовний підсумовувальний лічильник на  $D$ -тригерах:  
а) схема; б) умовне позначення

Лічильний режим роботи тригерів забезпечується з'єднанням інформаційного  $D$ -входу з інверсним виходом власного тригера.

Тригери, що входять до складу лічильників, повинні мати входи скидання  $R$ , які з'єднуються між собою, й утворюють вхід скидання лічильника  $R$ . Перед початком роботи або за необхідності на вхід скидання подається одиничний імпульс, за допомогою якого всі тригери скидаються, після чого треба забезпечити наявність на цьому вході нульового потенціалу.

Кожний тригер лічильника є двійковим розрядом, який характеризується так званим *ваговим* коефіцієнтом. Ваговий коефіцієнт визначається як  $2^{n-1}$ , де  $n$  – порядковий номер тригера (розряду).

Так, перший тригер має ваговий коефіцієнт  $2^0 = 1$ , другий тригер з ваговим коефіцієнтом  $2^1 = 2$ , третій тригер має ваговий коефіцієнт  $2^2 = 4$ , четвертий  $2^3 = 8$  і т.д.

Вхід  $C$  першого тригера носить назву *підсумовувального входу* лічильника.

Принцип дії підсумовувального лічильника ілюструє часова діаграма його роботи, яка показана на рис. 10.16 за умови, що наступний тригер запускається фронтом інверсного виходу  $\bar{Q}$  попереднього тригера.

Підсумовувальний лічильник працює наступним чином.

До початку лічби необхідно скинути лічильник, тобто установити всі тригери в нульовий стан. Це здійснюється подачею на вхід  $R$  короткочасного (інтервал моментів  $t_1 \dots t_2$ ) одиничного імпульсу. При цьому всі тригери, незалежно від їхніх попередніх станів, скидаються. Вміст лічильника дорівнює нулю (табл. 10.7).

Лише після скінчення імпульсу скидання  $t_2$  можна починати лічбу, тобто подавати імпульси  $C$ .

З приходом першого фронту імпульсу лічби 1 встановлюється перший тригер  $D1$ , який є самим молодшим розрядом лічильника. На його виході  $Q_1$

з'являється 1, а потенціал на інверсному виході  $\overline{Q}_1$  змінюється з 1 на 0, тобто формується зріз. Тому стан тригера  $D2$  не змінюється, бо тригер спрацює від фронту. На виходах лічильника  $Q_1, Q_2, Q_3$  і  $Q_4$  фіксується число 0001.

Другий вхідний імпульс своїм фронтом 2 скидає тригер  $D1$ . На виході  $\overline{Q}_1$  тригера  $D1$  з'являється 1, яка є так названим імпульсом перенесення. При цьому фронт  $\overline{Q}_1$  встановлює тригер  $D2$ . На виходах лічильника з'являється число 0010.

Фронт третього імпульсу встановлює перший тригер  $D1$ , не змінюючи при цьому одиничний стан другого тригера  $D2$ , тобто вміст лічильника дорівнює числу 0011.

З приходом четвертого імпульсу переходять у стан нуля обидва тригери  $D1$  та  $D2$ , а виникаючий при цьому імпульс перенесення  $\overline{Q}_2$  встановлює тригер  $D3$ . Отже на виходах лічильника з'явиться число 0100.

Заповнення розрядів лічильника з кожним імпульсом буде продовжуватися доти, поки лічильник не відрахує максимальне число 1111 на п'ятнадцятому імпульсі, що надходить на вхід  $C$  першого тригера  $D1$ . При цьому всі тригери є встановленими.

Шістнадцятий імпульс переводить своїм фронтом тригер  $D1$  у нульовий стан, а імпульси перенесення  $\overline{Q}_1, \overline{Q}_2$  та  $\overline{Q}_3$  скидають тригери  $D2, D3$  та  $D4$ , повертаючи лічильник у початковий стан 0000.

При поверненні тригера  $D4$  у нульовий стан 16-м імпульсом на виході  $\overline{Q}_4$  виникає так званий імпульс переповнення  $P$ , який призначений для встановлення наступного розряду  $D5$  (якщо він є), чим фіксується лічильником число 10000, тобто 16.

З надходженням кожного вхідного імпульсу на підсумовувальний вхід лічильника його вміст збільшується на одиницю, як показано в таблиці станів (табл. 10.17).

За напрямом лічби лічильники бувають як *підсумовувальними*, так і *віднімальними*. Зміна напрямку лічби на протилежний називається *реверсом* лічби.

На рис. 10.17 показана схема *віднімального чотирирозрядного двійкового лічильника*.

Таблиця 10.7 – Стани чотирирозрядного підсумовувального лічильника

Номер вхідного імпульсу	Виходи				Число в лічильнику
	$Q_4$	$Q_3$	$Q_2$	$Q_1$	
0	0	0	0	0	0
1	0	0	0	1	1
2	0	0	1	0	2
3	0	0	1	1	3
4	0	1	0	0	4
5	0	1	0	1	5
6	0	1	1	0	6
7	0	1	1	1	7
8	1	0	0	0	8
9	1	0	0	1	9
10	1	0	1	0	10
11	1	0	1	1	11
12	1	1	0	0	12
13	1	1	0	1	13
14	1	1	1	0	14
15	1	1	1	1	15
16	0	0	0	0	0

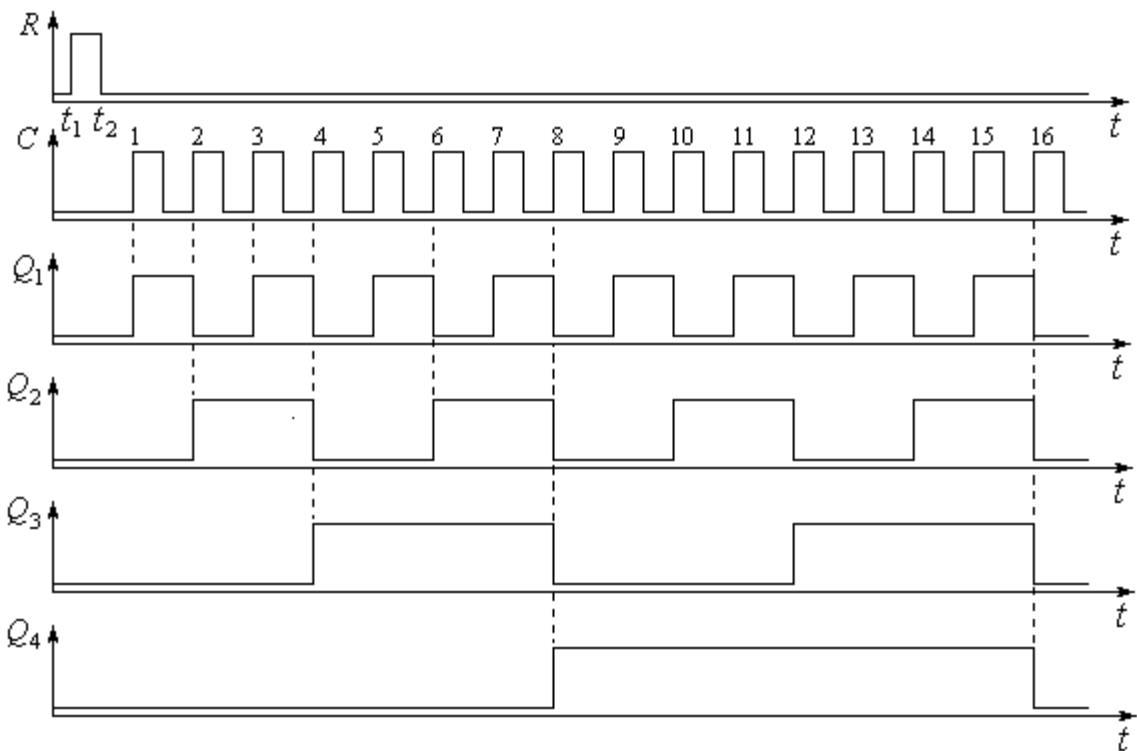


Рисунок 10.16 – Часова діаграма роботи чотирирозрядного підсумовувального лічильника

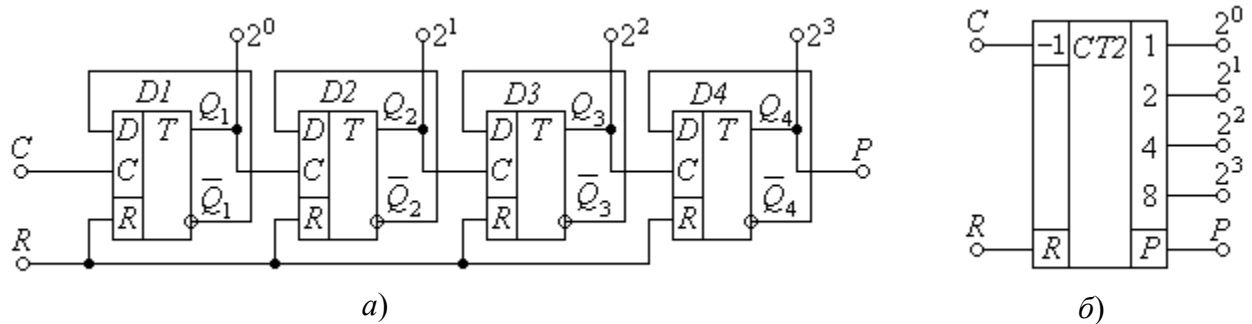


Рисунок 10.17 – Послідовний віднімальний лічильник на  $D$ -тригерах:  
а) схема; б) умовне позначення

Порівнюючи рис. 10.16 з рис. 10.17, переконуємося в тому, що схема віднімального лічильника (рис. 10.17) відрізняється від підсумовувального лише тим, що запуск наступного тригера здійснюється не з інверсного виходу  $\bar{Q}_i$  попереднього тригера, а з прямого  $Q_i$ .

Принцип дії віднімального лічильника ілюструє часова діаграма його роботи, яка показана на рис. 10.18.



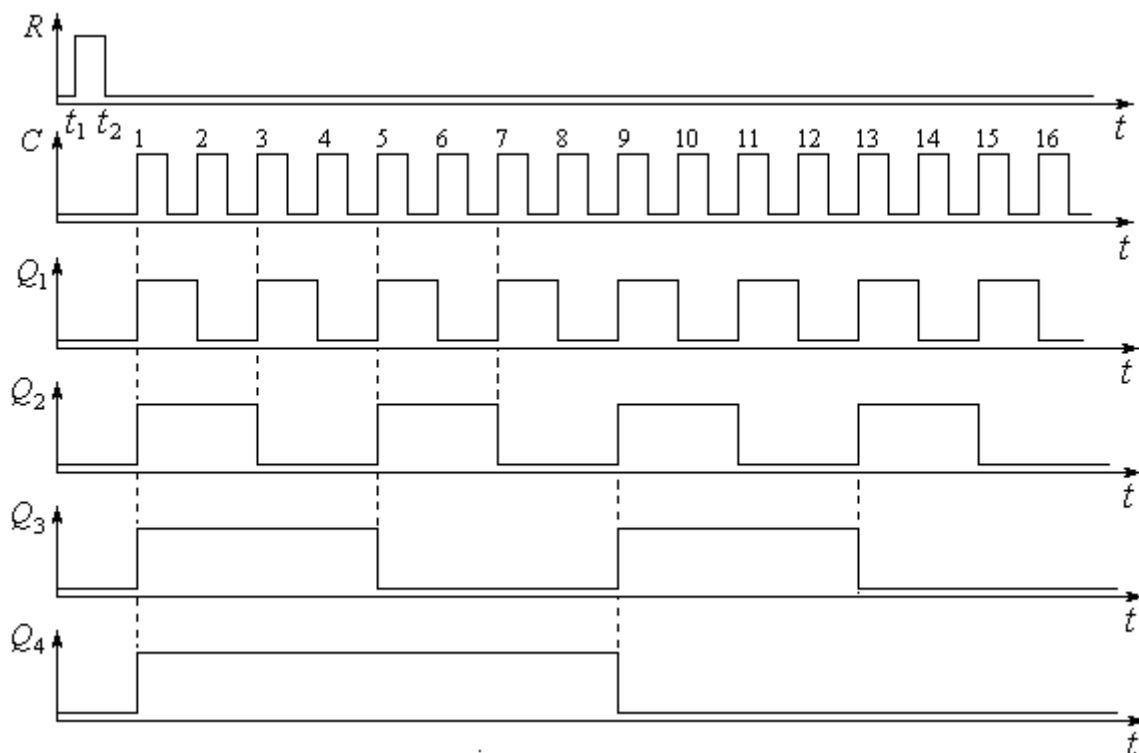


Рисунок 10.18 – Часова діаграма роботи чотирирозрядного віднімального лічильника

Віднімальний лічильник працює наступним чином.

До початку лічби необхідно скинути лічильник, тобто установити всі тригери в нульовий стан. Це здійснюється подаванням на вхід  $R$  короткочасного (інтервал моментів  $t_1 \dots t_2$ ) одиничного імпульсу. При цьому всі тригери, незалежно від їхніх попередніх станів, скидаються.

Лише після скінчення імпульсу скиду  $t_2$  можна починати лічбу, тобто подавати імпульси  $C$ .

З приходом першого фронту імпульсу лічби 1 встановлюється перший тригер  $D1$ , який є самим молодшим розрядом лічильника.

З встановленням тригера  $D1$  на його прямому виході  $Q_1$  з'являється фронт, яким встановлюється наступний тригер  $D2$ . Одночасно фронт виходу  $Q_2$  встановлює тригер  $D3$  і в цей самий момент надходження першого імпульсу фронтом  $Q_3$  встановлюється четвертий тригер  $D4$ .

Таким чином, у віднімальному лічильнику з надходженням першого імпульсу встановлюються *всі* тригери (у нашому випадку – чотири). Вміст лічильника становить 1111, тобто 15. Так з урахуванням позичення двійкового числа 10000 виконується операція віднімання двійкових чисел  $10000 - 0001 = 1111$ , тобто  $16 - 1 = 15$ .

Походження числа 15 пояснюється математичною дією  $16 - 1 = 15$ , де 16 – число, яке позичене з наступного розряду з ваговим коефіцієнтом  $2^5 = 16$ .

Далі з кожним черговим вхідним імпульсом вміст лічильника зменшується на одиницю (табл. 10.8).

Другий вхідний імпульс  $C$  скине перший тригер  $D1$ . Інші тригери не спрацюють, бо на виході  $Q_1$  зріз. Вміст лічильника становить 1110, тобто  $16 - 2 = 14$ .

Вхідний імпульс 3 встановить тригер  $D1$ , фронт виходу  $Q_1$  якого скине тригер  $D2$ . Інші тригери не спрацюють, бо на виході  $Q_2$  зріз. У лічильнику залишиться число 1101, тобто  $16 - 3 = 13$  і т.д.

З кожним вхідним імпульсом  $C$  вміст лічильника зменшується на одиницю.

Після 15 імпульсу  $C$  в лічильнику залишиться встановленим лише перший тригер  $D1$ . Вміст лічильника становить 0001.

16 імпульс скидає тригер  $D1$ , після чого лічильник обнулюється, а імпульс переповнення  $P$  передається в наступний розряд.

Таблиця 10.8 – Стани чотирирозрядного віднімального лічильника

Номер вхідного імпульсу	Виходи				Число в лічильнику
	$Q_4$	$Q_3$	$Q_2$	$Q_1$	
0	0	0	0	0	0
1	1	1	1	1	15
2	1	1	1	0	14
3	1	1	0	1	13
4	1	1	0	0	12
5	1	0	1	1	11
6	1	0	1	0	10
7	1	0	0	1	9
8	1	0	0	0	8
9	0	1	1	1	7
10	0	1	1	0	6
11	0	1	0	1	5
12	0	1	0	0	4
13	0	0	1	1	3
14	0	0	1	0	2
15	0	0	0	1	1
16	0	0	0	0	0

#### 10.3.4. Десяткові лічильники

**Десяткові лічильники** використовуються частіше у тих випадках, коли з машиною спілкується людина, бо людина звикла до десяткової системи числення.

Десятковий лічильник з модулем  $M = 10$  має чотири двійкові розряди і при появі на його виходах числа  $1010_2 = 10_{10}$  він скидається в нуль.

Такий лічильник має невикористані надлишкові стани. Дійсно, для двійкового чотирирозрядного лічильника  $M = 2^4 = 16$ . Тоді число надлишкових станів визначається як  $n = 16 - 10 = 6$ .

Щоб позбутися цих надлишкових для десяткового лічильника станів, застосовують зворотні зв'язки між виходами останнього тригера лічильника і входами тригерів тих розрядів, які у двійковому коді складають число надлишкових станів, тобто у нашому прикладі  $n = 6_{10} = 0110_2$ . Отже, сигнал зворотного зв'язку слід подавати на відповідні входи тригерів другого і третього розрядів. У синхронних лічильниках такий принцип побудови внутрішніх зв'язків називається *блокуванням переносу*.

На рис. 10.19 показана схема асинхронного (послідовного) двійково-десяткового підсумовувального лічильника, який побудований на синхронних двоступеневих  $JK$ -тригерах.

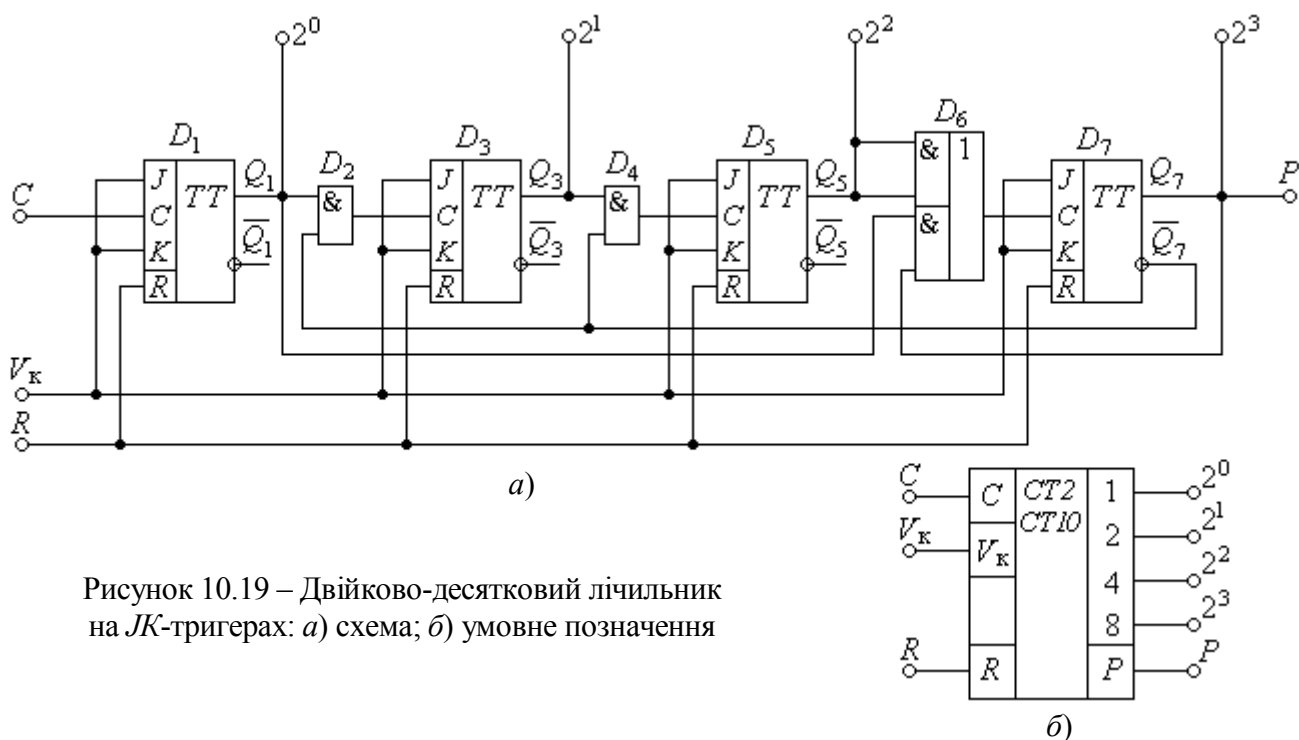


Рисунок 10.19 – Двійково-десятковий лічильник на  $JK$ -тригерах: а) схема; б) умовне позначення

Тут зворотний зв'язок здійснюють логічні елементи  $D_2, D_4, D_6$ . Елементи  $D_2$  та  $D_4$  забороняють встановлення тригерів  $D_3$  та  $D_5$  після восьмого імпульсу, а  $D_6$  забороняє встановлення тригера  $D_7$  до восьмого імпульсу.

Як видно з часової діаграми (рис. 10.20) і таблиці станів (табл. 10.9), підрахунок числа імпульсів до восьмого включно виконується в двійковому коді: 0000, 0001, 0010, ..., 1000.

Дійсно, доки тригер старшого розряду  $D_7$  знаходиться у нульовому стані, на його виході  $\overline{Q_7} = 1$ . Це дає дозвіл на проходження імпульсів через логічні схеми 2І  $D_2$  та  $D_4$  з тригерів  $D_1$  та  $D_3$  відповідно на входи  $C$  тригерів  $D_3$  та  $D_5$ .

Після надходження восьмого імпульсу повертаються в нульовий стан тригери перших трьох розрядів  $D_1, D_3$  та  $D_5$  і встановлюється тригер  $D_7$ .

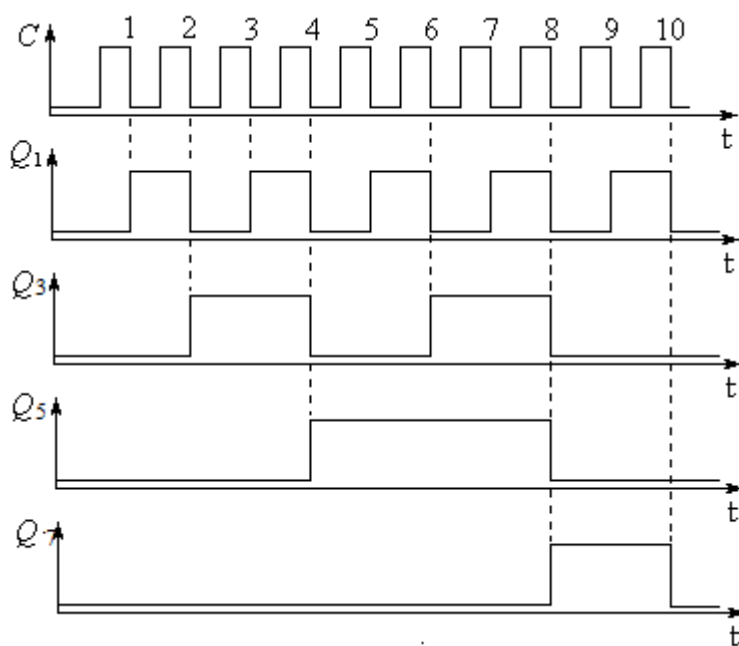


Рисунок 10.20 – Часова діаграма двійково-десяткового лічильника

При встановленому тригері  $D7$  спрацьовування логічних елементів  $D2$  та  $D4$  заборонене подачею з виходу  $\overline{Q_7}$  логічного нуля, але з'являється дозвіл на спрацьовування нижнього логічного елемента 2І-АБО  $D6$ .

Таблиця 10.9 – Стани тригерів двійково-десятькового лічильника

Число вхідних імпульсів	Виходи				Число в лічильнику
	$Q_7$	$Q_5$	$Q_3$	$Q_1$	
0	0	0	0	0	0
1	0	0	0	1	1
2	0	0	1	0	2
3	0	0	1	1	3
4	0	1	0	0	4
5	0	1	0	1	5
6	0	1	1	0	6
7	0	1	1	1	7
8	1	0	0	0	8
9	1	0	0	1	9
10	0	0	0	0	0

цювати з початку.

Роботу послідовного підсумовувального двійково-десятькового лічильника можна пояснити за допомогою станів тригерів (табл. 10.9).

У схемах лічильників передбачено вхід скидання  $R$ , завдяки якому можна скинути усі тригери в нульовий стан.

### 10.3.5. Збільшення розрядності лічильників

На практиці часто виникає необхідність використання модуля лічби понад 64. Проте промисловість випускає мікросхеми різноманітних лічильників, але з обмеженим модулем лічби. Їхній максимальний модуль лічби не перевищує  $M = 64$ .

Для збільшення модуля лічби стандартні лічильники з'єднують каскадно.

Для каскадного з'єднання двох або більшого числа лічильників треба вибирати такі стандартні мікросхеми, які мають виходи переповнення  $P$ .

Коли на вхід лічильника надійде кількість імпульсів, яка дорівнює  $M$ , то на виході  $P$  з'являється імпульс переповнення, який передається в наступний лічильник. Так, модуль лічби  $n$  каскадно з'єднаних лічильників дорівнює  $M^n$ .

На рис. 10.21 показано каскадне з'єднання двох лічильників  $D1$  і  $D2$  з модулем лічби  $M = 16$  кожного. Спільний модуль лічби становить  $M_c = M^2 = 16^2 = 256$ .

Схема працює наступним чином.

На п'ятнадцятому імпульсі, що подається на вхід  $C$  першого лічильника  $D1$ , в ньому буде число 1111.

Після дев'ятого імпульсу встановлюється тригер  $D1$ , який готує до проходу імпульсу скиду через схему  $D6$  на тригер  $D7$ .

Десятий лічильний імпульс скидає перший тригер  $D1$ , який скидає тригер  $D7$  у нульовий стан. При цьому тригери  $D3$  і  $D5$  свій стан не змінюють і таким чином усі тригери лічильника знаходяться в нульовому стані.

Імпульс переповнення лічильника з'являється після кожного десятого вхідного синхроімпульсу.

З приходом одинадцятого імпульсу лічильник починає працювати з початку.

Шістнадцятий імпульс повертає всі розряди  $D1$  до нульового стану і формує імпульс переповнення на виході  $P$ , який використовується як вхідний імпульс другого лічильника  $D2$ . У лічильнику  $D2$  буде число  $1111 + 0001 = 10000_2 = 16_{10}$ .

Таким чином, вхідним синхроімпульсом для спрацьовування другого лічильника є кожний шістнадцятий вхідний імпульс.

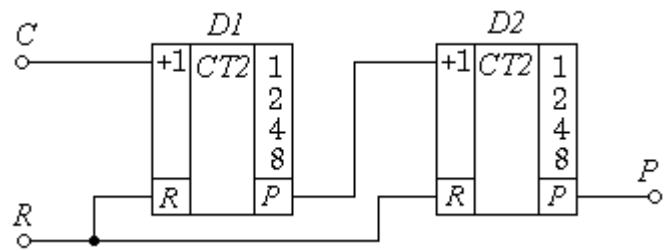


Рисунок 10.21 – Каскадне з'єднання лічильників

### 10.3.6. Швидкодія лічильників

Швидкодія лічильника визначається частотою слідування вхідних імпульсів

$$f_{\text{сл}} = \frac{1}{\tau_i + t_{\text{уст}}}, \quad (10.4)$$

де  $\tau_i$  – тривалість лічильного імпульсу;  $t_{\text{уст}}$  – час устанавлення числа в лічильнику.

Для лічильника, що має  $m$  розрядів, час устанавлення числа визначається як

$$t_{\text{уст max}} = m \cdot \tau_t, \quad (10.5)$$

де  $\tau_t$  – тривалість перехідних процесів.

Після підстановки (10.4) у (10.5) отримуємо формулу, яка визначає максимальну частоту слідування вхідних імпульсів без урахування часу на зчитування числа з його виходів

$$f_{\text{сл max}} = \frac{1}{\tau_{i \min} + m \tau_t}. \quad (10.6)$$

Якщо час на зчитування числа визначити як  $\tau_{\text{зч}}$ , то формула (10.6) буде мати скінчений вигляд

$$f_{\text{сл max}} = \frac{1}{\tau_{i \min} + m \tau_t + \tau_{\text{зч}}}. \quad (10.7)$$

**Послідовні лічильники використовуються також як подільники частоти.**

Дійсно, з часової діаграми роботи, що показана на рис. 10.16, бачимо, що на виході першого тригера  $Q_1$  лічильника частота вхідних імпульсів  $C$  ділиться на 2, на виході другого тригера  $Q_2$  імпульси надходять з частотою, яка у чотири рази менше за вхідні  $C$ . Кожній четвертий вхідний імпульс змінює стан виходу третього тригера  $Q_3$ , тобто частота слідування імпульсів на виході  $Q_3$  у вісім разів нижча за вхідну  $C$ . З виходу  $Q_4$  останнього тригера знімаються імпульси, частота яких у 16 разів менша за вхідну  $C$ . Якщо лічильник використовується як подільник частоти, то сигнал знімається лише з одного виходу.

Основним параметром подільника частоти є коефіцієнт ділення  $2^n$ , де  $n$  – порядковий номер тригера.

Максимальний коефіцієнт ділення частоти дорівнює модулю лічби  $M = 2^m$  і вихід такого подільника береться зі старшого розряду лічильника.

## 10.4. Регістри

### 10.4.1. Класифікація регістрів

**Регістрами** називаються послідовнісні пристрої, які виконують функцію приймання, запам'ятовування і передавання інформації. Інформація в регістрі зберігається за видом числа (слова), зображеного комбінацією сигналів 0 та 1.

Кожному розряду числа, що записане в регістр, відповідає свій розряд, побудований на базі тригерів *RS*-, *D*- або *JK*- типу.

На регістрах можна виконувати операції перетворення інформації з одного виду в інший, наприклад, послідовного коду в паралельний. Регістри можуть використовуватися для виконання деяких логічних операцій, наприклад, логічне порозрядне множення або ділення.

Основною класифікаційною відзнакою, за якою відрізняють регістри, є спосіб запису і зчитування двійкової інформації. За цією відзнакою розрізняють три типи регістрів: послідовні, паралельні та паралельно-послідовні.

В **послідовних регістрах** запис і зчитування інформації здійснюються послідовно за часом, тобто по чергово. Вони можуть мати як послідовні виходи, так і паралельні. Інформація записується шляхом послідовного зсуву числа синхроімпульсами. Тому регістри послідовного типу мають назву **регістрів зсуву**.

В **паралельних регістрах**, які мають паралельні входи та виходи, запис інформації виконуються одночасно в усіх розрядах за один такт керування. Такі регістри називають **регістрами пам'яті**.

### 10.4.2. Послідовні регістри

**Послідовні регістри, або регістри зсуву** призначені для виконання операцій зсуву двійкової інформації під дією зовнішніх синхроімпульсів.

За напрямом зсуву регістри відрізняються за трьома ознаками:

- регістри, що виконують зсув числа від молодших до старших розрядів називаються **регістрами зсуву вправо**;
- регістри, що виконують зсув числа від старших до молодших розрядів називаються **регістрами зсуву вліво**;
- регістри, що виконують зсув як вправо, так і вліво – **реверсивні регістри зсуву**.

Основне призначення регістрів послідовної дії – це зсув інформації, яка подається на вхід у двійковому коді.

На рис. 10.22 наведені схема та умовне позначення чотирирозрядного регістра зсуву вправо на синхронних  $D$ -тригерах.

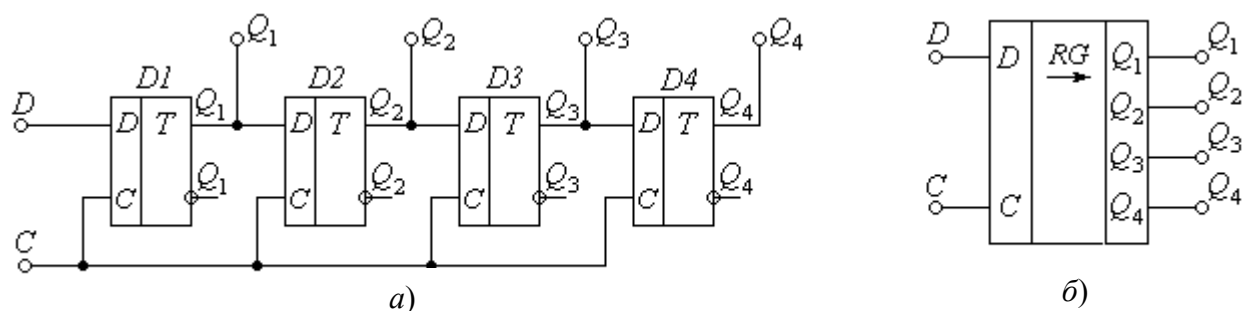


Рисунок 10.22 – Регістр зсуву вправо: а) схема; б) умовне позначення

На рис. 10.22 позначено:  $RG$  (англ. *Register*) – регістр. Регістр має один інформаційний вхід  $D$ , на який надходить інформація у вигляді послідовності імпульсів, і тактовий вхід  $C$ , на який подаються синхронізуючі імпульси.

На *паралельних* виходах регістра  $Q_1 \dots Q_4$  інформація з'являється *одночасно*, а на *послідовному* виході, яким є  $Q_4$ , тільки по черзі по одному біту.

Перший тригер  $D1$  відповідає за молодший розряд кожного слова інформації, а  $D4$  – за старший, якщо вважати, що інформація надходить, починаючи з молодшого розряду.

З надходженням черги синхронізуючих імпульсів одночасно на тактові входи  $C$  усіх  $D$ -тригерів з кожним фронтом  $C$  вихід кожного наступного тригера набуватиме стану попереднього тригера.

Регістр, що має чотири тригери або чотири розряди, може прийняти інформацію, яка складається з чотирьох бітів.

Для запису і зчитування інформації у даному регістрі потрібно мати чотири такти синхроімпульсів (за числом розрядів регістра). Зчитування інформації з регістра, яка після припинення подачі тактових імпульсів зберігатиметься на його виходах  $Q_1$ ,  $Q_2$ ,  $Q_3$ , і  $Q_4$ , можна виконати в паралельному коді одночасно з чотирьох означених виходів або в послідовному коді, з виходу останнього тригера  $D4$ .

Принцип дії регістра зсуву вправо ілюструє часова діаграма його роботи (рис. 10.23).

Регістр зсуву вправо працює наступним чином.

Нехай на момент  $t_1$  на інформаційний вхід  $D$  регістра надійшла одиниця. Вона підготує до встановлення тільки тригер першого молодшого розряду  $D1$ . Входи  $D$  тригерів  $D2$ ,  $D3$  і  $D4$  залишаються під нульовими потенціалами.

*Фронт першого синхроімпульсу  $C$*  в момент  $t_1$  встановлює тригер  $D1$  і на його виході буде  $Q_1 = 1$ . Ця інформація передається до входу  $D$  тригера  $D2$  і одиничний потенціал на вході  $D$  готує  $D2$  до встановлення.

*Другий синхроімпульс в момент  $t_2$*  встановлює тригер  $D2$  і змінює потенціал на його виході  $Q_2$  з нуля на одиницю.

*З приходом третього синхроімпульсу в момент  $t_3$*  на виході  $Q_3$  з'являється рівень логічної одиниці.

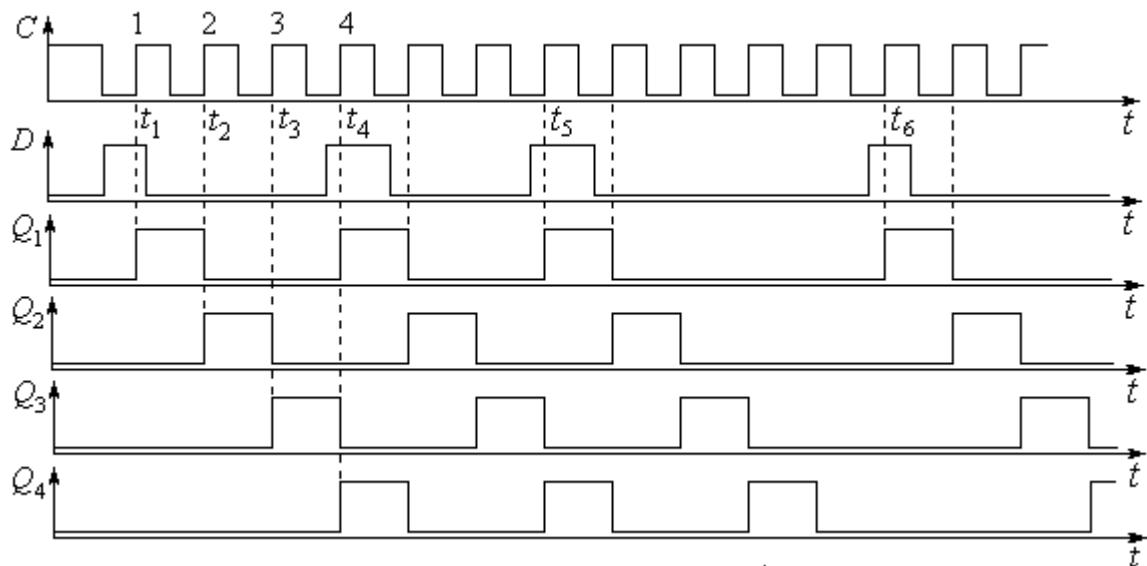


Рисунок 10.23 – Часова діаграма роботи регістра зсуву вправо

Четвертий синхроїмпульс в момент  $t_4$  встановлює тригер  $D4$  і на його виході  $Q_4$  потенціал дорівнює 1.

Таким чином, у розглянутій схемі (рис. 10.23) здійснюється зсув логічної одиниці, що надійшла на вхід  $D$  регістра з молодшого розряду до старшого, тобто вправо. Аналогічним чином записуються та зсуваються логічні одиниці, що надійшли до входу  $D$  регістра в моменти  $t_4$ ,  $t_5$ ,  $t_6$ . Такий регістр носить назву **регістра зсуву вправо**.

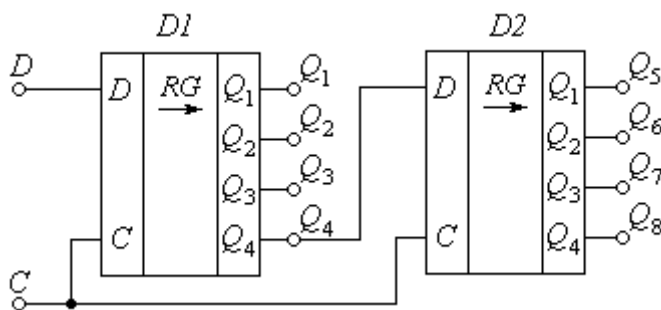


Рисунок 10.24 – Каскадування регістрів зсуву вправо

Для збільшення місткості регістрів використовують їхнє каскадування (рис. 10.24), в якому вихід останнього розряду попереднього регістра  $D1$  з'єднують зі входом  $D$  наступного регістра  $D2$  та об'єднують шину  $C$ . При цьому ті ж самі виходи наступного регістра  $Q_1$ ;  $Q_2$ ;  $Q_3$ ;  $Q_4$  мають у з'єднанні іншу розрядність  $Q_5$ ;  $Q_6$ ;

$Q_7$ ;  $Q_8$ , тобто після розряду  $Q_4$  буде розряд  $Q_5$ , потім  $Q_6$  і т.д.

Розглядаючи типи регістрів, слід зауважити на те, що зсув інформації може бути як вправо, так і вліво. Це залежить від того, як надходить інформація послідовного двійкового числа на вхід  $D$  регістра: починаючи з молодшого або зі старшого розряду.

На рис. 10.25 наведена схема чотирирозрядного регістра зсуву вліво.

Для здійснення зсуву вліво вхід  $D$  регістра надходить до останнього тригера  $D4$ , а вихід кожного наступного тригера з'єднаний з  $D$ -входом попереднього.

Принцип дії регістра зсуву вліво ілюструє часова діаграма його роботи (рис. 10.26).



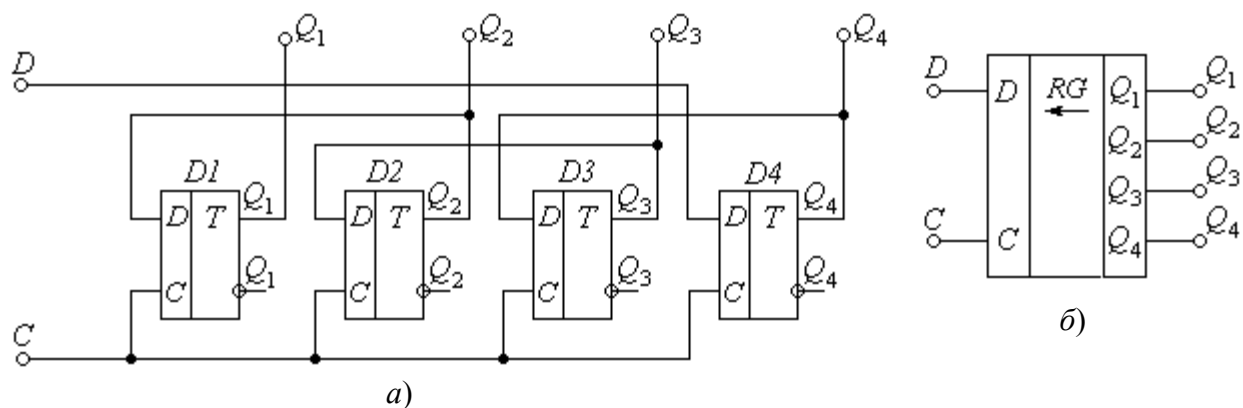


Рисунок 10.25 – Регістр зсуву вліво: а) схема; б) умовне позначення

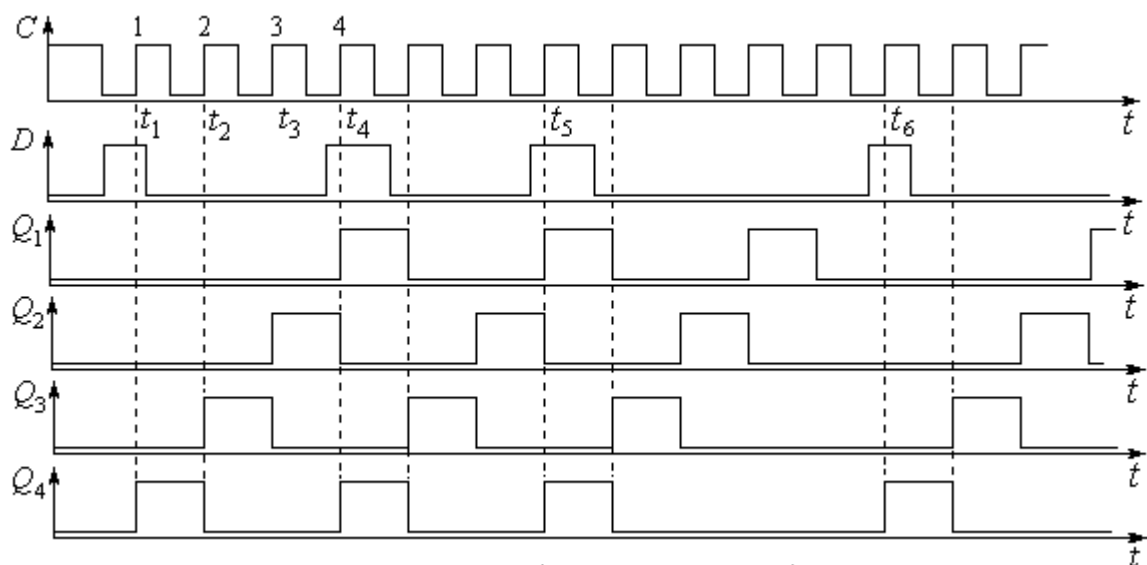


Рисунок 10.26 – Часова діаграма роботи регістра зсуву вліво

Регістр зсуву вліво працює наступним чином.

Нехай на момент  $t_1$  до інформаційного входу  $D$  регістра надійшла одиниця. Вона підготує до встановлення тільки тригер старшого розряду  $D4$ . Входи  $D$  тригерів  $D1, D2, D3$  залишаються під нульовими потенціалами.

Фронт першого синхроімпульсу  $C$  в момент  $t_1$  встановлює тригер старшого розряду  $D4$  і на його виході буде  $Q_4 = 1$ . Ця інформація передається до входу  $D$  тригера  $D3$  і одиничний потенціал на вході  $D$  готує  $D3$  до встановлення.

Другий синхроімпульс в момент  $t_2$  встановлює тригер  $D3$  і змінює потенціал на його виході  $Q_3$  з нуля на одиницю.

З приходом третього синхроімпульсу в момент  $t_3$  на виході  $Q_2$  з'являється рівень логічної одиниці.

Четвертий синхроімпульс в момент  $t_4$  встановлює тригер  $D1$  і на його виході  $Q_1$  потенціал дорівнює 1.

Таким чином, у розглянутій схемі (рис. 10.25) здійснюється **зсув логічної одиниці**, що надійшла на вхід  $D$  регістра зі старшого розряду до молодшого, тобто **вліво**.

Аналогічним чином записуються та зсуваються логічні одиниці, що надійшли на вхід  $D$  регістра в моменти  $t_4, t_5, t_6$ .

Щодо каскадування регістрів зсуву вліво (рис. 10.27), то збільшення їхньої місткості здійснюється нарощуванням *молодших* розрядів, тобто підключенням до регістра  $D2$  регістра  $D1$ .

При цьому вхід  $D$  регістра  $D1$  підключається до виходу *молодшого* розряду  $Q_5$  регістра  $D2$ .

Існують **двонаправлені** або **реверсивні регістри зсуву**, які здатні зсувати записану інформацію і вправо, і вліво. Промисловістю випускаються також універсальні регістри, які мають і паралельні, і послідовні входи.

На рис. 10.28 наведене умовне позначення універсального регістра, де:

$D_0$  – послідовний вхід, використання якого зумовлює зсув;

$D_1 \dots D_4$  – паралельні входи, через які інформація записується паралельно;

$C_1$  – вхід керування типом регістра (паралельний або регістр зсуву);

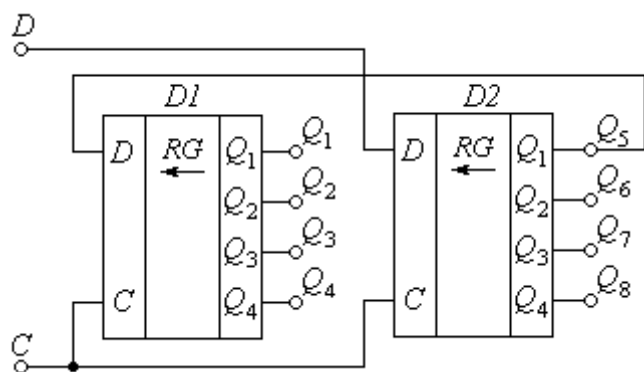


Рис. 10.27 – Каскадування регістрів зсуву вліво

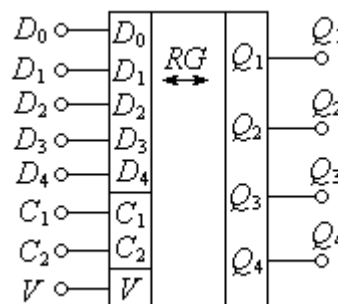


Рис. 10.28 – Умовне позначення універсального регістра зсуву

$C_2$  – тактовий вхід;

$V$  – керуючий вхід, рівнем якого (0 або 1) універсального регістра зсуву установлюється напрям зсуву;

$Q_1 \dots Q_4$  – паралельні виходи.

Інформацію з виходів можна знімати або в паралельному коді з виходів  $Q_1 \dots Q_4$ , або в послідовному коді з виходу  $Q_4$ .

Щодо застосування регістрів зсуву, то воно досить різноманітне. На їхній базі можна будувати функціональні вузли. Зсув інформації на один розряд вправо або вліво виконує арифметичні операції відповідно або *ділення*, або *множення* на два.

Регістр зсуву може виконувати функцію лічильника, якщо на його послідовний вхід  $D$  подавати чергу одиниць. На базі регістрів зсуву можна будувати цифрові лінії затримки.

У системах радіозв'язку та радіолокації регістри зсуву застосовують для побудови радіозамків, двійкових кореляторів та інших пристроїв складного оброблення радіосигналів.

### 10.4.3. Паралельні регістри

**Паралельні регістри або регістри пам'яті** – це багаторозрядні регістри з паралельними входами та паралельними виходами, в яких кількість розрядів визначається числом тригерів, на яких будується регістр.

Регістри пам'яті – це *накопичувальні регістри*. Їхнє основне призначення – збирання двійкової інформації невеликого обсягу.

Перший молодший розряд числа записується та зберігається у першому молодшому розряді регістра, другий – у другому розряді і т.д. Старший розряд регістра приймає старший розряд числа.

Паралельні регістри одноктактової дії можна побудувати, наприклад, на  $D$ -тригерах, кількість яких залежить від числа входів регістра.

На рис. 10.29 надано схему 4-розрядного одноктактового паралельного регістра, яка побудована на чотирьох синхронних  $D$ -тригерах.

Запис числа  $A$  ( $a_1, a_2, a_3, a_4$ ) виконується за наявності синхроімпульсу  $C$  без попереднього скидання тригерів у стан нуля.

Регістри пам'яті будуються на тригерах різноманітних типів.

Кожен розряд двійкового числа  $A$  ( $a_1, a_2, a_3, a_4$ ) подається на інформаційний вхід  $D$  окремого тригера  $D_1 \dots D_4$ .

Інформація записується в регістр тільки з появою фронту синхроімпульсу  $C$ , а зчитувати її з виходів  $Q$  кожного тригера можна в будь-який час після завершення процесу запису.

Якщо на вхід синхроімпульсів  $C$  поданий рівень логічного нуля, то регістр знаходиться у стані збереження записаної інформації.

*Синхронізуються регістри* рівнями 1 або 0, фронтом чи зрізом синхросигналу, залежно від застосованого тригера. Інформацію про полярність імпульсу синхронізації можна отримати у довідниках. В нашому випадку при застосуванні  $D$ -тригерів синхронізація відбувається фронтом імпульсу  $C$ .

Існують регістри, в яких зчитування інформації з виходів також синхронізується. Однак при цьому запис та зчитування обов'язково рознесено за часом.

Досить часто виникає задача запису двох і більше чисел. В цьому разі треба мати додаткову ємність регістра, додаткові інформаційні входи і додаткові входи для синхроімпульсів.

*Розрядність регістрів* нарощують збільшенням числа тригерів у схемі регістра. Розрядність регістрів можна збільшити їхнім каскадуванням.

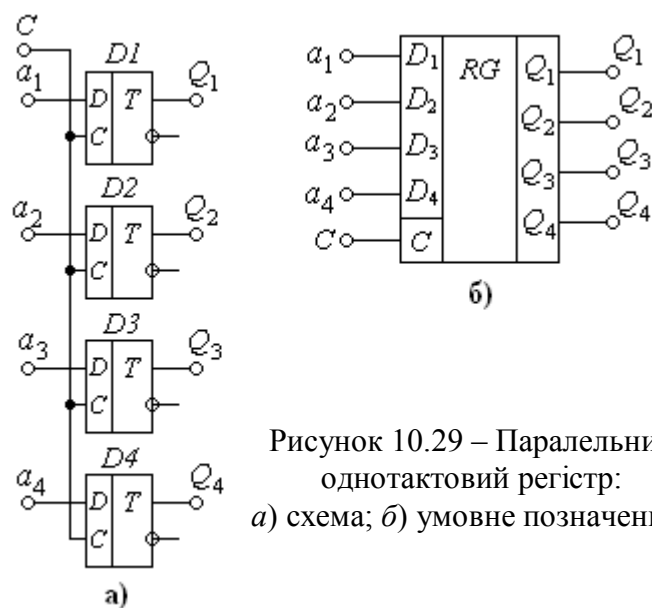


Рисунок 10.29 – Паралельний одноктактовий регістр:  
а) схема; б) умовне позначення

### Контрольні питання

1. Що таке тригер?
2. Який тригер називається синхронним, а який – асинхронним?
3. Що таке інформаційні та керуючі входи тригера?
4. Що таке *RS*-тригер і на яких елементах його можна реалізувати?
5. Що таке *D*-тригер і на яких елементах його можна реалізувати?
6. Роздільний запуск *D*-тригера.
7. Лічильний запуск *D*-тригера.
8. Одноступеневий *JK*-тригер.
9. Що таке лічильник?
10. Що таке модуль лічби?
11. Які лічильники називаються послідовними.
12. Що таке реверсивний лічильник?
13. Як перетворити підсумовувальний лічильник у віднімальний?
14. Підсумовувальний та віднімальний лічильники на *D*-тригерах.
15. Що таке подільник частоти?
16. Десяткові лічильники.
17. Збільшення розрядності лічильників.
18. Призначення регістрів зсуву.
19. Призначення паралельних регістрів.
20. Регістри зсуву вправо.
21. Регістри зсуву вліво.
22. Паралельні регістри.

## Розділ 11. КОМБІНАЦІЙНІ ПРИСТРОЇ

### 11.1. Загальні відомості

**Комбінаційні пристрої** – це цифрові схеми без пам'яті. В комбінаційних пристроях кожний символ на виході (логічний нуль або логічна одиниця) визначається станом входів тільки у дану мить і не залежить від того, який рівень діяв раніше. Комбінаційні пристрої не зберігають відомості про минулу роботу пристрою.

До комбінаційних пристроїв належать:

- логічні елементи з різними логічними та функціональними можливостями, починаючи від самих простих до самих складних;
- шифратори;
- дешифратори;
- перетворювачі кодів;
- арифметично-логічні пристрої;
- цифрові суматори;
- мультиплексори;
- демультиплексори;
- цифрові компаратори;
- програмовані логічні матриці;
- драйвери.

### 11.2. Шифратори

**Шифратори** виконують перетворення (шифрування) алфавітно-цифрової або символної інформації, яку подано кодом “1 з  $n$ ”, наприклад, десятковим у більш компактний код, наприклад, двійковий.

**Кодова комбінація** на вході шифратора має тільки *один* активний стан однієї змінної  $x_i$  вхідного набору  $\{x_1, x_2, \dots, x_{n-1}\}$ . Вихід шифраторів, як правило, паралельний і складається з  $m$  розрядів. Число виходів  $m$  однозначно зв'язане з числом входів  $n$ . Якщо  $n = 2^m$ , тобто використаний повний набір вхідних і вихідних комбінацій, то такий шифратор називають *повним*. Наприклад, шифратор 8 – 3 є повним, бо він реалізує повний набір можливих комбінацій змінних  $x_i$  ( $n = 8$ ) в повний вихідний набір  $y_i$  ( $m = 3$ ), при цьому виконується рівність  $2^3 = 8$ .

У *неповному* шифраторі число входів  $n$  не відповідає числу всіх можливих вихідних комбінацій  $2^m$ , причому завжди  $n < 2^m$ , що відповідно утворює певне число невикористаних вихідних наборів. Наприклад, шифратор 10 – 4, що використовується для кодування десяткового коду у двійково-десятковий код 8-4-2-1, є неповним, бо з можливого числа комбінацій  $2^4 = 16$  використовується лише 10, а саме (0...9).

Шифратори поділяються на *прості* та *пріоритетні*.

*Прості шифратори* реалізують обов'язкову відповідність  $m$ -розрядного числа від тільки *одного* активного входу. Вони не допускають одночасної акти-

візації *декількох* входів, що може мати місце, наприклад, при натисканні декількох клавіш на клавіатурі, яка підключена до входу шифратора. Щоб шифратор реагував тільки на один активний вхід навіть при кількох активних входах, його схему будують за пріоритетним принципом.

*Пріоритетний принцип* побудови шифратора дозволяє одночасно активізувати декілька входів. Реакція шифратора при цьому може бути різною, бо будуються вони за трьома пріоритетними принципами.

*Перші* шифратори реагують лише на перший за часом сигнал, який надходить з будь-якого входу раніше за усіх.

*Другі* шифратори мають програмовані пріоритетні вхідні комбінації. Якщо на вхід такого шифратора надходить група символів серед яких один задовольняє умовам пріоритету, то шифратор буде працювати за алгоритмом, який означений пріоритетним символом. На зайві комбінації шифратор не реагує.

У пріоритетному шифраторі *третього* типу вихідне число завжди відповідає тому активному входу, який має найбільший номер набору. Наприклад, при вхідному числі  $\{0111\}$ , коли рівень логічної одиниці одночасно присутній на перших трьох входах  $x_1 = 1$ ,  $x_2 = 1$ ,  $x_4 = 1$ , на виході пріоритетного шифратора установиться двійкове число  $\{0100\}$ , що відповідає змінній  $x_4 = 1$ , а активні входи  $x_1$  та  $x_2$  ігноруються.

За принципом побудови схеми прості шифратори поділяються на *лінійні* та *пірамідальні*. Лінійні шифратори будуються за лінійним принципом, коли всі однойменні входи логічних елементів підключають до однієї спільної шини. Тому для реалізації лінійного шифратора потрібно мати багатовходові логічні елементи, число входів яких дорівнює розрядності  $m$ . Лінійні шифратори мають досить високу швидкодію.

Розглянемо принцип побудови лінійного повного шифратора 8-3, стани входів і виходів якого описує таблиця станів (табл. 11.1).

Таблиця 11.1 – Стани повного лінійного шифратора 8...3

Число	Входи								Виходи		
	$x_0$	$x_1$	$x_2$	$x_3$	$x_4$	$x_5$	$x_6$	$x_7$	$y_2$	$y_1$	$y_0$
0	1	0	0	0	0	0	0	0	0	0	0
1	0	1	0	0	0	0	0	0	0	0	1
2	0	0	1	0	0	0	0	0	0	1	0
3	0	0	0	1	0	0	0	0	0	1	1
4	0	0	0	0	1	0	0	0	1	0	0
5	0	0	0	0	0	1	0	0	1	0	1
6	0	0	0	0	0	0	1	0	1	1	0
7	0	0	0	0	0	0	0	1	1	1	1

З табл. 11.1 видно, що шифратор має бути побудованим з трьома (за кількістю виходів  $y$ ) схемах логічного додавання АБО. Ці схеми повинні мати стільки входів, скільки логічних одиниць у відповідному стовпчику у табл. 11.1. Оскільки в кожному стовпчику по чотири логічних одиниці, то схеми АБО мають бути чотиривхідними.

Для складання схеми знайдемо рівняння кожного виходу  $y_1, y_2, y_3$  за допомогою табл. 11.1 наступним чином. Стан кожного виходу наведемо у вигляді суми станів тих входів  $x_i$ , які мають значення 1 у рядку з одиничним виходом  $y_k$ :

$$\begin{aligned} y_0 &= x_1 \vee x_3 \vee x_5 \vee x_7 = x_1 + x_3 + x_5 + x_7; \\ y_1 &= x_2 \vee x_3 \vee x_6 \vee x_7 = x_2 + x_3 + x_6 + x_7; \\ y_2 &= x_4 \vee x_5 \vee x_6 \vee x_7 = x_4 + x_5 + x_6 + x_7. \end{aligned} \quad (11.1)$$

Дійсно одиницю містять чотири двійкові числа

$$001_2 = 1_{10}; \quad 011_2 = 3_{10}; \quad 101_2 = 5_{10}; \quad 111_2 = 7_{10}.$$

З рівнянь (11.1) випливає, що для виконання повного шифратора 8...3 необхідно *три* (за числом виходів) логічних елементи 4АБО. Схему шифратора 8...3 показано на рис. 11.1. Для розробки схеми шифратора використовуємо *матрицю*, тобто систему ортогональних ліній (рис. 11.1). Матрична схема досить наочна, бо позбавлена від перегонів ліній зв'язку.

Входи саме шифратора зображені вертикальними лініями, а входи логічних схем 4АБО – горизонтальними.

Входи кожної схеми 4АБО мають бути з'єднані з тими входами шифратора, які є в функціях (11.1).

Роботу схеми шифратора пояснюють таблиці станів (табл. 11.1) і рівняння (11.1).

Схема працює наступним чином.

При вхідному числі 0 одиничним є лише один вхід шифратора  $x_0 = 1$ . При цьому решта входів нульова. Підставляючи всі  $x_i = 0$  у рівняння (11.1), знаходимо, що  $y_2 = 0$ ;  $y_1 = 0$ ;  $y_0 = 0$ , тобто вихідне число становить 000.

При вхідному числі 1 одиничним є вхід шифратора  $x_1 = 1$ . При цьому решта входів нульова, через що  $y_2 = 0$ ;  $y_1 = 0$ ;  $y_0 = 1$ , тобто вихідне число становить 001.

Як видно з рівнянь (11.1), табл. 11.1 і схеми (рис. 11.1), взагалі на першому виході шифратора  $y_0 = 2^0$  сигнал логічної одиниці з'являється тоді, коли на один з входів *або*  $x_1$ , *або*  $x_3$ , *або*  $x_5$ , *або*  $x_7$  подано логічну одиницю.

Другий вихід  $y_1 = 2^1 = 1$  шифратора буде одиничним тоді, коли логічна одиниця присутня на одному з входів *або*  $x_2$ , *або*  $x_4$ , *або*  $x_6$ , *або*  $x_7$ .

Самий старший вихідний розряд  $y_2 = 2^2 = 4$  буде одиничним, якщо на одному з входів шифратора *або*  $x_4$ , *або*  $x_5$ , *або*  $x_6$ , *або*  $x_7$  діє логічна одиниця.

Для лінійних шифраторів характерна незадіяна змінна  $x_0$ . Це означає, що за будь-якого сигналу на вході  $x_0$ , на виході шифратора не буде жодних змін. Проте, така ситуація на практиці завжди враховується і тому передбачається обов'язкова наявність активного входу  $x_0$ , хоча він не використовується.

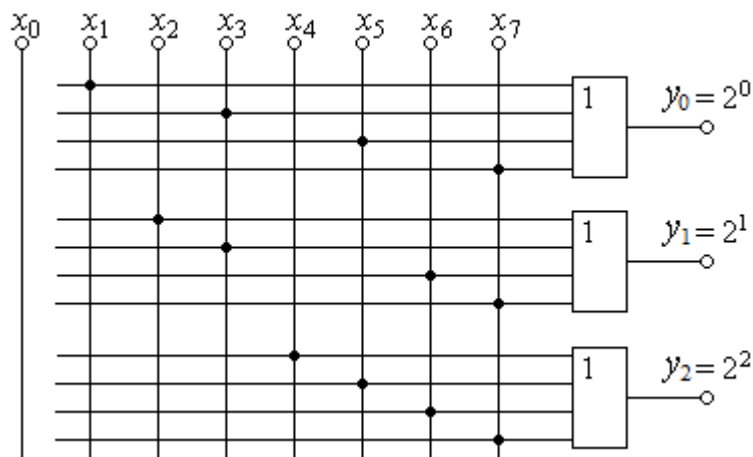


Рисунок 11.1 – Схема повного шифратора 8...3

Для розглянутого шифратора (рис. 11.1) присутність двох або більшого числа активних входів заборонена і він відноситься до типу *простих неперіоритетних лінійних шифраторів*.

Шифратори значно використовуються в цифрових системах для перетворення вхідних десяткових чисел у двійкову форму. За допомогою шифраторів кодуються різні символи (в тому числі й літери). Серійні шифратори можна зустрінути у складі мікросхем багатьох серій. *Пріоритетні шифратори найбільш поширені*, бо на них, крім основних, можна виконувати функції простих шифраторів.

В інтегральній схемотехніці частіше зустрічаються шифратори, що перетворюють сигнали низького рівня на одному з інформаційних входів  $\bar{x}_i$  в обернений двійковий код на виході. Це дає можливість діагностики шифратора в початковому стані, в якому на виходах мають бути тільки логічні одиниці. Поява на будь-якому виході логічного нуля свідчить про несправність шифратора.

Умовне позначення неповного шифратора показано на рис. 11.2.

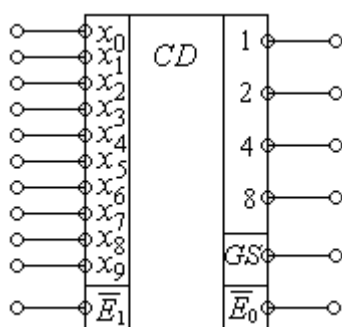


Рисунок 11.2 – Умовне позначення неповного шифратора 9...4

На рис. 11.2 позначено: *CD* (англ. *Coder*) – шифратор. Крім інформаційних входів  $\bar{x}_0 \dots \bar{x}_9$  шифратор має вхід дозволу  $\bar{E}_1$ . При  $\bar{E}_1 = 1$  можна змінити комбінацію на входах без зміни числа на виходах.  $\bar{E}_0$  – вихід сигналу дозволу. При  $\bar{E}_0 = 0$  фіксуються високі рівні на всіх інформаційних виходах.

Вихід групового сигналу  $\overline{GS}$  свідчить про наявність хоча б одного активного низького рівня на виході. За допомогою виходу  $\bar{E}_1$  та виходу  $\bar{E}_0$  можна нарощувати розрядність шифратора. При каскадному з'єднанні шифраторів слід вихід  $\bar{E}_0$  попереднього каскаду з'єднати зі входом  $\bar{E}_1$  наступного каскаду.

### 11.3. Дешифратори

**Дешифраторами** називаються комбінаційні логічні структури, які призначені для перетворення (дешифрації) коду, що надходить до входу у символічну або алфавітно-цифрову інформацію, тобто в код "1 з  $n$ ", в якому сигнал з'являється лише на одному з виходів. Дешифратори за порівнянням з шифраторами виконують обернене перетворення.

Дешифратори, як і шифратори, бувають *повними* і *неповними*.

Розглянемо принцип побудови повного лінійного дешифратора 2...4 на логічних схемах І. Такий дешифратор має чотири двовходові схеми логічного множення І, які виявляють одиничні стани всіх входів.

Якщо вхідне число подається двійковим кодом, то на входах різних схем І буде комбінація прямих та інверсних вхідних змінних. Через це входи дешифратора повинні мати інвертори.

Знайдемо логічний вислів кожного виходу.



Вхідне число  $x_2 = 0$ ;  $x_1 = 0$  схема I може виявити, якщо до її входів підвеси-ти інверсні значення  $\bar{x}_2$  та  $\bar{x}_1$ . Тоді  $y_0 = \bar{x}_2 \wedge \bar{x}_1 = \bar{x}_2 \cdot \bar{x}_1$ . Таким чином, рівняння станів виходів дешифратора є логічними добутками станів входів, у які підста-вляємо прямий стан входу, якщо він одиничний, та – інверсний, якщо він ну-льовий.

Отже стани дешифратора 2...4 на схемах 2I описуються наступними ви-словленнями:

$$\begin{aligned} y_0 &= \bar{x}_1 \wedge \bar{x}_0 = \bar{x}_1 \cdot \bar{x}_0; \\ y_1 &= \bar{x}_1 \wedge x_0 = \bar{x}_1 \cdot x_0; \\ y_2 &= x_1 \wedge \bar{x}_0 = x_1 \cdot \bar{x}_0; \\ y_3 &= x_1 \wedge x_0 = x_1 \cdot x_0. \end{aligned} \quad (11.2)$$

З рівнянь (11.2) випливає, що для виконання повного дешифратора 2...4 необхідно чотири (за числом виходів) логічних елементів 2I.

Схему дешифратора 2..4 показано на рис. 11.2, яка розроблена у виді мат-риці. Входи схем 2I  $D3...D6$  з'єднуємо з тими входами дешифратора, які є в рівняннях (11.2).

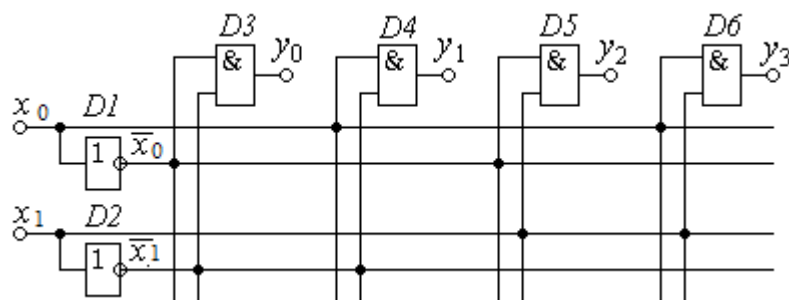


Рисунок 11.3 – Схема лінійного дешифратора 2...4

Для пояснення роботи дешифратора наведемо таблицю його станів (табл. 11.2).

Дешифратор працює наступним чином.

Інвертори  $D1$  та  $D2$  здійснюють інверсію  $\bar{x}_1$  та  $\bar{x}_0$ .

Підставляючи стани входів з табл. 11.2 у рівняння (11.2), перекону-ємось у наступному.

При вхідному числі 0 обидва вхо-ди нульові:  $x_1 = 0$  та  $x_0 = 0$ . Підставля-ючи ці значення в рівняння (11.2), отримуємо, що тільки на виході схеми  $D3$  вихід одиничний:  $y_0 = 1$ . Це пояснюється тим, що при  $x_1 = 0$  та  $x_0 = 0$  їхні ін-версні стани одиничні, що й виявляє схема  $D3$ . На входах усіх інших схем  $D4$ ,  $D5$ ,  $D6$  хоча б один із входів нульовий, через що  $y_1 = 0$ ;  $y_2 = 0$ ;  $y_3 = 0$ .

Таблиця 11.2 – Стани повного дешифратора 2...4

Число	Входи		Виходи			
	$x_1$	$x_0$	$y_0$	$y_1$	$y_2$	$y_3$
0	0	0	1	0	0	0
1	0	1	0	1	0	0
2	1	0	0	0	1	0
3	1	1	0	0	0	1

При вхідному числі 1 стани входів дешифратора  $x_1 = 0$ ;  $x_0 = 1$ . Підставляючи ці значення в рівняння (11.2), переконуємося в тому, що тільки на виході схеми *D4* вихід одиничний:  $y_1 = 1$  і т.д.

Щодо неповних дешифраторів, то в них є певне число невикористаних вхідних наборів. Досить розповсюдженим прикладом є неповний дешифратор 4...10, який виконує перетворення двійково-десятькового коду в десятковий.

Розглянемо принцип побудови неповного дешифратора 4...10 на схемах логічного множення 4І. Такий дешифратор має 10 чотиривходових схем (за числом виходів) логічного множення 4І, кожна з яких виявляє одиничні стани всіх своїх чотирьох входів. Тому рівняння кожного виходу є логічним добутком станів входів, в який підставляємо прямий стан входу, якщо він одиничний, та – інверсний, якщо він нульовий.

Отже, логічний вислів станів дешифратора наступний:

$$\begin{aligned}
 y_0 &= \bar{x}_3 \wedge \bar{x}_2 \wedge \bar{x}_1 \wedge \bar{x}_0 = \bar{x}_3 \cdot \bar{x}_2 \cdot \bar{x}_1 \cdot \bar{x}_0; \\
 y_1 &= \bar{x}_3 \wedge \bar{x}_2 \wedge \bar{x}_1 \wedge x_0 = \bar{x}_3 \cdot \bar{x}_2 \cdot \bar{x}_1 \cdot x_0; \\
 y_2 &= \bar{x}_3 \wedge \bar{x}_2 \wedge x_1 \wedge \bar{x}_0 = \bar{x}_3 \cdot \bar{x}_2 \cdot x_1 \cdot \bar{x}_0; \\
 y_3 &= \bar{x}_3 \wedge \bar{x}_2 \wedge x_1 \wedge x_0 = \bar{x}_3 \cdot \bar{x}_2 \cdot x_1 \cdot x_0; \\
 y_4 &= \bar{x}_3 \wedge x_2 \wedge \bar{x}_1 \wedge \bar{x}_0 = \bar{x}_3 \cdot x_2 \cdot \bar{x}_1 \cdot \bar{x}_0; \\
 y_5 &= \bar{x}_3 \wedge x_2 \wedge \bar{x}_1 \wedge x_0 = \bar{x}_3 \cdot x_2 \cdot \bar{x}_1 \cdot x_0; \\
 y_6 &= \bar{x}_3 \wedge x_2 \wedge x_1 \wedge \bar{x}_0 = \bar{x}_3 \cdot x_2 \cdot x_1 \cdot \bar{x}_0; \\
 y_7 &= \bar{x}_3 \wedge x_2 \wedge x_1 \wedge x_0 = \bar{x}_3 \cdot x_2 \cdot x_1 \cdot x_0; \\
 y_8 &= x_3 \wedge \bar{x}_2 \wedge \bar{x}_1 \wedge \bar{x}_0 = x_3 \cdot \bar{x}_2 \cdot \bar{x}_1 \cdot \bar{x}_0; \\
 y_9 &= x_3 \wedge \bar{x}_2 \wedge \bar{x}_1 \wedge x_0 = x_3 \cdot \bar{x}_2 \cdot \bar{x}_1 \cdot x_0.
 \end{aligned}
 \tag{11.3}$$

З рівнянь (11.3) випливає, що для виконання неповного дешифратора 4...10 необхідно *десять* (за числом виходів) логічних елементів 4І. Схему дешифратора 4...10 показано на рис. 11.3. Для розробки схеми шифратора використовуємо *матрицю*, тобто систему ортогональних ліній (рис. 11.3). Входи схем 4І, які мають виходи  $y_0 \dots y_9$ , з'єднуємо відповідно з тими входами дешифратора, які є в рівняннях (11.3).

На рис. 11.3 надано умовне позначення двійково-десятькового лічильника *СТ2 – СТ10*, двійкові виходи 1, 2, 4, 8 якого підключені відповідно до входів дешифратора  $x_0, x_1, x_2, x_3$ .

Ці входи прямі чи інверсні з'єднані з чотирма входами схем 4І згідно з функціями (11.3). Так, входи елемента 4І  $y_0$  з'єднані з усіма інверсними входами  $\bar{x}_0, \bar{x}_1, \bar{x}_2, \bar{x}_3$  дешифратора.

Входи елемента 4І  $y_1$  з'єднані з прямим входом дешифратора  $x_0$  та інверсними входами  $\bar{x}_1, \bar{x}_2, \bar{x}_3$  і т.д., щоб добуток станів входів для кожного виходу  $y_0, \dots y_9$  дорівнював би одиниці.

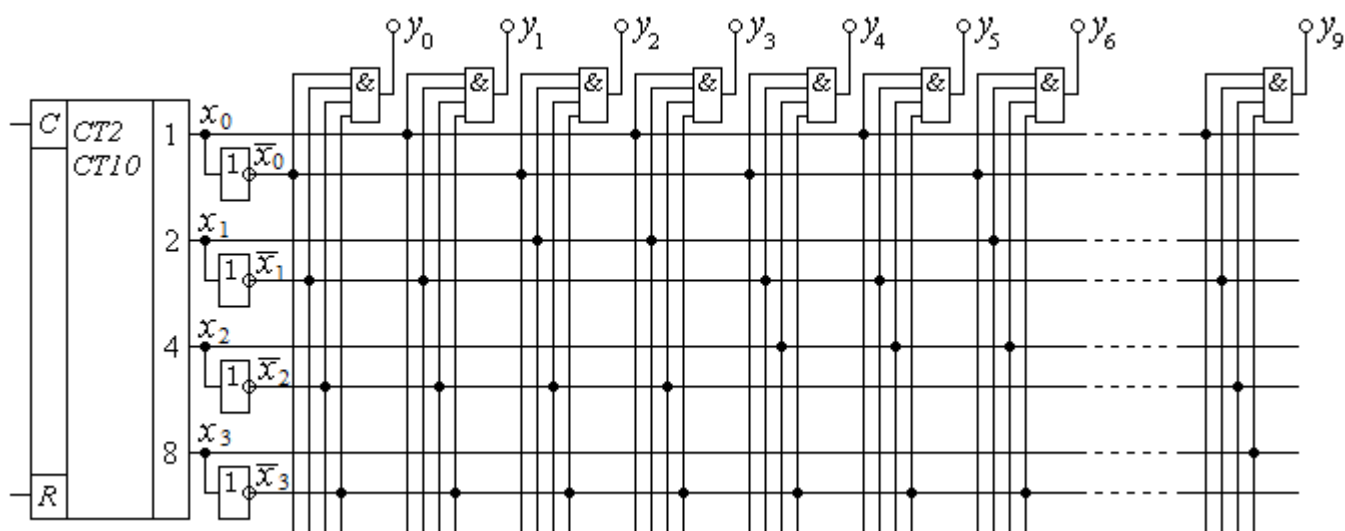


Рисунок 11.4 – Схема неповного дешифратора 4...10

Для пояснення роботи дешифратора наведемо таблицю його станів (табл. 11.3).

Таблиця 11.3 – Стани неповного лінійного дешифратора 4...10

Число	Входи				Виходи									
	$x_3$	$x_2$	$x_1$	$x_0$	$y_0$	$y_1$	$y_2$	$y_3$	$y_4$	$y_5$	$y_6$	$y_7$	$y_8$	$y_9$
0	0	0	0	0	1	0	0	0	0	0	0	0	0	0
1	0	0	0	1	0	1	0	0	0	0	0	0	0	0
2	0	0	1	0	0	0	1	0	0	0	0	0	0	0
3	0	0	1	1	0	0	0	1	0	0	0	0	0	0
4	0	1	0	0	0	0	0	0	1	0	0	0	0	0
5	0	1	0	1	0	0	0	0	0	1	0	0	0	0
6	0	1	1	0	0	0	0	0	0	0	1	0	0	0
7	0	1	1	1	0	0	0	0	0	0	0	1	0	0
8	1	0	0	0	0	0	0	0	0	0	0	0	1	0
9	1	0	0	1	0	0	0	0	0	0	0	0	0	1

Дешифратор працює наступним чином.

Як видно з табл. 11.3, при скинутому лічильнику на його виходах нулі:  $x_0 = 0$ ;  $x_1 = 0$ ;  $x_2 = 0$ ;  $x_3 = 0$ . Підставляючи інверсії  $\bar{x}_0, \bar{x}_1, \bar{x}_2, \bar{x}_3$  в перше рівняння (11.3) переконуємося в тому, що тільки  $y_0 = 1$ . Це пояснюється тим, що схема 4І виявляє тільки одиничні стани входів. Тому при  $x_0 = 0, x_1 = 0, x_2 = 0, x_3 = 0$  під одиничними є тільки входи схеми  $y_0$ , через що  $y_0 = 1$ . Решта усіх інших виходів нульова, тому що хоча б один з входів інших схем 4І нульовий.

Якщо лічильник містить число 1, то одиничними будуть усі входи схеми 4І  $y_1$ , через що тільки цей вихід буде одиничним:  $y_1 = 1$  і т.д. Будь-якому вмісту лічильника в межах 0...9 відповідає тільки одна одиниця на виходах  $y_0, \dots, y_9$ .

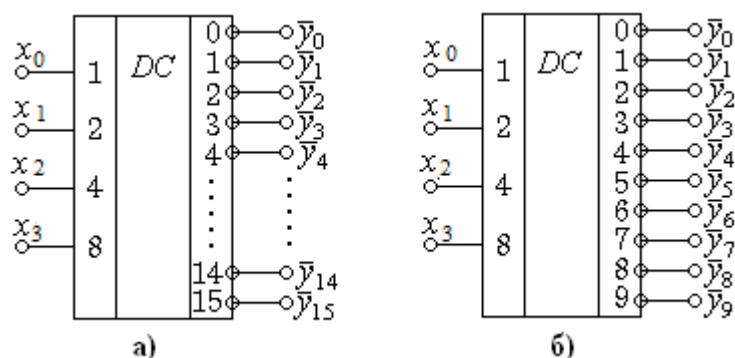


Рисунок 11.5 – Умовне позначення дешифраторів: а) повного; б) неповного 4...10

Промисловість випускає дешифратори як повні (рис. 11.5,а), так і неповні (рис. 11.5,б). Існування неповного дешифратора виправдано, наприклад, перетворенням двійково-десятькового коду в десятковий (рис. 11.5,б). На рис.11.5 позначені *DC* (англ. *Decoder*) – дешифратор.

Слід зауважити, що в інтегральних дешифраторах формування інверсій вхідних змінних виконується в самому дешифраторі і тому додаткові інвертори на їхніх входах ставити не треба.

## 11.4. Мультиплексори

**Мультиплексори** здійснюють комутацію одного з декількох інформаційних входів  $x_i$  до одного виходу  $y$ . Мультиплексори мають декілька інформаційних входів, адресні входи, вхід дозволу мультиплексування (стробуючий вхід) та один вихід.

Кожному з інформаційних входів мультиплексора відповідає номер, який називається адресою і подається двійковим числом до адресних входів.

Очевидно, що число інформаційних входів  $n_{\text{інф}}$  і число адресних входів  $n_{\text{адр}}$  зв'язані співвідношенням:  $n_{\text{адр}} = 2^{n_{\text{інф}}}$ .

Для пояснення роботи мультиплексора надано таблицю його станів (табл. 11.4).

Таблиця 11.4 – Стани мультиплексора 4-1

Входи	Адреса		Виходи <i>DC</i>				Керуючий вхід	Вихід
$x_i$	$a_1$	$a_0$	$z_0$	$z_1$	$z_2$	$z_3$	$E$	$y$
X	X	X	X	X	X	X	0	0
$x_0$	0	0	1	0	0	0	1	$x_0$
$x_1$	0	1	0	1	0	0	1	$x_1$
$x_2$	1	0	0	0	1	0	1	$x_2$
$x_3$	1	1	0	0	0	1	1	$x_3$

Мультиплексор працює наступним чином.

Дозвіл на спрацьовування мультиплексора в цілому визначається станом керуючого входу  $E$ . При  $E = 0$ , незалежно від стану входів адреси  $a_2$  та  $a_1$  (в табл. 11.4 позначено хрестиками X), мультиплексор не спрацьовує. Якщо ж  $E = 1$ , то

робота мультиплексора дозволяється. Тому надалі розглядаються тільки чотири нижні рядки табл. 11.4.

Виходячи з табл. 11.4, отримуємо логічний вислів мультиплексора

$$y = E(x_0 \cdot z_0 + x_1 \cdot z_1 + x_2 \cdot z_2 + x_3 \cdot z_3) = E(x_0 \cdot \bar{a}_1 \cdot \bar{a}_0 + x_1 \cdot \bar{a}_1 \cdot a_0 + x_2 \cdot a_1 \cdot \bar{a}_0 + x_3 \cdot a_1 \cdot a_0), \quad (11.4)$$

в якому  $z_0, z_1, z_2, z_3$  – виходи дешифратора  $2 \dots 4$  DC.

З рівняння (11.4) випливає, що для виконання демультиплексора  $4 \dots 1$  необхідні: дешифратор  $2 \dots 4$  DC, який дешифрує адреси, чотири логічних елементів 4І, які надають інформацію до виходу про надходження вхідного сигналу за вказаною адресою, один логічний елемент 4АБО та один логічний елемент 2І, що дає дозвіл на спрацьовування мультиплексора.

На рис. 11.6 показаний варіант схеми мультиплексора  $4 \dots 1$ , який виконує комутацію від чотирьох джерел сигналу  $x_0, x_1, x_2, x_3$  до одного виходу  $y$ .

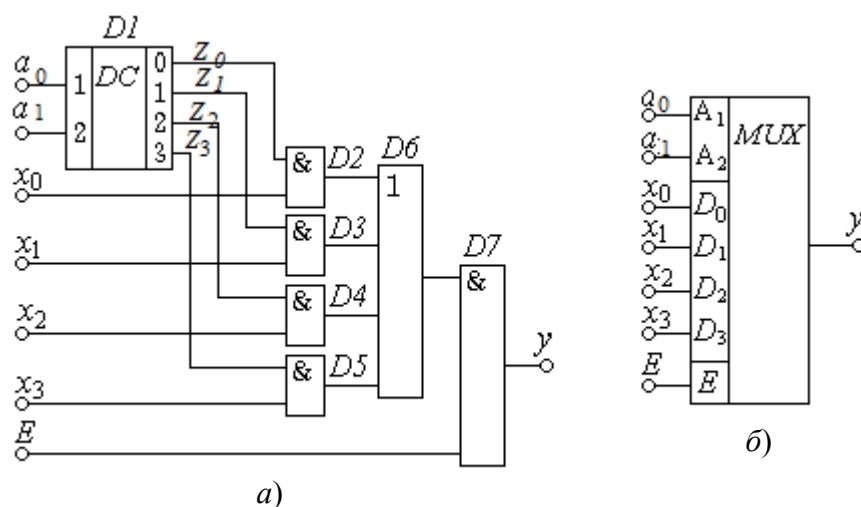


Рисунок 11.6 – Мультиплексор  $4 \dots 1$ : а) схема; б) умовне позначення

На рис. 11.6,б позначено *MUX* (англ. *Multiplexer*) – мультиплексор.

Мультиплексор працює наступним чином.

Комутація єдиного з усіх входів до виходу здійснюється тим, що логічні елементи 2І –  $D2 \dots D5$  виконують роль ключів. Такий ключ буде відкритий якщо обидва його входи одиничні. Оскільки з усіх виходів дешифратора адреси  $D1$  тільки один одиничний, за будь-якої адреси відкрита тільки одна зі схем  $D2 \dots D5$ .

При адресному числі 00 стан адресних входів  $a_1 = 0$  та  $a_0 = 0$ . Підставляючи ці значення в (11.4), отримуємо  $y = x_0$ , тобто до виходу передається тільки інформація  $x_0$ . Це пояснюється тим, що рівень логічної одиниці встановлюється тільки на виході  $z_0$  дешифратора  $D1$ , а на всіх інших виходах  $D1$  він нульовий. Тому лише логічний елемент  $D2$  має дозвіл на спрацьовування. При цьому на виході мультиплексора буде інформація  $y = x_0$  (або 0, або 1).

При адресному числі 01  $a_1 = 0$  та  $a_0 = 1$ . Підставляючи ці значення в (11.4), отримуємо  $y = x_1$ , тобто до виходу передається тільки інформація  $x_1$ . Це пояснюється тим, що рівень логічної одиниці встановлюється тільки на виході  $z_1$  дешифратора  $D1$ , а на всіх інших виходах  $D1$  він нульовий. Тому лише логіч-

ний елемент  $D3$  має дозвіл на спрацьовування. При цьому на виході мультиплексора буде інформація  $y = x_1$  (або 0, або 1) і т.д.

При комутації багаторозрядних слів використовують декілька мультиплексорів, виходи яких з'єднуються за схемою АБО. Для цієї мети випускаються декілька однотипних мультиплексорів в одному корпусі.

## 11.5. Демультимплексори

**Демультимплексори** здійснюють комутацію одного інформаційного входу до одного з декількох виходів, адреса якого задана. Демультимплексори мають один інформаційний вхід, декілька виходів та адресні входи.

Таким чином, на приймальному кінці мультиплексованої магістралі потрібно виконати зворотну операцію – *демультимплексування*.

Демультимплексор можна реалізувати за тією ж схемою, що й для мультиплексора (рис. 11.6), якщо всі інформаційні входи  $x_0, x_1, x_2, x_3$  з'єднати в один вхід  $x$  (рис. 11.7).

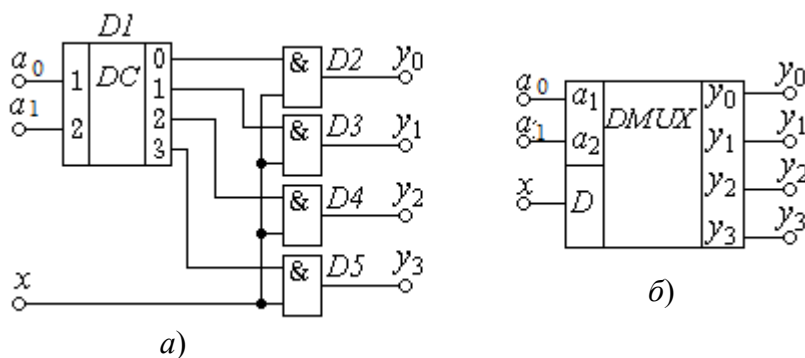


Рисунок 11.7 – Демультимплексор 1...4:  
а) схема; б) умовне позначення

Варіант побудови схеми демультимплексора 1...4 на базі дешифратора  $D1$  та логічних елементів  $2I$   $D2...D5$  показаний на рис. 11.7.

На рис.11.7 позначено:  $DMUX$  (англ. *Demultiplexer*) – демультимплексор.

Входи дешифратора  $a_1, a_2$  є адресними.

Тому в залежності від адресного числа лише на одному з виходів дешифратора з'являється логічна одиниця, яка дає дозвіл до спрацьовування лише одного з чотирьох логічних елементів  $D2...D5$ . На інші входи кожної схеми  $2I$  надходить шина вхідного сигналу  $x$ . Вхідна інформація відтворюється на виході одного з чотирьох логічних елементів  $D2...D5$ , який отримав дозвіл відповідно до адресного входу.

Виходячи з цього, отримуємо логічний вислів демультимплексора:

Таблиця 11.5 – Стани демультимплексора 1...4

Адресні входи		Виходи			
$a_1$	$a_0$	$y_0$	$y_1$	$y_2$	$y_3$
0	0	$x$	0	0	0
0	1	0	$x$	0	0
1	0	0	0	$x$	0
1	1	0	0	0	$x$

$$\begin{aligned}
 y_0 &= x \cdot \bar{a}_1 \cdot \bar{a}_0; \\
 y_1 &= x \cdot \bar{a}_1 \cdot a_0; \\
 y_2 &= x \cdot a_1 \cdot \bar{a}_0; \\
 y_3 &= x \cdot a_1 \cdot a_0.
 \end{aligned}
 \tag{11.5}$$

Для пояснення роботи демультимплексора надамо таблицю його станів (табл. 11.5)

Демультимплексор працює наступним чином.

Підставляючи в (11.5) з табл. 11.5 адресу  $a_1 = 0; a_0 = 0$ , переконуємося в тому, що тільки  $y_0 = x$ , тобто вхідний сигнал  $x$  діє тільки на одному виході  $y_0$ . Це пояснюється тим, що при адресі  $a_1 = 0; a_0 = 0$  тільки вихід 0 дешифратора  $D1$  одиничний. Тому для вхідного сигналу  $x$  відкрита тільки схема  $D2$ .

За адресою  $a_1 = 0; a_0 = 1$  таким самим чином отримуємо  $y_1 = x$  і т.д.

Стани виходів для інших адрес видно з табл. 11.5.

## 11.6. Програмовані логічні матриці

**Матрична схема** або **логічна матриця** являє собою сітку ортогональних провідників, у перетинах яких можуть бути установлені напівпровідникові елементи: діоди або транзистори, що реалізують необхідну схему.

Для можливості програмування матриці ці діоди або транзистори підключаються до відповідних провідників матриці через легкоплавкі перемички. Під час програмування ці перемички або перепалюють, або залишають в залежності від схеми, яку треба реалізувати за допомогою матриці. Матричні схеми орієнтовані на реалізацію булевих функцій вузлів великих інтегральних схем.

Отже, з матричної структури шляхом її програмування отримують заданий комбінаційний пристрій. Тому такі структури називаються *комбінаційні програмовані логічні матриці* (ПЛМ).

ПЛМ, як правило, мають *два схемотехнічних рівні*: на *першому* з них утворюються потрібні *кон'юнкції*, а на *другому* – *диз'юнкції*. Іноді одна з матриць може бути фіксованою. Обидві матриці з'єднуються каскадно.

Існують і *послідовнісні* ПЛМ, які у своєму складі містять певне число вбудованих елементів пам'яті. Такі ПЛМ характеризуються розрядністю регістра пам'яті.

Розглянемо програмовану логічну матрицю, схема якої показана на рис. 11.8 і містить матриці  $M1$  та  $M2$ .

**Матриця**  $M1$  має три входи  $x_1, x_2, x_3$ , шість горизонтальних і чотири вертикальних шин. Горизонтальні шини  $x_1, x_2, x_3$  в  $M1$  є вхідними, а вертикальні  $P_1 \dots P_4$  – вихідними.

*Виходи*  $P$  носять назву *ліній терм*.

Кожна вхідна шина  $x_1, x_2, x_3$  зв'язана з однією горизонтальною шиною безпосередньо, а з іншою – через інвертор (шини  $\bar{x}_1, \bar{x}_2, \bar{x}_3$ ).

Спосіб включення напівпровідникових елементів (наприклад, діодів) у перетинах, які позначені хрестиками, дозволяє реалізувати на будь-якому з виходів, будь-яку *кон'юнкцію* її вхідних змінних, тобто функцію  $I$ .

Матриця  $M1$  працює як *дешифратор*, виходами якого є кон'юнктивні терми  $P_1 \dots P_4$ .

Дійсно, при появі одиниці (високого рівня напруги) на одному з входів  $x_i$ , на виході відповідного інвертора з'являється  $\bar{x}_i$  (рівень логічного нуля). Якщо перемички на обох горизонтальних лініях  $x_i$  та  $\bar{x}_i$  присутні, то високий потенціал лінії  $x_i$  закрийє “свій” діод і на відповідній вертикальній лінії терм буде високий рівень напруги приблизно  $+E$ , якщо на всіх інших горизонтальних лініях буде також рівень логічної одиниці.

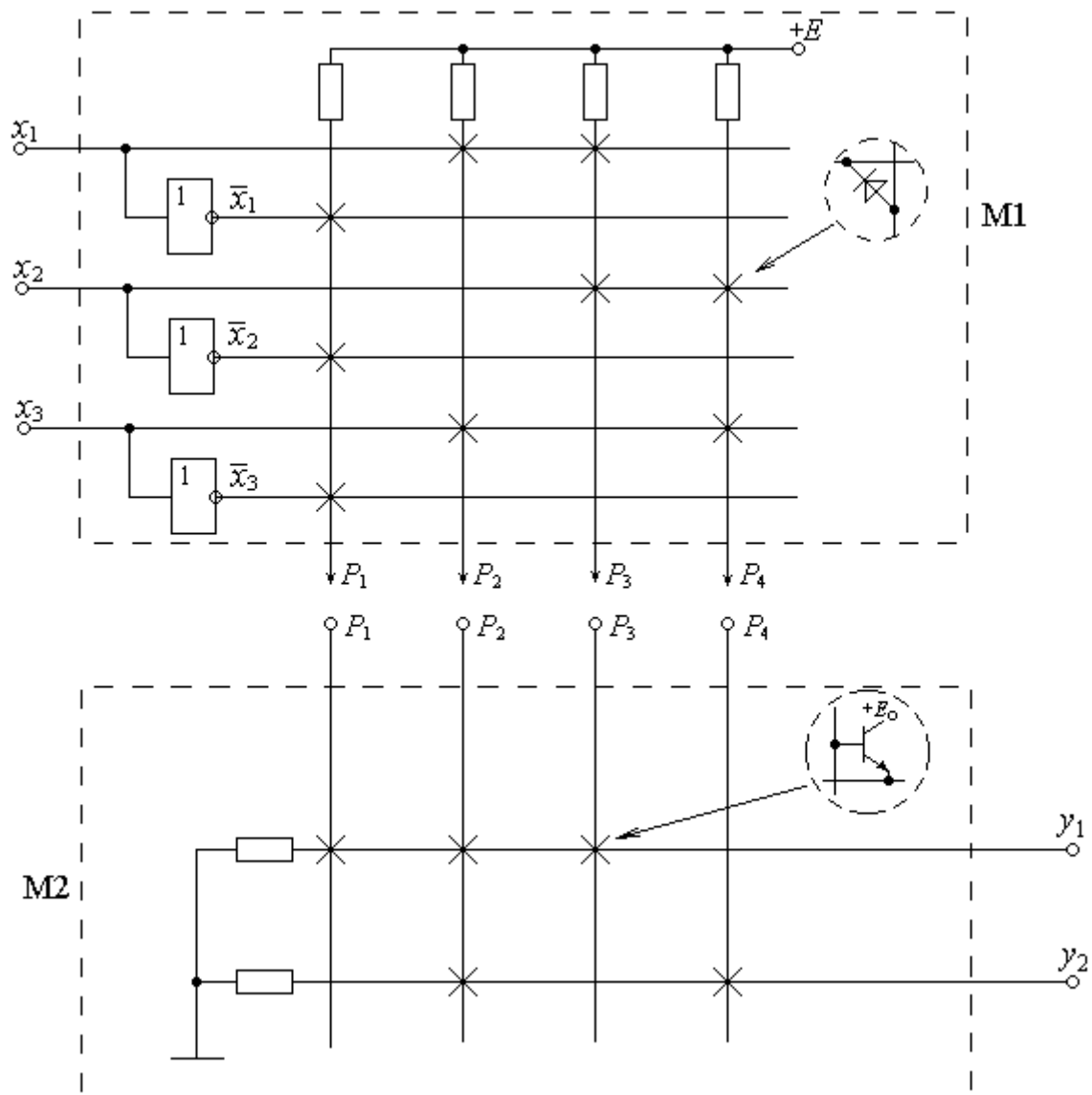


Рисунок 11.8 – Програмована логічна матриця: M1 – матриця кон’юнкції; M2 – матриця диз’юнкції

Низький рівень лінії  $\bar{x}_i$  відкриє “свій” діод і практично весь струм вертикальної шини потече через горизонтальну лінію, залишаючи вертикальну шину без струму, що рівнозначно логічному нулю.

Зберегти високий рівень логічної одиниці на вертикальній шині  $P_N$  можна лише тоді, коли всі діоди на цій лінії будуть закриті, що можливо тільки при високих рівнях логічної одиниці на всіх горизонтальних лініях, до яких підключена вертикальна шина  $P_N$ .

Таким чином, на вертикальній лінії  $P_N$  реалізується кон’юнкція змінних. Матриця кон’юнкцій M1 має перемички в місцях, позначених хрестиками, і реалізує функції кон’юнкції за формулами:



$$\begin{aligned}
P_1 &= \bar{x}_1 \bar{x}_2 \bar{x}_3; \\
P_2 &= x_1 x_3; \\
P_3 &= x_1 x_2; \\
P_4 &= x_2 x_3.
\end{aligned}
\tag{11.6}$$

Матриця М2 має чотири вертикальні  $P_1 \dots P_4$  шини і дві горизонтальні. Спосіб включення транзисторів у перетинах шин дозволяє реалізувати на будь-якому з її виходів будь-яку диз'юнкцію (функцію АБО) вхідних змінних. У матриці М2 вхідними є вертикальні шини, а вихідними – горизонтальні, на якій показаний приклад реалізації елементарних диз'юнкцій, що описується математичним виразом

$$\begin{aligned}
y_1 &= P_1 + P_2 + P_3; \\
y_2 &= P_2 + P_4.
\end{aligned}
\tag{11.7}$$

Дійсно, на матриці диз'юнкцій М2 транзистор на позначеному хрестиком перетині ортогональних ліній буде відкритим лише за наявності струму у вертикальній лінії, а за відсутності струму – закритий. Для матриці М2 характерно те, що на її горизонтальній лінії досить хоча б одного відкритого транзистора, щоб на виході  $y_j$  був високий рівень логічної одиниці. Тільки відсутність струмів на всіх горизонтальних лініях забезпечує на ній логічний нуль, що відповідає операції диз'юнкції.

Отже, в наведеному прикладі ПЛМ (рис. 11.7) реалізується функція, яка описується формулами (11.7).

Якщо з'єднати обидві матриці М1 та М2, як показано на рис. 11.7, то отримана схема буде реалізувати систему булевих функцій

$$\begin{aligned}
y_1 &= P_1 + P_2 + P_3 = \bar{x}_1 \bar{x}_2 \bar{x}_3 + x_1 x_3 + x_1 x_2; \\
y_2 &= P_2 + P_4 = x_1 x_3 + x_2 x_3.
\end{aligned}
\tag{11.8}$$

Побудова схем з матричною структурою зводиться до визначення точок перетину шин, де повинні бути включені напівпровідникові прилади.

Відповідним чином будь-яка система булевих функцій  $y_1, \dots, y_N$  вхідних змінних  $x_1, \dots, x_L$  може бути реалізована дворівневою матричною схемою, на першому рівні якої утворюються різні елементарні кон'юнкції  $P_1, \dots, P_B$ , а на другому – диз'юнкції  $y_1, \dots, y_N$  відповідних кон'юнкцій. В результаті побудова схеми з матричною структурою зводиться до визначення точок перетину шин, де повинні бути включені діоди або транзистори.

На рис. 11.9 показана дворівнева ПЛМ, яка складається з двох матриць: М1 та М2.

Матриця М1 має  $S$  входів і  $q$  виходів. Вона дозволяє реалізувати  $q$  елементарних кон'юнкцій  $P_1, \dots, P_q$  змінних  $x_1, \dots, x_S$ , які надходять на її входи.

Матриця М2 має  $q$  входів і  $t$  виходів. Вона дозволяє реалізувати  $t$  елементарних диз'юнкцій  $y_1, \dots, y_t$  змінних  $P_1, \dots, P_q$ , які надходять на її входи з виходів матриці М1.

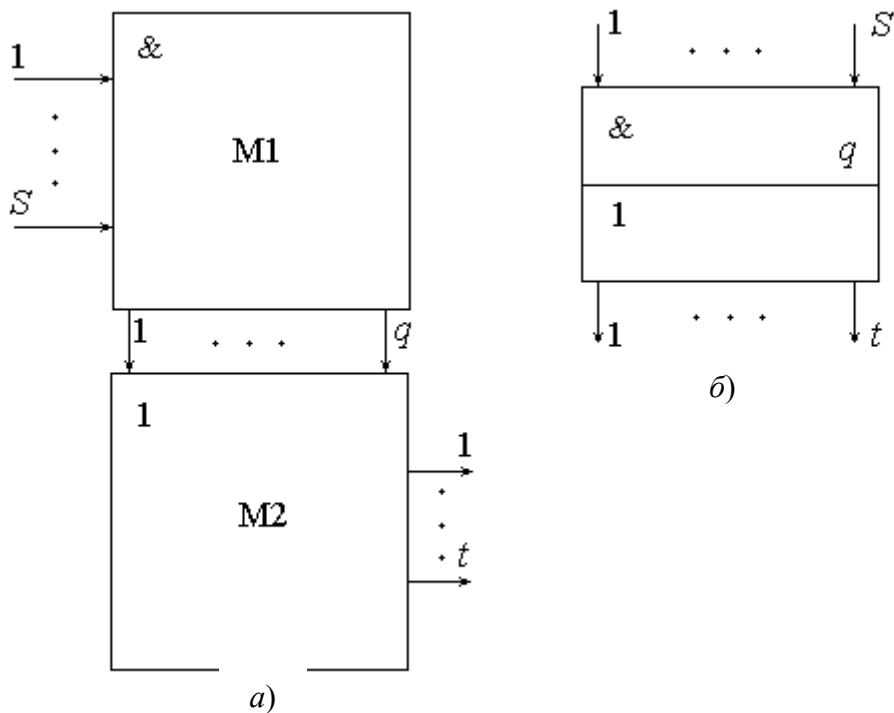


Рисунок 11.9 – Дворівнева ПЛМ: а) схема; б) умовне позначення

Виходи матриці M1 з'єднані з входами матриці M2 й утворюють проміжні шини 1– $q$  ПЛМ. ПЛМ, що має  $S$  входів,  $t$  та  $q$  проміжних шин називається ПЛМ ( $S, t, q$ ).

Подальша робота направлена на збільшення ефективності використання площі матриць ПЛМ. Завдяки значним успіхам інтегральної технології з'явилася можливість реалізації ВІС з “жорсткою” та “гнучкою” структурами. Особливий практичний інтерес виявляється до програмуваних гнучких структур. Серед них розрізняють ВІС, які придатні до програмування на етапі виготовлення, і ВІС, які можуть бути програмовані користувачем.

Перші з них – це мікросхеми, які називають незавершеними логічними матрицями. Програмують на виробництві на стадії занесення програми в матриці в процесі її виготовлення шляхом металізації ділянок матриці через спеціальну маску-шаблон. Після виготовлення інтегральної схеми з використанням маскових технологій перепрограмування неможливе.

Другі ПЛМ поділяють на дві групи: ВІС, які можуть бути одноразово запрограмовані замовником або користувачем – це прості програмовані логічні матриці, а ВІС з багаторазовим перепрограмуванням – це перепрограмовані логічні матриці.

Більш зручними є перепрограмовані логічні матриці (ППЛМ). Це стандартні готові мікросхеми – напівфабрикати, в яких активні елементи на початковій стадії включені на всіх перетинах матриць через ніхромові перемички. Такі ВІС програмують самі користувачі за допомогою спеціальних програматорів шляхом електродного випалювання перемичок імпульсом струму.

На базі ПЛМ можна будувати комбінаційні цифрові пристрої з досить простими принципами. Розглянемо кілька прикладів.

*Приклад 1. Дешифратор 2...4 на ПЛМ.*

Як зазначалося у п. 11.3, роботу дешифратора 2...4 описує система рівнянь (11.2). Перетворимо вказану систему рівнянь (11.2) у систему рівнянь (11.9), що реалізує ПЛМ,

$$\begin{aligned} y_0 &= P_0 = \bar{x}_1 \cdot \bar{x}_0; \\ y_1 &= P_1 = \bar{x}_1 \cdot x_0; \\ y_2 &= P_2 = x_1 \cdot \bar{x}_0; \\ y_3 &= P_3 = x_1 \cdot x_0. \end{aligned} \quad (11.9)$$

З системи рівнянь (11.9) виходить, що дворівнева ПЛМ, на якій необхідно побудувати *дешифратор 2...4*, повинна мати: матрицю кон'юнкцій М1 – *чотири рядки* (за числом вхідних сигналів та їх інверсій); *чотири стовпці* (за числом терм); матрицю диз'юнкцій М2 – *чотири рядки* (за числом вихідних сигналів), *чотири стовпці* (за числом терм).

Схема дешифратора 2...4 показана на рис. 11.10.

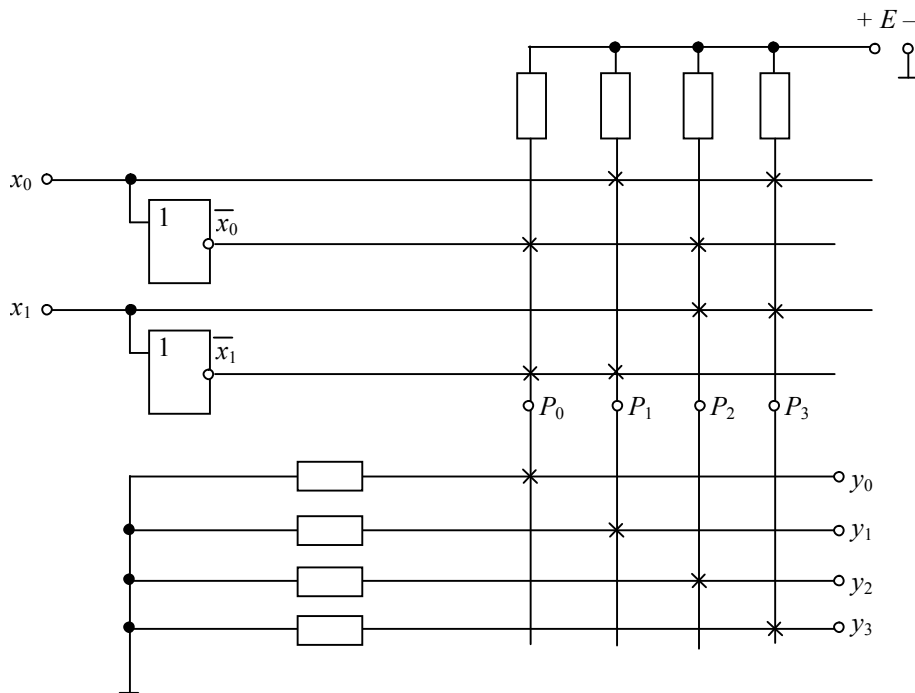


Рисунок 11.10 – Схема дешифратора 2...4 на ПЛМ

Отже, схема ПЛМ на рис. 11.10 виконує роботу дешифратора 2...4.

*Приклад 2. Мультимплексор 4...1 на ПЛМ.*

Як зазначалось у п. 11.4, роботу мультимплексора 4...1 описує формула (11.2). Перетворимо вказану формулу (11.2) у формулу (11.10), що реалізує ПЛМ,

$$y = P_1 + P_2 + P_3 + P_4 = E \cdot x_0 \cdot \bar{a}_1 \cdot \bar{a}_0 + E \cdot x_1 \cdot \bar{a}_1 \cdot a_0 + E \cdot x_2 \cdot a_1 \cdot \bar{a}_0 + E \cdot x_3 \cdot a_1 \cdot a_0, \quad (11.10)$$

З формули (11.10) виходить, що дворівнева ПЛМ, на якій необхідно побудувати *мультимплексор 4...1*, повинна мати: матрицю кон'юнкцій М1 – *дев'ять рядків* (*чотири* за числом вхідних даних, *чотири* за числом даних адреси та їх інверсій, *одну* для керуючого входу), *чотири стовпці* (за числом терм);

матрицю диз'юнкцій  $M_2$  – один рядок (за числом вихідного сигналу), чотири стовпці (за числом терм).

Схема мультимплектора 4...1 показана на рис. 11.11.

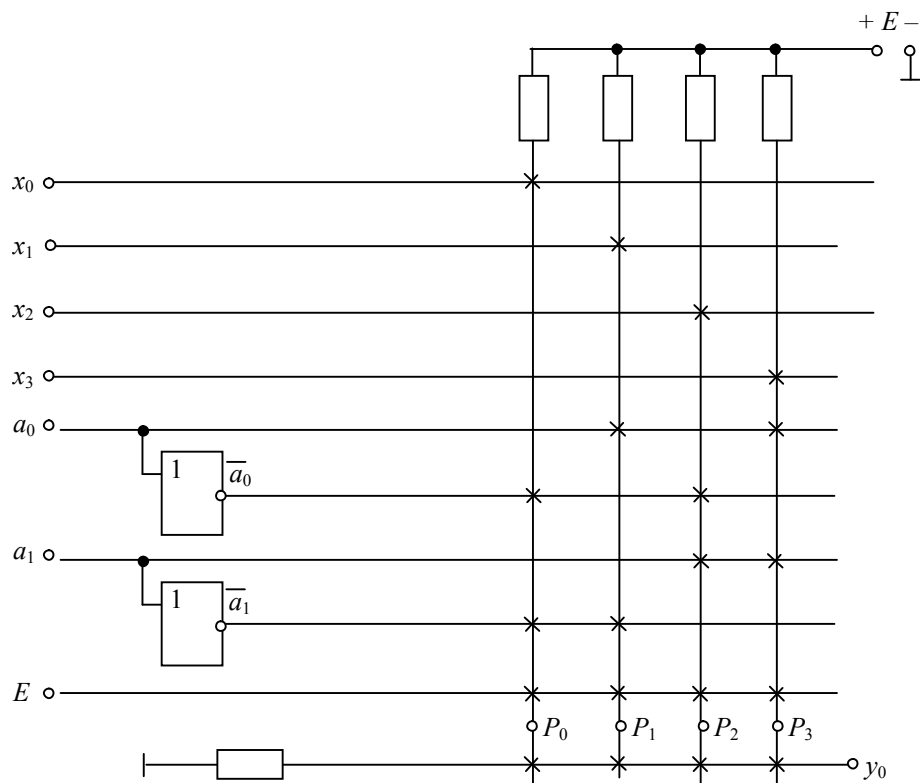


Рисунок 11.11 – Схема мультимплектора 4...1 на ПЛМ

Отже, схема ПЛМ на рис. 11.11 виконує роботу мультимплектора 4...1.

## 11.7. Цифрові компаратори

**Цифрові компаратори** – це пристрої, що призначені для порівняння двох чисел.

Розглянемо два цілих двійкових числа  $A$  і  $B$ . При їхньому порівнянні можуть бути три варіанти:  $A = B$ ;  $A > B$  і  $A < B$ .

*Перший випадок* ( $A = B$ ) реалізується в найпростіших компараторах, які іноді носять назву нуль-органів. Такий компаратор виявляє лише факт рівності або нерівності двох поданих на його вхід чисел  $A$  і  $B$  і формує на виході сигнал рівності (логічну одиницю), або нерівності – логічний нуль. Функцію, яку реалізує компаратор у цьому випадку можна визначити формулою

$$y(A = B) = \begin{cases} 1, & \text{коли } A = B, \\ 0, & \text{коли } A \neq B. \end{cases} \quad (11.11)$$

Числа  $A$  і  $B$  можуть мати  $n$  розрядів і подаватися відповідно значенням змінних  $a_1, \dots, a_n$  та  $b_1, \dots, b_n$ . Компаратор рівності порівнює окремі розряди за формулою (11.12), яка записана для варіанта  $n = 2$

$$y(A=B) = \bar{a}_1\bar{a}_2\bar{b}_1\bar{b}_2 \vee \bar{a}_1a_2\bar{b}_1b_2 \vee a_1\bar{a}_2b_1\bar{b}_2 \vee a_1a_2b_1b_2. \quad (11.12)$$

Найпростіший компаратор рівності реалізується за допомогою логічних схем “Виняткове АБО”-НЕ (елементи  $D1$  і  $D2$ ) та багатовхідного кон’юнктора  $D3$  (рис. 11.12).

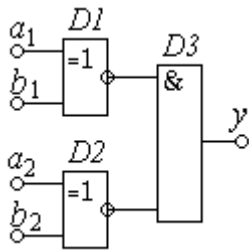


Рисунок 11.12 – Компаратор рівності двох дво-розрядних чисел

На виході  $D1$  і  $D2$  рівень логічної одиниці з’являється тоді, коли  $a_1 = b_1$  та  $a_2 = b_2$ , незалежно від порівняння логічних одиниць або логічних нулів.

Тому на виході  $y$  компаратора логічна одиниця присутня лише у випадку, коли набули рівності обидва розряди двійкових чисел  $A$  і  $B$ .

Функціонування схеми (рис. 11.12) пояснюється таблицею станів (табл. 11.6).

Таблиця 11.6 – Стани компаратора рівності

Входи				Вихід
$a_1$	$a_2$	$b_1$	$b_2$	$y$
0	0	0	0	1
0	0	0	1	0
0	0	1	0	0
0	0	1	1	0
0	1	0	0	0
0	1	0	1	1
0	1	1	0	0
0	1	1	1	0
1	0	0	0	0
1	0	0	1	0
1	0	1	0	1
1	0	1	1	0
1	1	0	0	0
1	1	0	1	0
1	1	1	0	0
1	1	1	1	1

У другому випадку компаратори можуть відрізняти не тільки рівність чисел  $A$  і  $B$ , але й нерівність, коли  $A > B$  або  $A < B$ . Такі компаратори будуються за більш складною схемою.

Вони визначають стани нерівностей і описуються системою нерівностей

$$y_1 = \begin{cases} 1, & \text{коли } A < B; \\ 0, & \text{коли } A \geq B; \end{cases} \quad (11.13)$$

$$y_2 = \begin{cases} 1, & \text{коли } A > B; \\ 0, & \text{коли } A \leq B. \end{cases}$$

Нерівнісні компаратори мають два виходи:  $y_1$  та  $y_2$ . Рівень логічної одиниці з’являється на виході  $y_1$  при  $A < B$ , а на виході  $y_2$  – при  $A > B$ .

Промисловість випускає цифрові повні багаторозрядні компаратори, які мають і вихід рівності  $A = B$ , і виходи нерівностей  $A < B$  та  $A > B$ .

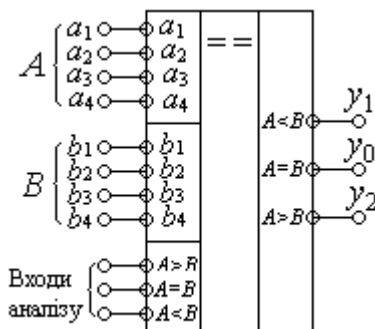


Рисунок 11.13 – Умовне позначення повного компаратора

Умовне позначення такого компаратора наведено на рис. 11.13. Входи аналізу призначені для каскадування компараторів, тобто для збільшення розрядності. При каскадному з’єднанні компараторів входи аналізу з’єднуються з однаковими виходами попереднього компаратора.

## 11.8. Цифрові суматори

**Цифровий суматор** – це пристрій, який виконує операції арифметичного додавання двійкових чисел.

Суматор є одним із основних вузлів арифметично-логічних пристроїв (АЛП) мікропроцесорів. Суматор використовується також для віднімання, множення, ділення та низки інших арифметичних операцій.

Підсумовування багаторозрядних чисел провадиться шляхом їхнього порозрядного додавання з перенесенням між розрядами.

Розглянемо операцію арифметичного додавання двох дворозрядних двоїчних чисел  $a$  і  $b$ , сума яких також має один розряд. Алгоритм додавання пояснює таблиця істинності табл. 11.7.

У графі  $S$  надані значення результату додавання (суми), а в графі  $P$  – значення перенесення у старший розряд, якщо обидва доданки дорівнюють 1.

Слід звернути увагу, що арифметичне додавання відрізняється від логічного додавання.

Згідно з табл. 11.7, запишимо систему функцій алгебри логіки, які описують алгоритм операції арифметичного додавання:

- 1) функція суми  $S$  реалізується логічним елементом “винятково АБО”

$$S = a \oplus b = \bar{a} \cdot b + a \cdot \bar{b};$$

- 2) функція перенесення  $P$  реалізується логічним елементом 2І

$$P = a \cdot b.$$

На рис. 11.14 показана схема однорозрядного двійкового напівсуматора та його умовне позначення, тому що в ньому немає перенесення із попереднього розряду.

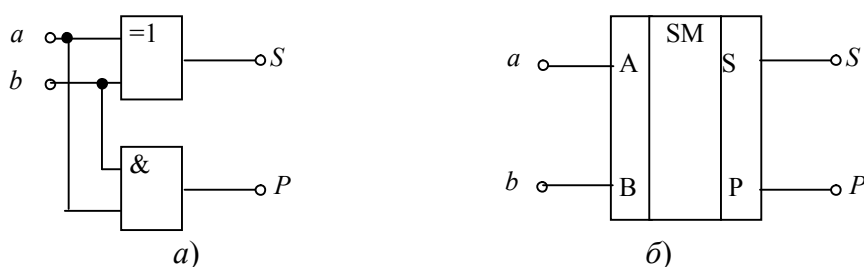


Рисунок 11.14 – Однорозрядний двійковий полусуматор: а) схема; б) умовне позначення

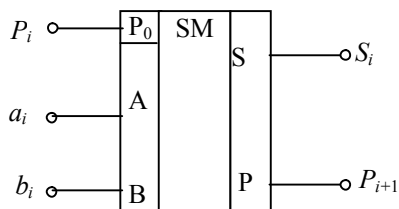


Рисунок 11.15 – Умовне позначення однорозрядного двійкового суматора

Два однорозрядних напівсуматори складають однорозрядний двійковий суматор, умовне позначення якого показано на рис. 11.15.

Однорозрядний суматор має три входи:  $A$ ,  $B$ ,  $P_0$  для надання розрядів доданків  $a_i$ ,  $b_i$  та перенесення із молодшого розряду  $P_i$ . На виходах  $S$ ,  $P$  утворюються сума  $S_i$  і перенесення у старший розряд  $P_{i+1}$ .

Таблиця істинності однорозрядного двійкового суматора надана табл. 11.8.

Таблиця 11.8 – Таблиця істинності однорозрядного двійкового суматора

Входи			Виходи	
доданки		перенесення	сума	перенесення
$a_i$	$b_i$	$P_i$	$S_i$	$P_{i+1}$
0	0	0	0	0
0	1	0	1	0
1	0	0	1	0
1	1	0	0	1
0	0	1	1	0
0	1	1	0	1
1	0	1	0	1
1	1	1	1	1

На основі однорозрядних суматорів будуються багаторозрядні двійкові суматори, схема та умовне позначення якого показані на рис. 11.16.

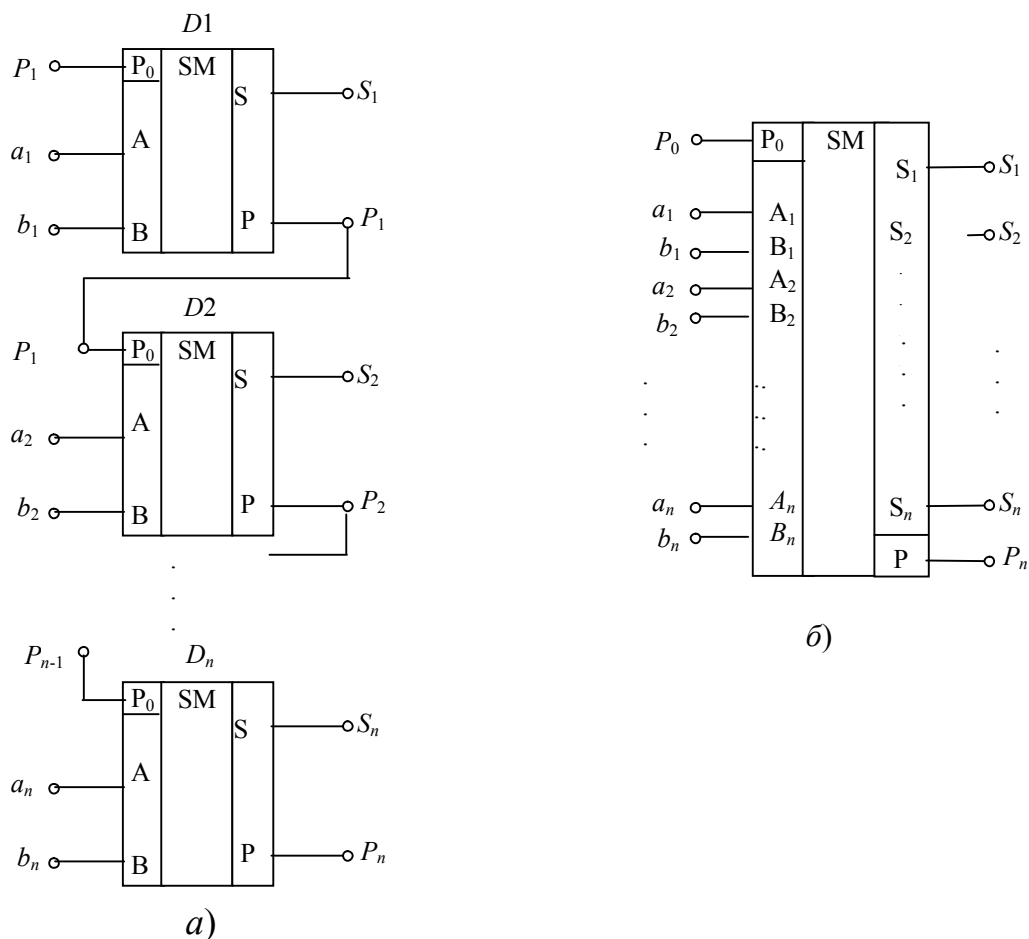


Рисунок 11.16 – Багаторозрядний двійковий суматор: а) схема; б) умовне позначення

## 11.9. Особливості роботи комбінаційних пристроїв

Однією з особливостей роботи комбінаційних пристроїв є затримка ними вихідних сигналів відносно вхідних.

Дійсно, кожний логічний елемент, з яких складається будь-яка схема пристрою, має власну скінчену затримку. Тому сигнали на виході комбінаційного пристрою з'являються тільки через певний інтервал часу після подачі сигналів на вхід.

На рис. 11.17 показана часова діаграма роботи інвертора, з якої видно, що вихідний сигнал  $U_{\text{вих}}$  зазнає часової затримки  $t_3$ .

Через неї перш за все знижується швидкодія, бо тривалість вихідного сигналу більше за вхідний:  $t_{\text{вих}} > t_{\text{вх}}$ , а по-друге, – створюються хибні сигнали.

Поява хибних сигналів з'ясовується наступним чином. Якщо на входи комбінаційного пристрою подаються одночасно кілька сигналів, то внаслідок часових затримок утворюються логічні змагання або “гонки”. На виході такого комбінаційного пристрою можуть з'являтися нерегламентовані сигнали. Хоча ці сигнали, як правило, короточасні, поява їх на виході призводить до збою працездатності схем, підключених до виходу цих приладів, наприклад, тригера, який зафіксує новий стан від хибного сигналу.

На рис. 11.18 показані часові діаграми роботи логічної схеми 2І без затримки сигналів (рис. 11.18,а) та із затримкою (рис. 11.18,б).

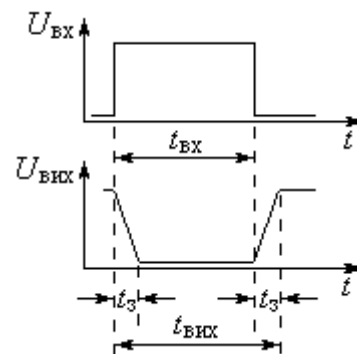


Рисунок 11.17 – Вхідний та вихідний сигнали інвертора

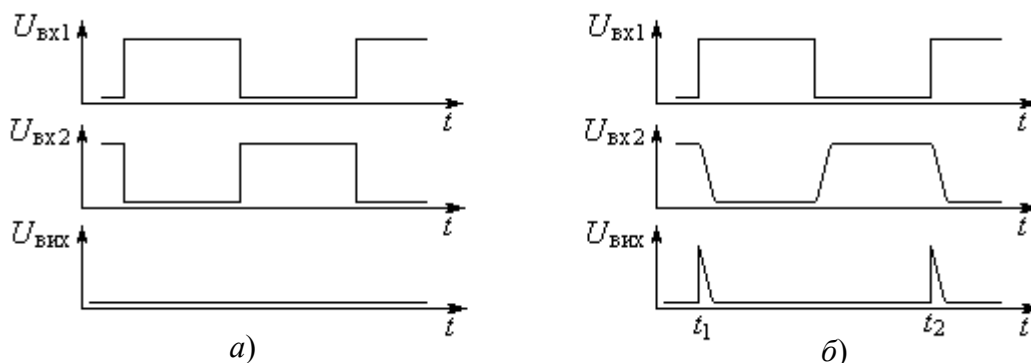


Рис. 11.18 – Часова діаграма логічної схеми 2І:  
а) без часової затримки; б) із часовою затримкою

З діаграми видно, що коли сигнали позбавлені часової затримки (рис. 11.18,а), то добуток цих сигналів  $U_{\text{вих}} = U_{\text{вх1}} * U_{\text{вх2}} = 0$ , тобто вихідний рівень завжди нульовий.

Коли ж один із сигналів  $U_{\text{вх2}}$  зазнав часової затримки (рис. 11.18,б), то виникають так звані логічні змагання або “гонки”.

Через це на виході замість нульового рівня в моменти  $t_1$  та  $t_2$  з'являються короточасні хибні сигнали, які називаються голками.

“Голки” вважаються найбільш небезпечними для працездатності асинхронних цифрових пристроїв. Позбутися цих завад можна різноманітними способами



### **Контрольні питання**

1. Що таке шифратор?
2. Що таке дешифратор?
3. Які шифратори (дешифратори) називаються повними, а які – неповними?
4. Що таке мультиплексор?
5. Що таке демультиплексор?
6. Що таке програмовані логічні матриці ПЛМ?
7. Що таке дворівнева ПЛМ?
8. Що таке цифровий компаратор?
9. Що таке цифровий суматор?
10. Особливості роботи комбінаційних пристроїв.

## Розділ 12. ЗАПАМ'ЯТОВУВАЛЬНІ ПРИСТРОЇ

### 12.1. Класифікація запам'ятовувальних пристроїв

Для зберігання малих масивів кодових слів можуть використовуватися регістри пам'яті. Проте за необхідності зберігання навіть десятка слів застосування регістрів призводить до невиправдано значних апаратних витрат. Тому для запам'ятовування великих масивів даних побудовані спеціальні мікросхеми, які здатні зберігати інформацію обсягом до тисяч біт. Такі мікросхеми називаються *запам'ятовувальними пристроями* (ЗП) і служать для *фіксування* (запису), *зберігання* та *зчитування* (обміну) інформації.

Основою будь-якого ЗП є *комірка пам'яті*, що здатна запам'ятовувати один біт інформації, тобто один двійковий розряд. Найчастіше коміркою пам'яті є тригер. Такі ЗП належать до *статичних* ЗП. Записана інформація, тобто стан тригера не руйнується з часом експлуатації, а змінюється лише при наданні зовнішніх керуючих сигналів.

ЗП будують, як правило, за матричним принципом. На відміну від ПЛМ, на перетинах шин включають запам'ятовувальні комірки.

За функціональною ознакою інтегральні ЗП розподіляють на два класи: оперативні та постійні.

*Оперативні запам'ятовувальні пристрої* (ОЗП) призначені для тимчасового зберігання двійкової інформації. ОЗП виконують операції запису й зчитування за наявності напруги живлення. Зберігання інформації може воно здійснюється як під дією напруги живлення, так і енергонезалежно.

*Постійні запам'ятовувальні пристрої* (ПЗП) призначені для зберігання та зчитування записаної інформації. Зміст запису в ПЗП не змінюється під час експлуатації і за відсутності напруги живлення не руйнується. ПЗП бувають двох типів: *одноразового запису* та такі, що допускають *поновлення* занесеної інформації *декілька разів*. Цей процес реалізують за допомогою спеціальних пристроїв – програматорів.

За способом звернення ЗП класифікують на *адресні* та *безадресні*.

*Адресні ЗП* мають спеціальні адресні входи і можуть бути з *довільним* або з *послідовним* звертаннями. У перших пошук інформації здійснюється шляхом безпосереднього звернення до перетину шин, адрес яких задається двійковим числом. У других – за допомогою послідовної вибірки при збільшенні або при зменшенні адресного числа.

У *безадресних ЗП* звернення виконується незалежно від координат запам'ятовувачів, тобто не за адресою, а за певними ознаками самої інформації, що міститься в запам'ятовувачі.

### 12.2. Параметри запам'ятовувальних пристроїв (ЗП)

Основні параметри ЗП залежать від технології виготовлення і визначаються так само, як і для інших мікросхем. Це наступні параметри: навантажу-

вальна здатність, споживана потужність, завадостійкість, числова величина логічних рівнів, місткість і швидкодія.

Кількість інформації, що може зберігатися у ЗП, визначає його *місткість*. Складаються ЗП з декілька комірок пам'яті  $N$ , кожна з яких може зберігати слово з визначеним числом розрядів  $n$ . Місткість задається або добутком числа запам'ятовувачів  $N$  на розрядність  $n$  слів:  $M = N * n$ , або у розкритій формі  $M$ . Наприклад, для першого випадку позначення ЗП у формі  $32 * 8$  біт визначає, що ЗП здатний зберігати 32 слова по 8 розрядів, тобто 32 байти або 256 біт. Для другого випадку місткість ЗП позначається лише у вигляді 32 байтів або 256 біт, не розкриваючи при цьому кількість слів та кількість розрядів.

*Швидкодія ЗП* характеризується часом повного циклу звернення і часом вибірки або часом доступу до пам'яті. Період звернення – це мінімально припустимий час між двома черговими зверненнями до ЗП. Цей параметр залежить від характеристики і властивостей ЗП відновлюватися після попереднього звернення до нього.

*Час вибірки* – це інтервал часу між моментом подачі сигналу вибірки до появи інформації на виході ЗП. Для ВІС ЗП час вибірки наближається до піко-секундного діапазону.

Кожна мікросхема ЗП характеризується *потужністю споживання*, набором *напруг живлення*, типом корпусу. Мікросхеми ПЗП мають додаткові параметри: *часову тривалість зберігання* інформації, по закінченню якої інформація може самовільно змінитися, та максимальну кількість циклів перезапису, після чого мікросхема визначається нездатною до використання.

### 12.3. Оперативні запам'ятовувальні пристрої (ОЗП)

**Оперативні запам'ятовувальні пристрої (ОЗП)** – це невіддільні елементи цифрових приладів, які використовуються для тимчасового зберігання інформації і без яких не може бути жодної ЕОМ.

ОЗП призначені для *запису, зберігання та зчитування інформації*. ОЗП поділяють на *статичні* й *динамічні*, в залежності від запам'ятовувальної комірки, що включається на перетинах шин. ОЗП виконують з використанням практично усіх відомих технологій: ТТЛ, ТТЛШ, ЕЗЛ, МОН, КМОН, І<sup>2</sup>Л.

#### **Статичні запам'ятовувачі ВІС ОЗП**

Роль *статичних запам'ятовувачів* у ВІС ОЗП відіграють двостанові комірки пам'яті – *тригери*. Фізичний стан тригерних структур під час звернення не руйнується. Вони крім зберігання одного біта інформації (1 або 0) дозволяють здійснювати операцію *запису (WR)* або *зчитування (RD)*.

Такі комірки пам'яті дозволяють будувати ВІС ОЗП, які є найбільш розповсюдженими в цифровій та мікропроцесорній техніці. Вони можуть застосовуватися як регістри оперативної та буферної пам'яті.

На рис. 12.1 показана схема статичного запам'ятовувача на тригері  $D3$ .

На схемі: ШП“ $I$ ” – шина запису даних;

ШП“ $O$ ” – шина зчитування даних;

$\overline{WR/RD}$  – шина запису-зчитування;  
 $\overline{SHA}$  – шина адреси.

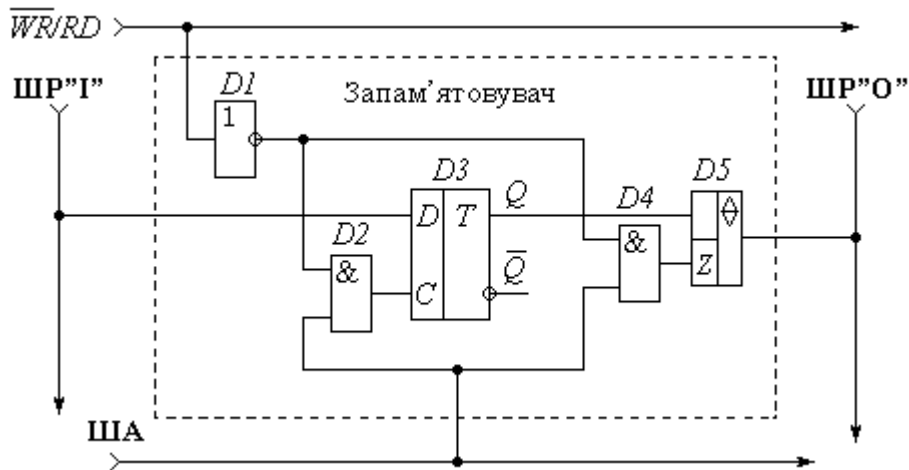


Рисунок 12.1 – Статичний запам'ятовувач

Запам'ятовувач працює в одному з трьох режимів: *запису* інформації, її *зберігання* та *зчитування*.

Інвертор  $D1$  та ключ  $D2$  керують режимом запису. Ключ  $D4$  через драйвер  $D5$  керує режимом зчитування.

Ці режими здійснюються наступним чином.

Запам'ятовувач *зберігає* інформацію при  $\overline{SHA} = 0$  за межами часу  $t_1$  та  $t_2$  (рис. 12.2), бо на виході ключа  $D2$ , тобто на вході синхронізації тригера  $C = 0$ , через що запис неможливий.

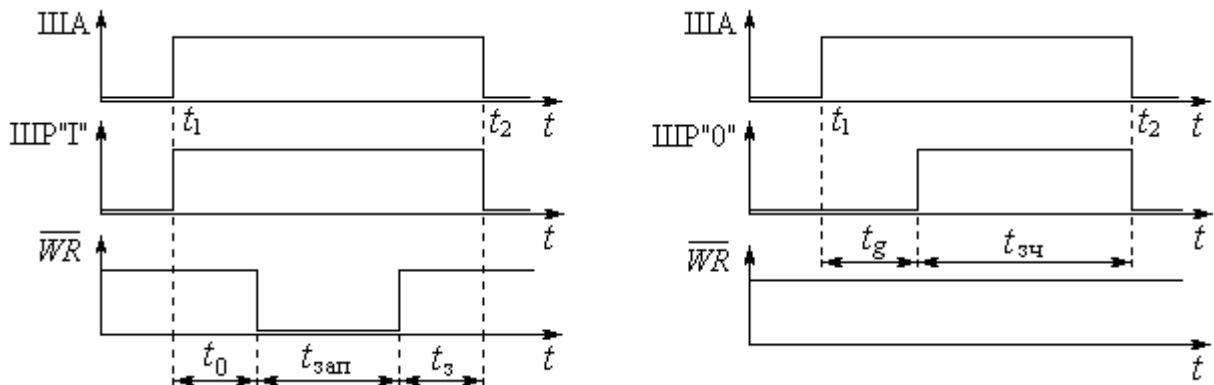


Рисунок 12.2 – Часова діаграма роботи запам'ятовувача:  
 а) в режимі запису; б) в режимі зчитування

Зчитування при  $\overline{SHA} = 0$  також неможливе, бо завдяки ключу  $D4$  вхід дозволу драйвера  $D6$  нульовий ( $Z = 0$ ), через що на виході  $D5$  високий опір, тобто розрядна шина вихідних даних ШП "О" від'єднується від прямого виходу  $Q$  тригера  $D3$ .

Так здійснюється *режим зберігання*.

Режими запису та зчитування досягаються при одиничному стані шини адреси ( $\overline{SHA} = 1$ ). При цьому через ключ  $D2$  дається дозвіл на запис, а через ін-

вертор  $D4$  – дозвіл на зчитування. Послідовність подачі сигналів у режимах запису та зчитування має бути такою, що показана на рис. 12.2.

*Запис* досягається в активному стані запам'ятовувача ( $ША = 1$ ) при  $\overline{WR} = 0$  протягом  $t_{\text{зап}}$ . За час  $t_0$  до запису треба виставити дані ШР “ $I$ ”. Протягом  $t_{\text{зап}}$  обидва входи ключа  $D2$  одиничні. Тому  $C = 1$  і саме тим стан розрядної шини вхідних даних ШР “ $I$ ” через вхід тригера  $D$  записується в тригер. Запис слід припинити за час затримки  $t_3$  до моменту  $t_2$ .

*Зчитування* досягається в активному стані запам'ятовувача ( $ША = 1$ ) при  $\overline{WR} = 1$ . Цей рівень треба встановити за час  $t_g$  до зчитування. При цьому ключ  $D2$  запирається, припиняючи запис, а обидва входи ключа  $D5$  нульові. Тому вхід дозволу  $Z = 0$  драйвера  $D6$  здійснює з'єднання прямого виходу  $Q$  тригера  $D3$  з розрядною шиною вихідних даних ШР “ $O$ ”.

### 12.3.1. Структура ВІС ОЗП

У структурі ВІС ОЗП запам'ятовувачі компонуються у прямокутну матрицю, яку називають накопичувачем ЗП. Кожний рядок накопичувача – це адресна шина, а стовпець – дві розрядні шини: шина запису ШР “ $I$ ” та шина зчитування ШР “ $O$ ”.

У кожному перетині матриці ставиться запам'ятовувач, який може зберігати один біт інформації. Запам'ятовувачі, що згруповані по горизонталях, здатні запам'ятовувати  $n$  біт (розрядів) одного слова, бо з'єднані однією адресою. Кількість слів, яку може запам'ятовувати матриця, визначається числом горизонтальних рядків.

Кожне слово вибирається шляхом ініціації відповідної адресної шини.

З метою мінімізації кількості адресних входів ОЗП інформація щодо адреси надходить у вигляді двійкового числа і подається на дешифратор адреси, який входить до складу ОЗП. На виході дешифратора адреси ініціюється тільки одна шина, яка вибирає для запису або зчитування лише один рядок, тобто одне слово.

Матриця  $N$  слів, кожне з яких має розрядність  $n$ , визначається основним вузлом ЗП, який називають *накопичувачем інформації*. Залежно від способу звернення ( $\overline{WR}/RD$ ) до запам'ятовувачів розрізняють два найбільш поширених типи організації накопичувачів:

- з однокоординатною або послівною вибіркою;
- з двокоординатною вибіркою.

*Накопичувач з однокоординатною або послівною вибіркою* характеризується тим, що має лише одну координату звернення до запам'ятовувачів, а саме – номер *рядка* накопичувача і тому має лише один дешифратор адреси.

*Накопичувач з двокоординатною вибіркою* має дві адресні шини: горизонтальні по рядках (ШАХ) і вертикальні по стовпцях (ШАУ).

Структурна схема накопичувача з однокоординатною вибіркою показана на рис. 12.3.

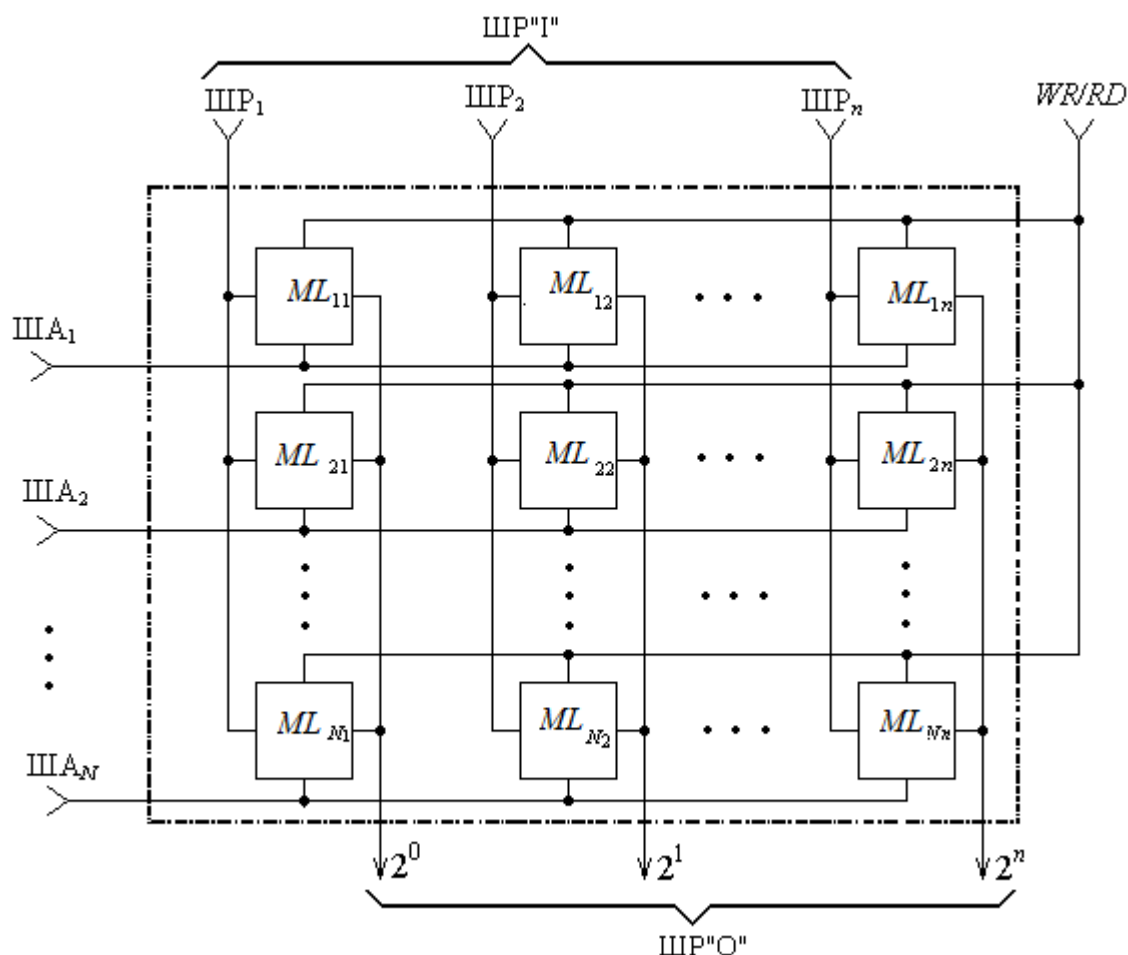


Рисунок 12.3 – Схема ОЗП з однокоординатною вибіркою

ОЗП має число  $N * n$  запам'ятовувальних елементів  $ML_{Nn}$ , які розміщені по  $N$  рядках та  $n$  стовпцях (англ. *ML-memory location* – комірка пам'яті). Кожний рядок утворює слово з номером  $i$ . При однокоординатній вибірці пошук кожного слова з номером  $i$  здійснюється відповідною однією шиною адреси  $ША_i$ , бо ОЗП має шини адреси  $ША_1, ША_2, \dots, ША_i, \dots, ША_N$ , що з'єднані відповідно з кожним запам'ятовувачем  $ML_{ij}$  однойменного  $i$ -го слова.

Розрядні вхідні шини  $ШП_j$  з'єднують входи запису кожного розряду усіх  $N$  слів. Вихідними є шини  $2^0, 2^1, \dots, 2^n$ , які з'єднують виходи зчитування кожного розряду усіх  $N$  слів. Для усіх  $N * n$  запам'ятовувачів  $ML_{ij}$  існує загальна шина звернення  $\overline{WR}/RD$ , сигнал на якій визначає режим запису або зчитування.

Схема працює наступним чином.

Сигнал вибірки адреси в кожний момент часу може з'явитися лише на одній з адресних шин  $ША_i$ .

Запис або зчитування відбувається за наявності на вході  $\overline{WR}/RD$  необхідного рівня (1 або 0). Зчитування  $RD$  (англ. *Read* – читання) виконується при надходженні сигналу одиничного рівня, а запис  $WR$  (англ. *Writ* – писати), коли на шині устанавлюється нульовий рівень.

Для запису слова в комірку запам'ятовувача  $ML_{ij}$  слід активізувати  $i$ -й рядок накопичувача, тобто адресну шину  $ША_i$ , а на шину  $\overline{WR}/RD$  подати сигнал

дозволу на запис інформації (лог.0), через що всі шини  $\text{ШР}_1, \text{ШР}_2, \dots, \text{ШР}_n$  будуть підключені до входів запису  $i$ -го рядка.

Для зчитування слова з комірки запам'ятовувача  $ML_{ij}$  слід активізувати  $i$ -й рядок накопичувача, тобто адресну шину  $\text{ША}_i$ , а на шину  $\overline{\text{WR}}/\text{RD}$  подати сигнал дозволу на зчитування інформації (лог.1), через що на всіх шинах  $2^0, 2^1, \dots, 2^{n-1}$  установляться відповідні значення логічного нуля або логічної одиниці зчитаного  $i$ -го слова.

Розглянутий тип накопичувача інформації має лише одну координату звернення до запам'ятовувачів, а саме – номер рядка накопичувача і тому має лише один дешифратор адреси. Такий накопичувач з однокоординатною вибіркою називають ще двовимірним (типу  $2D$ ), бо запам'ятовувачі в ньому розміщені на площині.

Типова структурна схема ВІС ОЗП з однокоординатною вибіркою показана на рис. 12.4.

До складу ВІС ОЗП, крім основного вузла – накопичувача, входять регістр адреси  $RGA$ , дешифратор адресних шин  $DC$ , схема керування, пристрій запису даних  $DI$  і пристрій зчитування даних  $DO$ .

Інформаційні сигнали, які треба записувати, надходять по шині  $DI$ . Зчитування інформації відбувається за допомогою пристроїв, які комутуються до шин  $DO$ . Регістр адреси  $RGA$  може бути відсутнім. Тоді адресний вхід мікросхеми ВІС ОЗП безпосередньо зв'язаний з входом дешифратора  $DC$ .

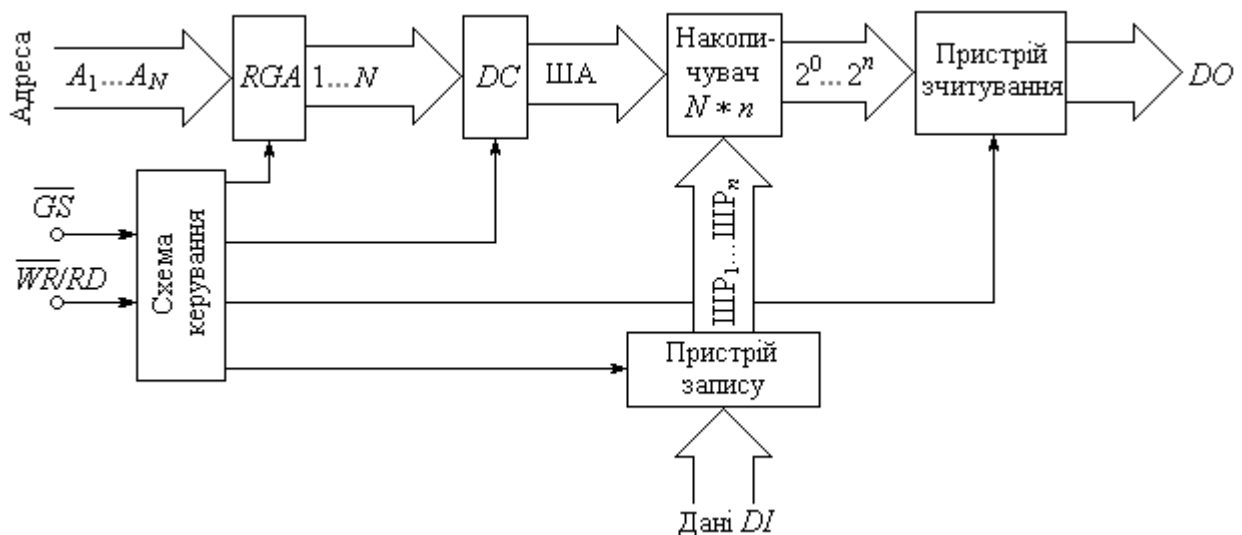


Рисунок 12.4 – Структурна схема ВІС ОЗП з однокоординатною вибіркою

Структурна схема ВІС ОЗП з двокоординатною вибіркою показана на рис. 12.5.

Обидві структурні схеми відрізняються лише наявністю одного (рис. 12.4) дешифратора адреси, або двох (рис. 12.5), що носять назви:  $DCX$  – дешифратор адресних шин строк  $\text{ШАХ}$ ;  $DCY$  – дешифратор адресних шин стовпців  $\text{ШАУ}$ .

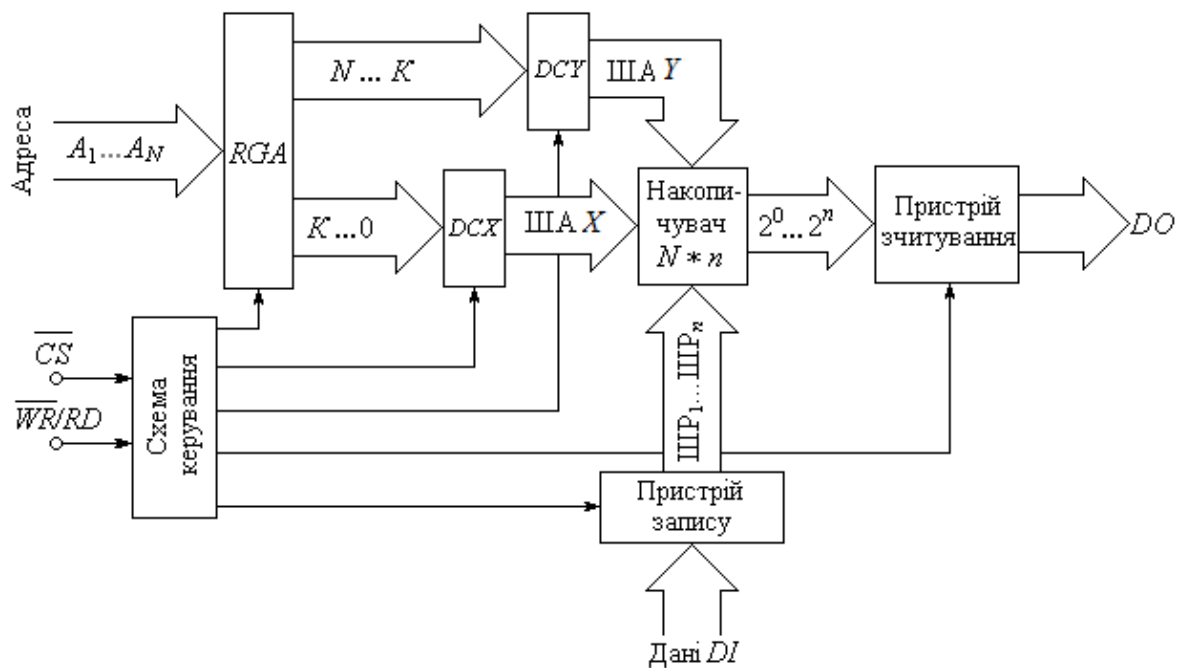


Рисунок 12.5 – Структурна схема ВІС ОЗП з двокоординатною вибіркою

Для запису слова у запам'ятовувач за адресою  $x_i, y_j$  на вході адресних дешифраторів ШАУ і ШАХ (рис. 12.5) подаються відповідні адреси.

Інформаційне двійкове слово надходить на спільні розрядні шини ШП через пристрій запису, а зчитування записаного слова здійснюється через пристрій зчитування.

Структурна схема (рис. 12.5) має два керуючих входи: запис/зчитування  $\overline{WR}/RD$  та додатковий –  $\overline{CS}$ .

Керуючий вхід  $\overline{CS}$  (англ. *control signal*), що носить назву “вибір мікросхеми” – це вхід дозволу проходження сигналу.

Вхідні схеми ВІС ОЗП – це формувачі на логічних елементах, що забезпечують спраження накопичувача з вхідними зовнішніми пристроями за струмом та напругою.

Вихідні каскади ВІС ОЗП – це логічні елементи з відкритим колектором або тристанові буфери, які забезпечують каскадування ВІС у системах з шинною організацією передавання даних.

На рис. 12.6 показані умовні позначення статичних ВІС ОЗП з паралельними входами й виходами (рис. 12.6,а) та послідовним входом і виходом (рис. 12.6,б).

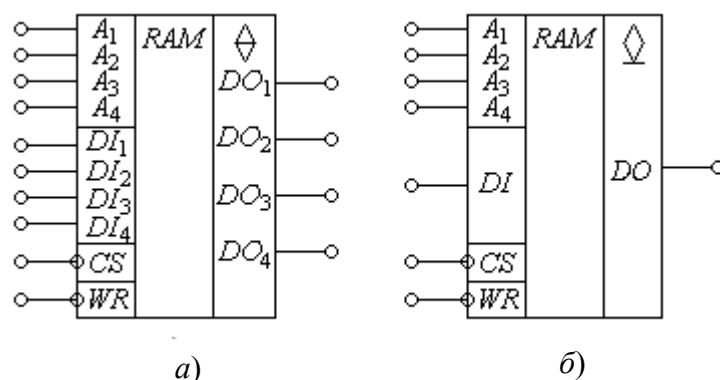


Рисунок 12.6 – Умовне позначення ВІС ОЗП: а) з паралельними входами і виходами; б) з послідовним входом і виходом



На рис.12.6 позначені: *RAM* (англ. *random-access memory*) – ОЗП; *A* (англ. *address*) – адреса; *OI* (англ. *digital input*) – вхід цифрових даних; *DO* (англ. *digital output*) – вихід цифрових даних. Мікросхема статичного чотири-розрядного ОЗП (рис. 12.6,а) має паралельні входи  $DI_j$  і виходи  $DO_j$  з тристанним буфером і з організацією пам'яті місткістю  $(16 * 4)$  біт, тобто 64 біт.

Мікросхема статичного чотирирозрядного ОЗП (рис. 12.6,б) має послідовні вхід  $DI$  і вихід  $DO$  даних з відкритим колектором.

### 12.3.2. Інформаційні та керуючі сигнали ВІС ОЗП

Обмін інформацією з ОЗП здійснюється по шинах або магістралях, які поділяються на три групи: шина даних, адресна шина, шина керуючих сигналів.

*Шина даних* – це набір сигнальних ліній, за допомогою яких передається паралельно двійкова інформація. Число ліній, що утворюють шину, визначають максимальну довжину числа, яке можна передавати в двійковій формі. Шини даних бувають 8-, 16- і 32-розрядні. Символами  $DI$  позначається шина запису даних, а  $DO$  – шина зчитування даних.

Шина даних може бути *двонаправленою*, тобто для взаємного обміну даними різні пристрої підключаються до єдиного проводу – шини, як показано на рис. 12.7.

По цій шині відбувається обмін інформацією між *робочими блоками* пристроїв. Робочий блок – це будь-який вузол, до якого надходять дані  $EI_1 \dots EI_N$ , наприклад, ОЗП.

Виходи робочих блоків через елементи І (&) з відкритим колектором підключені до числової шини  $D$ . До других входів елементів І (&) надходять керуючі сигнали (сигнали звернення)  $EO_1 \dots EO_N$ .

При  $EO_i = 0$  вихідний транзистор елемента & з відкритим колектором закритий і вихід блока від'єднується від шини. Якщо на керуючому вході  $EO_i$  присутня логічна одиниця, то вихідний сигнал відповідного  $i$ -го робочого блока пропускається на шину  $D$ .

У кожний відрізок часу одиничне значення сигналу  $EO_i = 1$  має подаватися лише на один пристрій. Якщо одиничні рівні  $EO_i = 1$  на керуючих входах змінювати по чергово, то на шині  $D$  вихідні сигнали пристроїв будуть відбиватися також по чергово.

Керуючі сигнали  $EI_1 \dots EI_N$  визначають режими приймання чи передавання. Завдяки цьому до шини  $D$  можна підключати не тільки виходи, а й входи робочих блоків з метою утворення *двонаправленого режиму роботи*.

Якщо на деякий час подати  $EO_i = 0$ , а  $EI_i = 1$ , то робочий блок буде

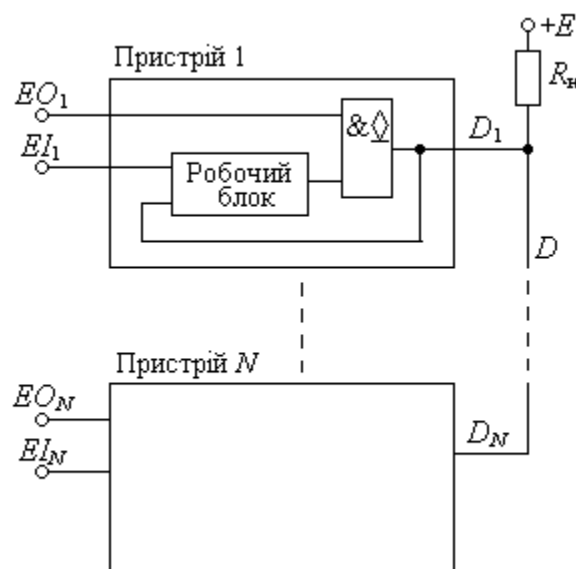


Рисунок 12.7 – Організація шини даних

приймати сигнали з шини. Якщо на один з пристроїв подавати сигнал  $EO_i = 1$ , а на інший  $EI_j = 1$ , то можна сигнал від  $i$ -го пристрою передавати на  $j$ -й пристрій, тобто виконувати за необхідності обмін даними між двома робочими блоками.

Одержану числову магістраль  $D$  на базі елементів з відкритим колектором називають *двонаправленою шиною*. Таке з'єднання елементів дозволяє зменшити кількість виводів пристроїв і кількість провідників магістралі.

Коли усі пристрої відключені від шини, тобто шина знаходиться у стані інформаційного нуля, то на ній утримується високий рівень напруги, завдяки джерелу  $+E$  та резистора  $R_n$ . Тоді обмін по шині з відкритим колектором здійснюється за правилами негативної логіки, коли активний рівень низький. Це забезпечує меншу споживану потужність у проміжках між операціями обміну.

Суттєвим недоліком таких шин є мала швидкодія та низька завадостійкість. Це пояснюється тим, що шини передавання інформації, як правило, довгі, мають значні паразитні ємності і тому, як наслідок, вони чутливі до завад. Крім того, активний вихід (навіть високоомний) незручний і досить шкідливий в тих випадках, коли потрібно вести обмін даними одночасно з кількома робочими блоками або вузлами, як це має місце у мікропроцесорній техніці.

Сумісну роботу декількох блоків на одній лінії інформаційної шини успішно забезпечує логічний елемент з трьома вихідними станами або тристановий драйвер, який був розроблений спеціально для використання в ролі вихідного буфера для підключення цифрових блоків до магістралі або шини. Буфери з трьома станами називають *шинними драйверами*.

*Адресна шина* – це група сигнальних ліній, за допомогою яких визначається прилад, в який чи з якого повинна бути передана або зчитана інформація. Кожне двійкове число, що подане на адресну шину, може визначити лише конкретну область пам'яті. Восьмирозрядні процесори мають 16 адресних ліній; 16-розрядні мають, як правило, 20-розрядні адресні шини. Адресні шини, звичайно, однонаправлені і позначаються символами  $A_i$ .

*Шина керуючих сигналів* – це набір сигнальних ліній. Склад таких сигналів може бути досить різноманітним в залежності від типу запам'ятовувача.

Нормальне функціонування ОЗП залежить від організації часових співвідношень між сигналами. Тому всі згадані сигнали мають бути розподіленими за часом.

Розглянемо процеси запису й зчитування інформації у мікросхемі (рис. 12.6,а). Ці процеси ілюстровані часовими діаграмами на рис. 12.8,а та 12.8,б.

Мікросхема має наступні шини керуючих сигналів:  $\overline{CS}$  – вибір мікросхеми;  $\overline{WR}/RD$  – керування режимами запису та зчитування.

Послідовність подачі сигналів у режимах запису та зчитування показана на рис. 12.8, що обов'язково треба виконувати для правильної роботи мікросхеми.

У режимах запису й зчитування тривалість імпульсу  $\overline{CS}$  визначає час звернення до даної мікросхеми, за який потрібно закінчити процеси звернення.

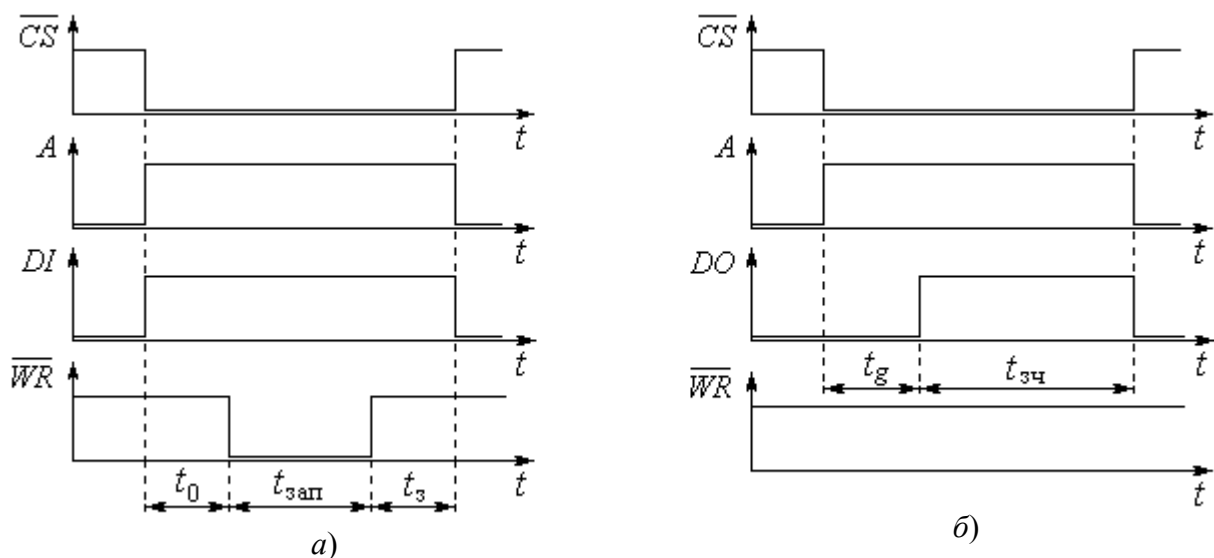


Рисунок 12.8 – Часові діаграми роботи ВІС ОЗП: а) у режимі запису; б) у режимі зчитування

У режимі запису інформації рис. 12.8,а дозвіл на запис  $\overline{WR} = 0$  подається (за часом) після установки адреси. У нашому випадку адреса задається сигналами одиничного рівня, тобто  $A = 1$ . Часова затримка приходу сигналу  $\overline{WR}$  за порівнянням з  $A = 1$  на тривалість  $t_0$  запобігає помилок, які пов'язані із заборонною починати запис інформації до закінчення часу дешифрування адреси. Для забезпечення надійного запису у вибрану комірку ОЗП сигнал дозволу на запис  $\overline{WR}$  знімається раніше за всі інші сигнали  $DI$ ,  $A$  і  $\overline{CS}$ . Отже останні мають припинити свою дію лише з певною затримкою  $t_3$ . Сума часових інтервалів називається *часом циклу запису*

$$T_3 = t_0 + t_{3ап} + t_3. \quad (12.1)$$

У режимі зчитування інформації рис. 12.8,б після установа активного рівня адреси  $A = 1$  дані на виході  $DO$  з'являються тільки після певного проміжку часу  $t_g$ , який називають *часом доступу* при зчитуванні. Сума часів називається *часом циклу зчитування*

$$T_{зч} = t_g + t_{зч}. \quad (12.2)$$

ВІС ОЗП допускають нарощування об'єма пам'яті збільшенням розрядності та числа запам'ятовувачів.

## 12.4. Постійні запам'ятовувальні пристрої (ПЗП)

### 12.4.1. Класифікація ПЗП

**Постійні запам'ятовувальні пристрої (ПЗП)** – це функціональні вузли, які мають лише два режими роботи: *зберігання та зчитування*. Запис нових даних у ПЗП можна здійснювати тільки до включення ПЗП в роботу. Цей процес носить назву “Програмування ПЗП” і здійснюється як заводом-виготовувачем, так і користувачем-програмувачем.

Існує три типи ПЗП, що підрозділяються за способом програмування.

ПЗП з *масковим програмуванням* (МПЗП) – це пристрої, в які інформація записана раз і назавжди.

Зміст пам'яті такого МПЗП залишається постійним на весь час його роботи. Маскові ПЗП виготовляються тільки на заводі, де за картою програмування, яка по суті є таблицею істинності, установлюються ділянки металізації, які потрібні для кодування тої чи іншої інформації.

За такою технологією виготовляються ПЗП для перетворення, наприклад, двійкового коду в коди символів (російських, латинських літер, цифр тощо).

*Програмовані* ПЗП (ППЗП) на відміну від МПЗП мають напівпровідникові діоди або транзистори, які з'єднані з усіма точками перетину шин матриці плавкими перемичками, тобто при виготовленні за всіма адресами ППЗП записується число  $\{11 \dots 11\}$ .

Режим програмування складається з послідовної подачі адреси слів, після чого імпульсами струму руйнуються перемички в місцях, де вони непотрібні.

Для перепалювання перемичок використовується спеціально призначений для цього пристрій – програматор.

Якщо при програмуванні була допущена помилка, то вона не може виправитися. При цьому ППЗП буде неприцездатним.

*Перепрограмовані* або *репрограмовані* ПЗП (РПЗП) дозволяють виконувати запис та стирання інформації. Організація РПЗП відрізняється від ППЗП тим, що між лініями рядків і стовпців включені не діоди чи біполярні транзистори з плавкими перемичками, а спеціальні МОН-транзистори з так називаним плаваючим затвором.

Оскільки ПЗП існують тільки в інтегральному виконанні, то вони відомі під назвою *великих інтегральних схем* (ВІС). В РПЗП можна повернути в початковий стан будь-який окремих МОН-транзистор.

За способом зчитування ВІС ПЗП поділяють на *асинхронні* та *синхронні*.

Зчитування інформації з асинхронних ПЗП відбувається в будь-який час при зверненні до даного ПЗП, а із синхронних ПЗП – лише за наявності на спеціальному вході ВІС ПЗП синхроімпульсу заданої тривалості.

За технологією виготовлення ВІС ПЗП розрізняють за типом запам'ятовувачів: *діодні, біполярні та польові*.

#### **12.4.2. Структура ВІС ПЗП**

ПЗП можна розглядати як дворівневу ПЛМ (див. рис. 11.8).

На рис. 12.9 показана узагальнена структурна схема ВІС ПЗП.

Основою структурної схеми є *накопичувач інформації* (надалі – накопичувач), який з'єднаний через ША з дешифратором адреси *DC*, а через ШР – з блоком мультиплексорів *MUX*. Паралельний код адреси *A* подається на формувавч адрес, протифазні сигнали якого надходять на *DC* і блок *MUX*, які активізують одну з горизонтальних (адресних) шин ША. Зчитування записаної у запам'ятовувачах інформації відбувається по всіх вертикальних шинах ШР через блок мультиплексорів і блок вводу-виводу.

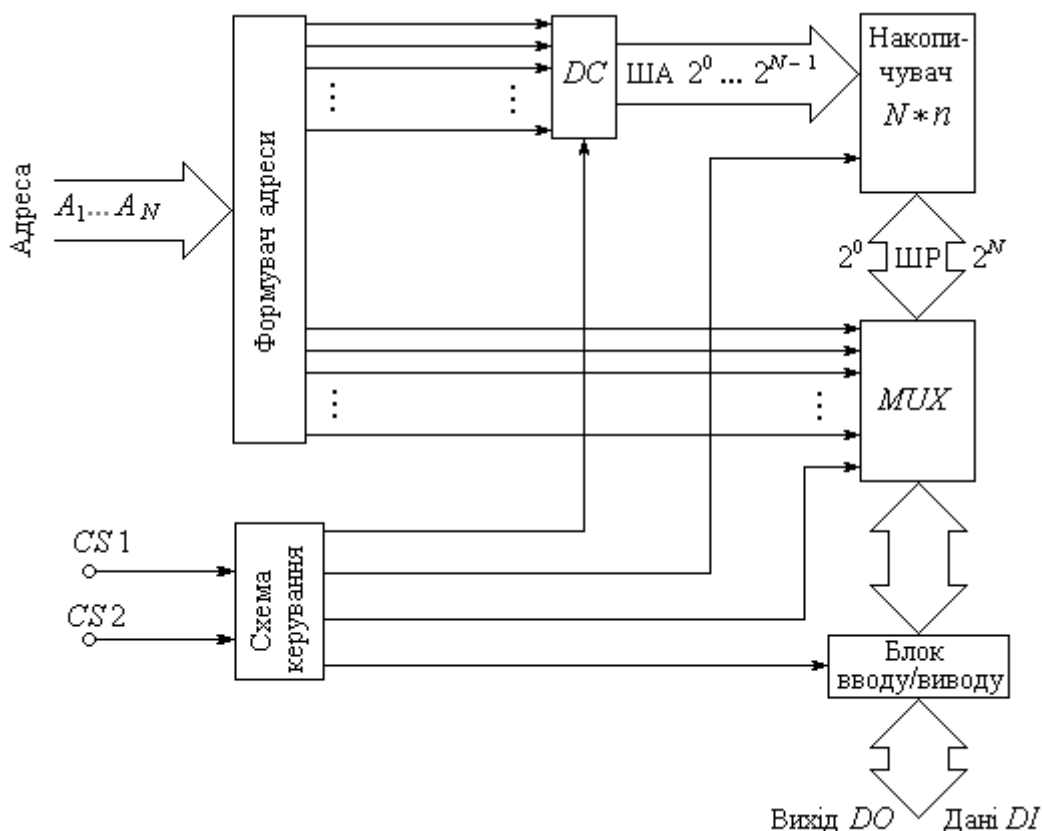


Рисунок 12.9 – Узагальнена структурна схема ВІС ПЗП

Схема керування синхронізує роботу  $DC$  і блока  $MUX$ . Блок вводу-виводу виконується або за схемами з відкритим колектором, або з використанням тристанових драйверів. Схема керування визначає режими запису, зчитування та стирання інформації. З вибраного дешифратором рядка за допомогою мультиплексорів  $MUX$  виділяється і передається на вихід потрібне слово.

Щодо програмування, то воно починається зі складання таблиці істинності, де кожній комбінації повного набору адреси  $A_1, \dots, A_n$  відповідає кодова комбінація даних адреси  $D_0, \dots, D_{(m-1)}$ .

Для наглядного прикладу задамося таблицею істинності, що має вигляд, який надано у табл. 12.1.

Таблиця 12.1 – Стани запам'ятовувача ПЗП

Слово ША	Дані ПЗП							
	$D_1$	$D_2$	$D_3$	$D_4$	$D_5$	$D_6$	$D_7$	$D_8$
$A_1$	0	1	1	0	0	1	1	1
$A_2$	1	0	1	0	0	0	1	0
$A_3$	1	1	0	0	1	0	0	0
$A_4$	0	1	1	1	0	0	0	0

Таблиця істинності описує стани матриці накопичувача для побудови ПЗП, яка має місткість 32 біти, що розбиті на чотири слова ( $A_1 \dots A_4$ ) по вісім розрядів ( $D_8 \dots D_1$ ) у кожному з них. Отже, такий ПЗП здатний запам'ятовувати чотири однобайтових слова ( $4 \times 8 = 32$  біта).

Схема біполярної матриці накопичувача, що відповідає табл. 12.1, показана на рис. 12.10.

Активним для матриці адресним потенціалом є рівень логічного нуля. В координатному полі накопичувача транзистори розміщують у точках перетину, де повинні зберігатися біти, що мають значення логічного нуля. При подачі на одну з адресних шин рівня логічного нуля, відкриваються транзистори, які підключені до цієї адресної шини. Тоді на тих шинах даних ШР, на перетинах яких з обраною ША присутній транзистор, формується нуль, а на решті ШР через резистори надходить рівень логічної одиниці від джерела  $+E$ .

Щодо МОН-накопичувачів, то вони мають нижчу швидкодію, ніж біполярні, але потужність розсіювання їх значно нижча. нуля запам'ятовувача.

*Структура програмованих ПЗП (ППЗП) аналогічна структурі маскових ПЗП. Різниця, по-перше, у схемі запам'ятовувача, а по-друге, – в кількості напівпровідникових елементів, які перепалюються при програмуванні.*

Запам'ятовувачі таких ППЗП бувають різні. Найчастіше зустрічаються запам'ятовувачі, що виготовляються з плавкими перемичками (рис. 12.11,а), або зі зворотно включеними діодами (рис. 12.11,б).

У процесі програмування перемички перепалюються електричним струмом. Якщо перемичка перепалюється, запам'ятовувач від'єднується від точки перетину.

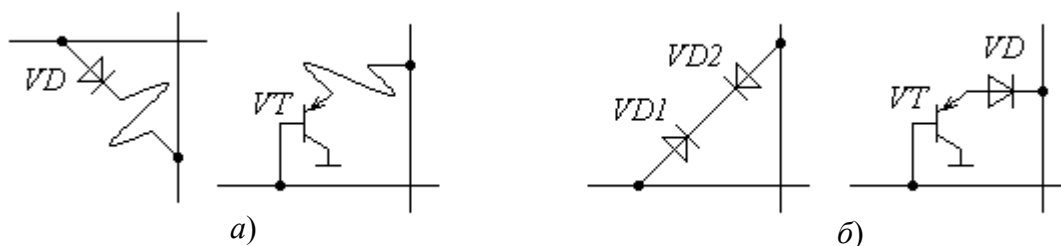


Рисунок 12.11 – Типи запам'ятовувачів програмованих ПЗП:  
а) з плавкими перемичками; б) зі зворотно включеними діодами

Другий тип запам'ятовувача, що використовується у програмованих ПЗП, має зворотно включені діоди  $VD$  (рис. 12.11,б). При такій схемі у початковому стані до програмування ПЗП жодна точка перетину не має запам'ятовувачів. У процесі програмування зворотно включені діоди  $VD1$  ( $VD$ ) закорочуються, тобто залишається або один діод  $VD2$ , або транзистор  $VT$ , що відповідає присутності запам'ятовувача у точці перетину.

Режими програмування в різних мікросхемах програмованих ПЗП різні, бо визначаються не тільки технологією виготовлення даної ВІС, але й типом мікросхеми ПЗП.

*Структура репрограмованих РПЗП аналогічна масковим та програмованим ПЗП, але відрізняється тим, що в них можна багаторазово стирати записану інформацію та записувати нову. Накопичувачі репрограмованих РПЗП виконуються за спеціальними технологіями з використанням спеціальних типів транзисторних структур. Занесення у ПЗП інформації в технічній документації називають “прошивкою”.*

*FLASH* – пам'ять є енергонезалежною з електричним стиранням та перепрограмуванням.

На рис. 12.12 надані умовні позначення трьох типів ПЗП: маскові МПЗП (рис. 12.12,а), програмовані ППЗП (рис. 12.12,б) та репрограмовані РПЗП (рис. 12.12,в).

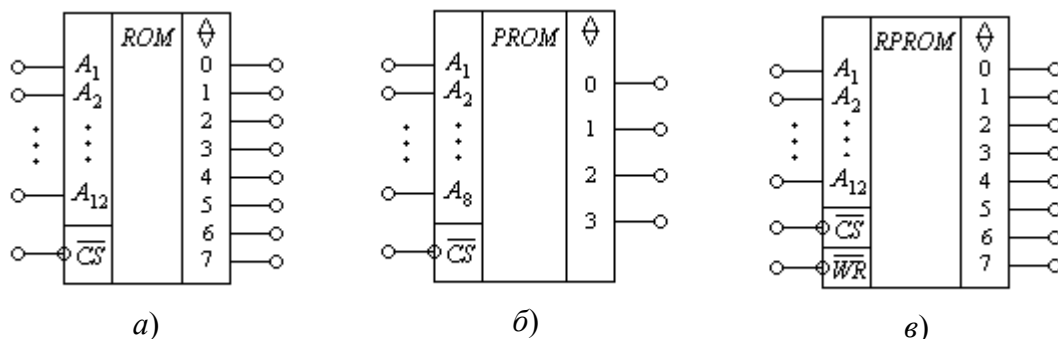


Рисунок 12. 12 – Умовне позначення ПЗП:  
а) маскові; б) програмовані; в) репрограмовані

На рис. 12.12 позначені: *ROM* (англ. *read-only memory*) – ПЗП; *PROM* (англ. *programmable read-only memory*) – програмовані ПЗП; *RPPROM* (англ. *re-programmable read-only memory*) – репрограмовані ПЗП.

Маскові ПЗП більш придатні для зберігання констант, стандартних таблиць, символів, підпрограм і нагадують “книжку для читання”.

Програмовані та репрограмовані ПЗП дозволяють ще реалізувати широкий клас функціональних вузлів і нагадують “блокнот з чистими сторінками”.

### Контрольні питання

1. Що таке ОЗП?
2. Що таке запам'ятовувач?
3. Які вузли входять до типової структурної схеми ОЗП і які функції виконує кожен з них?
4. Які часові співвідношення між вхідними сигналами ВІС ОЗП?
5. Що таке ПЗП? Які функції вони виконують?
6. Яка існує класифікація ПЗП за способом програмування?
7. Які типи запам'ятовувачів використовуються в ВІС ПЗП?
8. Яка різниця між МЗП, ППЗП та РПЗП?

## Розділ 13. ЦИФРО-АНАЛОГОВІ ТА АНАЛОГО-ЦИФРОВІ ПЕРЕТВОРЮВАЧІ

### 13.1. Загальні відомості

У більшості випадків сигнал, який надходить від джерела інформації, має аналогову форму та описується неперервною функцією з миттєвими значеннями, які розміщені в деякому інтервалі часу. Це, наприклад, речовий сигнал у телефонії та радіомовленні, телевізійний сигнал тощо.

Передача та обробка таких сигналів може виконуватись двома способами: *аналоговим та цифровим*. Останнім часом найбільшого розповсюдження набули *цифрові системи передачі* (ЦСП).

На передавальному кінці ЦСП аналогові сигнали перетворюються в цифрові, а на приймальному кінці виконується обернене перетворення сигналів з цифрової форми в аналогову.

Основні переваги цифрових методів оброблення та передавання порівняно з аналоговими полягають у високій завадостійкості, принциповій можливості виключення апаратурної похибки при обчисленнях, стабільності параметрів (незалежно від часу та змін температури), оперативності зміни алгоритму оброблення, підвищенні швидкодії тощо.

Перетворення сигналів з аналогової форми в цифрову виконується в приладах, які називаються *аналого-цифровими перетворювачами* (АЦП).

Прилади, які виконують обернене перетворення сигналів з цифрової форми в аналогову, називаються *цифро-аналоговими перетворювачами* (ЦАП).

АЦП і ЦАП є основними функціональними вузлами цифрової техніки та техніки зв'язку, які визначають точність, швидкодію та конструктивні параметри цифрових радіотехнічних систем.

Параметри інтегральних схем ЦАП і АЦП можна поділити на дві групи: *статичні та динамічні*.

*Статичні параметри*, у свою чергу, розподіляються на дві підгрупи.

До першої підгрупи статичних параметрів відносяться параметри, загально прийняті для усіх типів ІС, які визначають енергетичні показники: струм споживання, напругу живлення і т.д.

До другої підгрупи відносяться параметри, які характерні лише для перетворювачів. Це характеристика перетворення (ХП), розрядність, діапазон та рівні вхідних і вихідних сигналів, нелінійність, диференціальна нелінійність, абсолютна похибка перетворення, напруга відхилення нуля на виході ЦАП або АЦП.

До *динамічних параметрів* відносяться час перетворення і частота перетворення, які визначають швидкодію ЦАП і АЦП.

### 13.2 Цифро-аналогові перетворювачі (ЦАП)

*Цифро-аналоговими перетворювачами* (ЦАП) називають пристрої, які перетворюють вхідну цифрову комбінацію на вихідну аналогову величину. На-



приклад, вхідна комбінація  $\Sigma x_i$  (рис. 13.1) перетворюється на вихідну напругу  $U_{\text{вих}}$ .

До входу  $E_0$  подається стабілізована так звана опорна напруга  $U_{\text{оп}}$ , з якої утворюється аналогова копія  $U_{\text{вих}}$  вхідного числа  $\Sigma x_i$ .

*Цифро-аналогове (ЦА) перетворення* складається із підсумовування еталонних величин, що відповідають розрядам вхідного числа.

Застосовуються, як правило, два методи ЦА перетворення: підсумовування однакових еталонних величин та підсумовування еталонних величин, вагові коефіцієнти яких відрізняються.

У першому випадку при формуванні вихідного аналогового сигналу використовується тільки одна еталонна величина вагою в один квант.

У другому методі використовуються еталонні величини з вагами, залежними від номера розряду. При цьому в більшості випадків використовуються двійковий або двійково-десятковий коди.

*Опорною* може бути напруга постійного або змінного струму. З неї формуються окремі еталонні величини, що відповідають значенням розрядів вхідного числа, які підсумовуються й утворюють дискретні значення вихідної напруги (аналогової величини).

Схеми ЦАП виготовляють здебільшого в інтегральному виконанні. Серед різних способів цифро-аналогового перетворення широкого використання набули ЦАП на матрицях резисторів  $R$  з вихідним аналоговим суматором на перетворювачі струму в напругу.

Матриця резисторів *зважає* цифровий сигнал, який подано паралельним кодом. Для реалізації цифро-аналогового перетворення переважно використовують два типи матриць резисторів:

- на двійково-зважених резисторах;
- на резисторах з  $R-2R$ .

### 13.2.1 Параметри ЦАП

Параметри для даного типу ЦАП розбивається на дві групи: *статичні* та *динамічні*.

*Статичні параметри* описують роботу перетворювачів у статичному режимі і містять наступне.

*Число розрядів  $n$*  визначається як двійковий логарифм максимального числа кодових комбінацій на вході ЦАП

$$n = \log_2 b, \quad (13.1)$$

де  $b$  – число можливих кодових комбінацій на вході ЦАП.

Сукупність значень вихідної аналогової величини  $x_i$  (найчастіше це напруга  $U_{\text{вих}}$  і тому надалі у формулах будемо використовувати тільки цей параметр), в залежності від вхідного числа  $N_i$ , називають *номінальною функцією* або

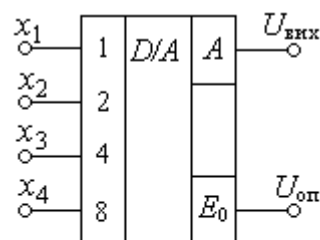


Рисунок 13.1 – Умовне позначення двійкового чотирьохрозрядного ЦАП

характеристикою перетворення (ХП). Така сукупність може надаватися у вигляді графіка (рис. 13.2), формули, таблиці.

Значення зміни вихідної аналогової величини при зміні вхідного числа на одиницю називається *кроком квантування*  $h$ .

Кількісний зв'язок між вхідним числом та його аналоговим еквівалентом установлює формула

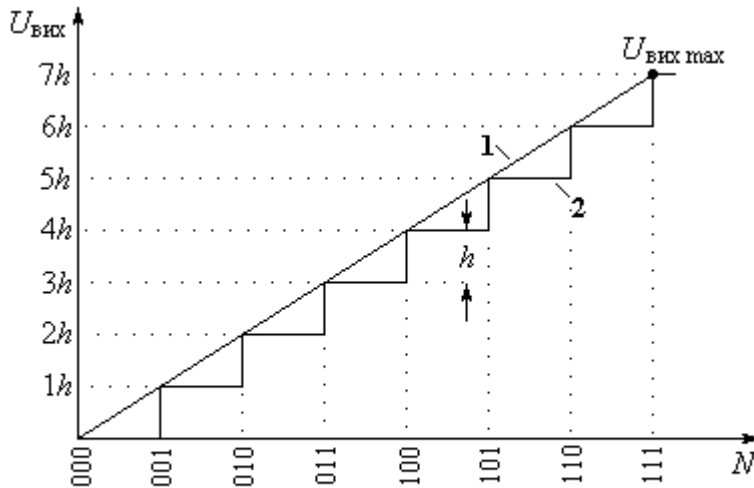


Рисунок 13.2 – Характеристика перетворення трирозрядного двійкового ЦАП

$$U_{\text{вих } i} = hN \pm \delta U, \quad (13.2)$$

де  $h$  – крок квантування;

$\delta U$  – похибка перетворення;

$N$  – вхідне число.

Двійкове число  $N$  складається з певної кількості розрядів  $2^i x_i$ , які можуть набувати значень або 0, або 1.

$$N = 2^0 x_1 + 2^1 x_2 + \dots + 2^{n-1} x_n = \sum_{i=1}^n 2^i x_i, \quad (13.3)$$

$$x_i \in \{x_1, x_2, \dots, x_n\},$$

де  $n$  – кількість двійкових розрядів.

Таблиця 13.1 – Стани ЦАП

$x_3$	$x_2$	$x_1$	$U_{\text{вих}}$
0	0	0	0
0	0	1	$1h$
0	1	0	$2h$
0	1	1	$3h$
1	0	0	$4h$
1	0	1	$5h$
1	1	0	$6h$
1	1	1	$7h$

З характеристики перетворення трирозрядного ЦАП (рис. 13.2), яка побудована за таблицею станів ЦАП (табл. 13.1), видно, що при зміні вхідного числа  $N$  на одиницю вихідна аналогова напруга  $U_{\text{вих}}$  дискретно змінюється на крок квантування  $h$ .

Якщо на вхід ЦАП подано максимальне для даного пристрою двійкове число, то на виході отримуємо максимальне значення вихідної аналогової величини  $U_{\text{вих max}}$ . Щодо мінімальної вихідної напруги, то вона може приймати будь-які значення в межах  $0 \leq U_{\text{вих min}} < U_{\text{вих max}}$ . Інтервал значень вихідної напруги від  $U_{\text{вих min}}$  до  $U_{\text{вих max}}$  називають *діапазоном змінення вихідної величини*.

Крок квантування та діапазон змінення вихідної величини (без урахування похибки перетворення) зв'язані співвідношенням

$$h = \frac{U_{\text{вих max}}}{2^n}. \quad (13.4)$$

При зменшенні кроку квантування характеристика перетворення 2 (рис. 13.2) наближається до прямої лінії 1.

У випадку *ідеального* лінійного ЦАП усі кроки квантування однакові. В *реальних* ЦАП кроки квантування в різних точках відрізняються один від одного, що зумовлює похибку перетворення. Тому використовують середнє значення кроку квантування  $h_{\text{сер}}$ .

Найменше значення зміни вихідної аналогової величини від кроку квантування  $h$ , яку можна відрізнити, називається *роздільною здатністю*. Роздільна здатність може розраховуватися або в одиницях вихідної аналогової величини, або у відсотках.

Реальна характеристика перетворення відрізняється від ідеальної. Різниця між ідеальною характеристикою перетворення та реальною визначає *похибку перетворювання*. Похибка, яка виникає в реальному випадку, характеризується низкою відхилень та визначається відповідними параметрами, а саме: нелінійність, диференціальна нелінійність, відхилення аналогової величини від номінального значення, напруга зсуву нуля.

Відлік напруги на виході ЦАП повинен відбуватися тільки після закінчення всіх перехідних процесів у ньому. Тому *швидкодія* ЦАП визначається часом його перехідних процесів, а динамічні параметри обумовлюють швидкодію та похибку оброблення інформації. Найважливішим динамічним параметром є *час установлення вихідного сигналу* або *час перетворення*  $t_s$ . Другий важливий динамічний параметр – це *час затримки розповсюдження*  $t_r$ . Він визначається тривалістю часу до моменту досягнення вихідною аналоговою величиною половини максимального вихідного значення  $U_{\text{вих max}}$ .

### 13.2.2. Схеми ЦАП

Схеми ЦАП виконуються найчастіше на *резистивних матрицях*.

Найпростішими вважаються матриці на *двійково-зважених резисторах*, бо містять найменшу кількість резисторів – лише по одному резистору на кожний двійковий розряд.

Номінали резисторів, які використовуються для ЦАП, визначаються з ряду  $2^0 R; 2^1 R; 2^2 R; \dots; 2^{n-1} R$ ; де  $n$  – число двійкових розрядів.

Схема ЦАП на матриці двійково-зважених резисторів з підсумовуванням зважених струмів показана на (рис. 13.3).

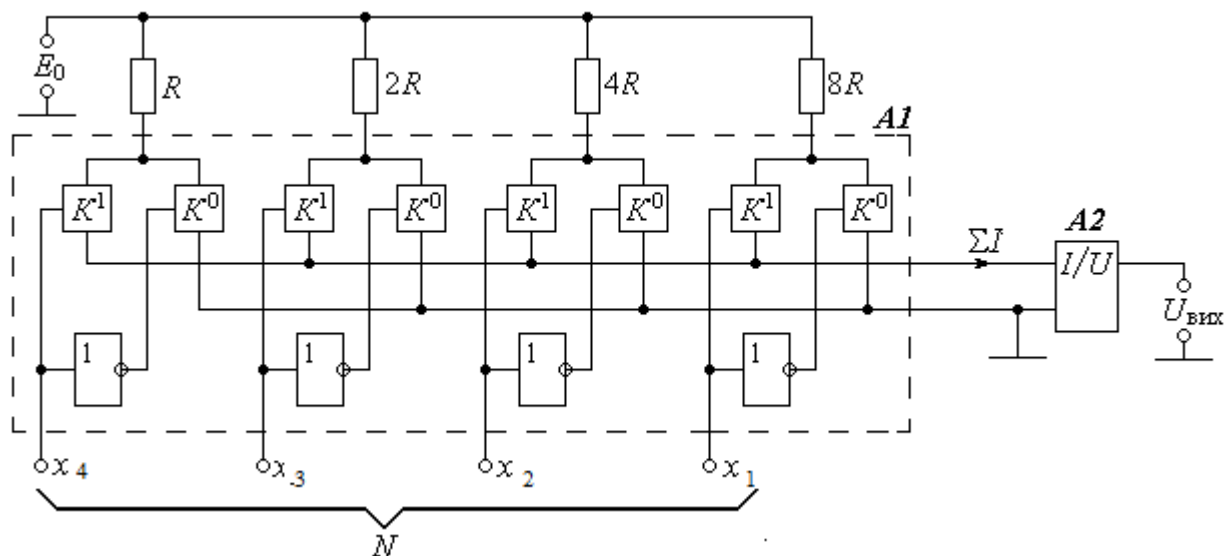


Рисунок 13.3 – Схема ЦАП на двійково-зважених резисторах

У схемі (рис. 13.3) позначені:

$R, 2R, 4R, 8R$  – матриця двійково-зважених резисторів;

$E_0$  – джерело стабілізованої опорної напруги;

$A1$  – комутатор;

$A2$  – суматор зважених струмів (перетворювач струму в напругу).

Входи резисторів матриці  $R, 2R, 4R, 8R$  живляться від джерела опорної напруги  $E_0$ . Виходи цих резисторів підключені до одиничних  $K^1$  та нульових  $K^0$  ключів комутатора  $A1$ . До входів ключів  $K^1$  підключені двійкові розряди  $x_1; x_2; x_3; x_4$  вхідного числа  $N$  безпосередньо, а до входів ключів  $K^0$  – через інвертори. Тому за будь-якого значення розряду один з ключів відкритий, а інший закритий.

Щодо наявності в кожному розряді двох ключів, а не одного, то це пояснюється наступним.

Для уникнення впливу внутрішнього опору джерела  $E_0$  на точність перетворювання слід мати навантаження  $E_0$  незмінним за будь-якого стану ключів. З цієї вимоги слідує, що за будь-якого стану входів виходи резисторів  $R, 2R, 4R, 8R$  мають підключатися до однієї і саме тієї ж напруги. Такою напругою тут вибрана нульова. Тоді при нульовому стані входів  $x_1; x_2; x_3; x_4$  ключі  $K^0$  підключають виходи резисторів до нульової шини, а при одиничному – до інвертуючого входу приймача струму  $A2$ , який є віртуальною землею, тобто теж до нульової напруги. Отже, для незмінного навантаження  $E_0$  слід мати *парні перекидні* ключі  $K^0$  і  $K^1$ .

Через одиничні ключі  $K^1$  усі резистори матриці зв'язані зі входом суматора струмів  $A2$ , а через  $K^0$  – з нульовою шиною. Тому виходи резисторів матриці підключаються або до входу суматора струмів  $A2$ , або до нуля.

Перетворення вхідного числа  $N$  в напругу  $U_{\text{вих}}$  здійснюється наступним чином.

У залежності від вхідного числа  $N$  на входах ключів  $K^1$  установлюється відповідна комбінація логічних нулів та логічних одиниць. Ключі  $K^1$ , на входах яких напруга дорівнює логічному нулю, закриваються, і струм через них не тече, тобто вони не підключають резистори до входу суматора струмів  $A2$ .

Так, при нульовому вхідному числі  $N = \{0000\}$  всі ключі  $K^1$  закриті, а  $K^0$  відкриті. Тому виходи резисторів відключені від входу суматора  $\Sigma I$  і підключені до нуля. Через це сума струмів на вході суматора теж нульова  $\Sigma I = 0$ . Тому вихідна напруга дорівнює нулю:  $U_{\text{вих}} = Q \Sigma I = 0$ , де  $Q$  – коефіцієнт перетворення струму в напругу.

Коли ж усі розряди підведеного числа одиничні  $N = \{1111\}$ , то стани ключів змінюються на протилежні: ключі  $K^0$  закриваються, відключаючи резистори від нуля, а ключі  $K^1$  відкриваються, підключаючи резистори до входу суматора  $A2$ . Через це сума струмів на вході суматора максимальна  $\Sigma I = I_{\text{max}}$ , через що вихідна напруга теж максимальна:  $U_{\text{вих max}} = Q I_{\text{max}}$ .

Проміжні значення вхідного числа  $\{0000\} < N < \{1111\}$  викликають відповідні проміжні пропорційні значення вихідної напруги  $0 < U_{\text{вих}} < U_{\text{вих max}}$ .

Так, розряд  $x_1 = 1$  забезпечить на вході  $A2$  градацію струму  $I_1 = E_0/8R$ , розряд  $x_2 = 1$  забезпечить дві таких градації і т.д. Сума струмів на вході суматора становитиме

$$\Sigma I = \frac{E_0}{R} x_4 + \frac{E_0}{2R} x_3 + \frac{E_0}{4R} x_2 + \frac{E_0}{8R} x_1 = 15 \frac{E_0}{8R}. \quad (13.5)$$

Вихідна напруга визначиться як

$$U_{\text{вих}} = Q \Sigma I \quad (13.6)$$

Приймаючи в (13.4) усі значення  $x_i = 1$ , знаходимо максимальну вихідну напругу

$$U_{\text{вих max}} = 15 Q \frac{E_0}{8R}. \quad (13.7)$$

Крок квантування дорівнює градації вихідної напруги від наймолодшого розряду ( $x_1 = 1$ ):

$$h = Q \frac{E_0}{8R}. \quad (13.8)$$

Діленням (13.7) на (13.8) знаходимо, що кількість кроків квантування чотирирозрядного двійкового ЦАП становить 15.

У залежності від вхідного числа  $N$  проміжні значення вихідної напруги набувають значення в межах  $0 < U_{\text{вих}} \leq 15h$ . Для сучасної техніки 15 кроків квантування – це дуже мало. Як правило, потрібно  $10^2 \dots 10^4$  кроків.

Недолік матриці на двійково-зважених резисторах – значна кількість номіналів резисторів:  $n$ . Якщо врахувати прецизійне виготовлення кожного резистора, то згаданий недолік є суттєвим. Тому в більшості випадків матриці на двійково-зважених резисторах виготовляють *тетрадними*, тобто чотири розрядними. Тоді в кожній тетradі лише *чотири* резистори. Для збільшення розрядності наращують кількість тетрад.



Рисунок 13.4 – Схема наращивания разрядности двоично-десятичного ЦАП

Цю задачу вирішує каскадне з'єднання тетрад ЦАП (рис. 13.4), через масштабуючі резистори з опорами  $R_m = 8,1R_i$ .

Схема працює наступним чином.

Старша тетрада “x 1000” живиться *повною* напругою  $U_{\text{оп}}$ , а кожна наступна тетрада – напругою, зменшеною в 10 разів через масштабуючі резистори  $R_m = 8,1R_i$ . Так, наведена схема шістьма номіналами резисторів забезпечує 9999 десяткових градацій вихідної напруги, тобто 9999 кроків квантування.

Кількість каскадів для подальшого можливого зменшення кроку квантування не обмежується.

Недоліком ЦАП на матриці двійково-зважених резисторів є досить значна кількість номіналів: шість на тетраду. Цей недолік усунений в ЦАП на матриці типу  $R$ - $2R$ , яка має лише два номінали резисторів  $R$  та  $2R$  проти багатьох номіналів матриці на двійково-зважених резисторах.

Схема ЦАП на матриці  $R$ - $2R$  показана на рис. 13.5.

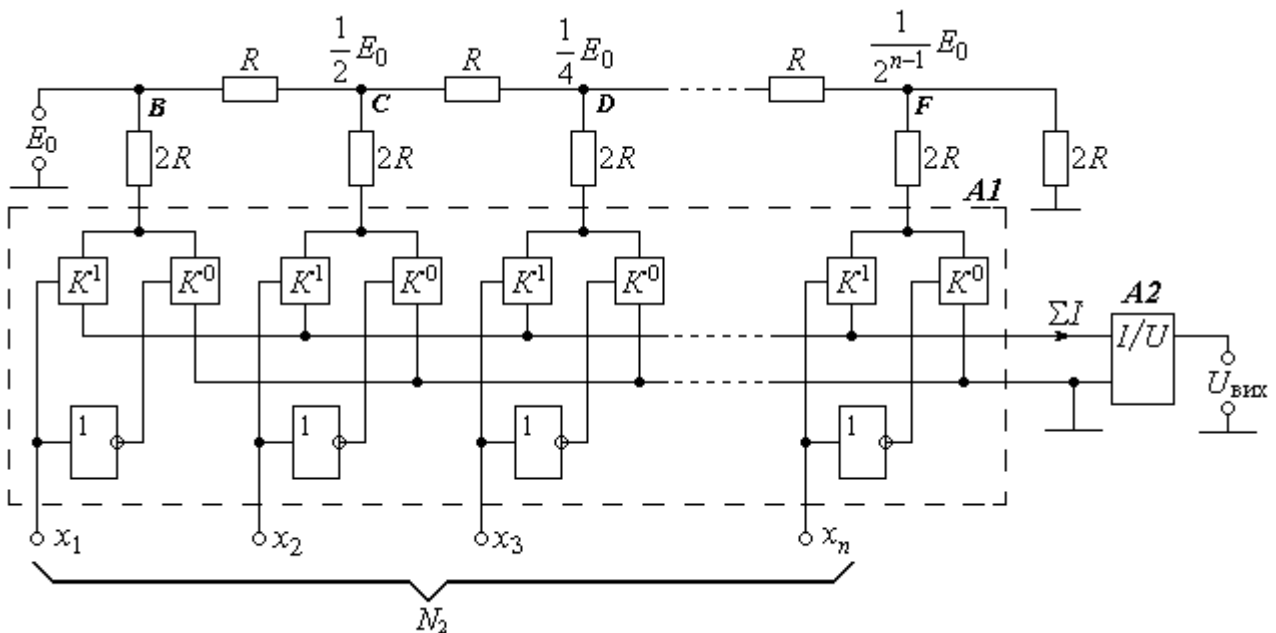


Рисунок 13.5 – Схема ЦАП на матриці типу  $R$ - $2R$

Вона відрізняється від матриці на двійково-зважених резисторах (див. рис. 13.3) лише тим, що замість них використані резистори з опорами  $2R$ , а між ними включені резистори з опорами  $R$ . Тут  $x_n$  – самий старший розряд, а  $x_1$  – наймолодший.

Підрахуємо кількість кроків квантування, яку забезпечує  $n$ -розрядний двійковий ЦАП.

Для цього визначимо опір між кожними з точок  $B, C, D, \dots, F$  і нульовою шиною (корпусом) та потенціали цих точок (рис. 13.5).

Між точкою  $F$  і корпусом включені два паралельно з'єднані резистори з опорами  $2R$ . Результуючий опір цього з'єднання становить  $R_F = R$ . (Щодо опорів ключів  $K^0$  і  $K^1$ , то вони нехтовно малі, через що їхнього впливу на опір  $R_F$  практично немає).

Тоді точка  $F$  є виходом подільника напруги з опором  $R$  в кожному плечі і тому потенціал точки  $F$  буде результатом ділення на два вхідної напруги цього подільника.

Отже, потенціал точки  $D$  буде результатом ділення на два потенціали точки  $C$ . Таким самим чином переконуємося в тому, що між точкою  $D$  і корпусом увімкнений еквівалентний опір  $R_D = R$ . Тоді потенціал точки  $D$  також буде результатом ділення на два, але потенціалу точки  $C$ .

Таким чином, від розряду до розряду потенціал ділиться на два. Тому потенціали точок  $B, C, D, \dots$  відповідно становлять  $E_0; (1/2)E_0; (1/4)E_0; \dots$ . З цього слідує, що розряд  $x_n = 1$  забезпечить на вході перетворювача  $A2$  протікання

струму  $I_1 = \frac{E_0}{2R}$ ; розряд  $x_{n-1} = 1$  забезпечить  $I_2 = \frac{1}{2} \frac{E_0}{2R}$  і т.д. Сумарний струм на вході перетворювача струму в напругу  $A2$  при вхідному двійковому числі  $N$  становитиме

$$\Sigma I = \frac{E_0}{2R} x_n + \frac{1}{2} \frac{E_0}{2R} x_{n-1} + \frac{1}{4} \frac{E_0}{2R} x_{n-2} + \dots + \frac{1}{2^{n-1}} \frac{E_0}{2R} x_1 = \frac{E_0}{2R} \sum_{i=1}^n \frac{1}{2^{i-1}} x_i, \quad (13.9)$$

де  $x_i$  – коефіцієнт розряду, який приймає значення 0 або 1 в залежності від двійкового вхідного числа  $N$ .

Вихідна напруга визначиться як  $U_{\text{вих}} = Q \Sigma I$ , тобто

$$U_{\text{вих}} = E_0 \frac{Q}{2R} \sum_{i=1}^n \frac{1}{2^{i-1}} x_i, \quad (13.10)$$

де  $Q$  – коефіцієнт перетворення струму в напругу.

Приймаючи  $x_i = 1$  та  $i = n$ , знаходимо максимальну вихідну напругу

$$U_{\text{вих max}} = E_0 \frac{Q}{2R} \frac{1}{2^{n-1}} (n^2 - 1). \quad (13.11)$$

Крок квантування знайдемо як різницю між будь-якими двома суміжними членами (13.9):

$$h = \frac{1}{2^{n-1}} E_0 \frac{Q}{2R}. \quad (13.12)$$

Мікросхеми ЦАП випускають серійно. Вони містять усі елементи, які позначені на рис. 13.5, крім перетворювача струму в напругу  $A2$  (рис. 13.6,а). Тому його підключають до ЦАП зовнішньо (рис. 13.6,б). Як перетворювач струму в напругу здебільшого використовують операційний підсилювач  $A2$ .

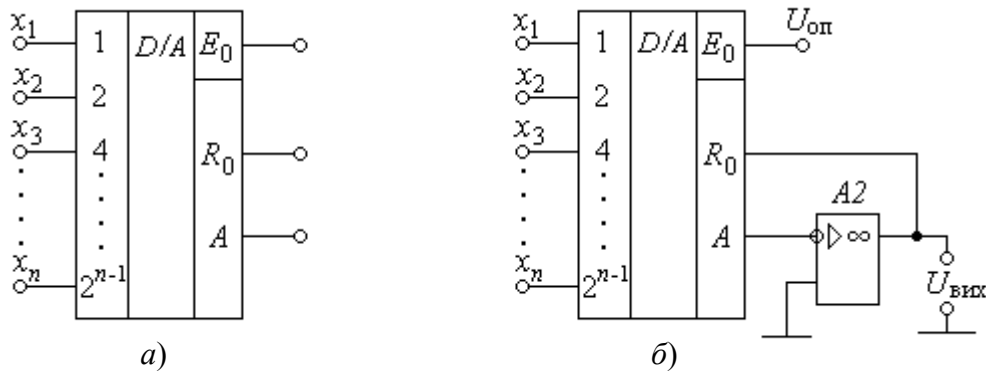


Рисунок 13.6 – Двійковий ЦАП: а) умовне позначення; б) схема включення

### 13.3. Аналого-цифрові перетворювачі (АЦП)

**Аналого-цифровими перетворювачами (АЦП)** називаються пристрої, які перетворюють аналогову величину в пропорційне число, тобто створюють цифрову копію аналогової величини і таким чином перетворюють аналог у код.

Аналого-цифрове перетворення містить наступні операції: дискретизацію, квантування та кодування.

Дискретизація складається з вибору із неперервного за часом аналогового сигналу  $U_c$  окремих миттєвих його значень (рис. 13.7), які надходять через визначений часовий проміжок  $\Delta t = (t_{i+1} - t_i)$ .

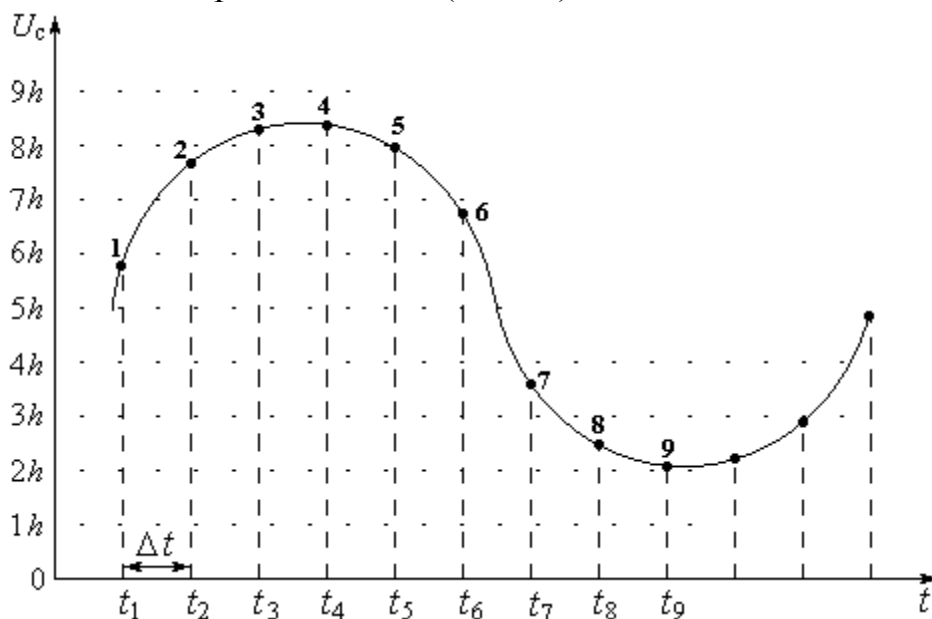


Рисунок 13.7 – Дискретизація та квантування неперервного сигналу

Моменти  $t_1; t_2; \dots; t_{i-1}; t_i$ , в яких визначаються миттєві значення, називаються *тактовими моментами часу*, а різниця між суміжними моментами  $\Delta t = (t_{i+1} - t_i)$  – *тактовим інтервалом часу*. Дискретні значення сигналу слід відраховувати з таким малим інтервалом  $\Delta t$ , щоб можна було б установити сигнал в аналоговій формі з можливо малою похибкою.

Згідно з теоремою Котельникова, якщо сигнал має обмежений спектр, тобто всі його спектральні складові мають частоти нижче, ніж деяка частота  $F_{\max}$ , то для установлення аналогового сигналу з послідовності його дискретних значень тактовий інтервал має задовольняти умові

$$\Delta t \leq \frac{1}{2F_{\max}}. \quad (13.13)$$

Наприклад, при дискретизації речових сигналів, що мають спектр частот 300...3400 Гц, вибирається тактова частота  $F \geq 2F_{\max} = 6800$  Гц. При цьому тактовий інтервал становить  $\Delta t \leq 1/F = 147$  мкс.

*Операція квантування* складається з утворення сітки так званих рівнів квантування (рис. 13.7), які зсунуті один відносно одного на крок квантування  $h$ . При цьому кожний рівень має свій порядковий номер (0; 1; 2; ...).

*Кодування* здійснюється тим, що здобуті в процесі дискретизації значення аналогового сигналу  $U_c$  замінюють ближчими до них номерами рівнів квантування.

Так, значення напруги в момент  $t_1$  замінюється номером 6 ближчого до нього рівня квантування  $6h$ , в тактові моменти  $t_2; t_3; t_4$  та  $t_5$  значення напруги  $U_c$  замінюються номером 8 ближчого до них рівня квантування  $8h$ , моменту  $t_8$  відповідає або номер 3, або номер 2 і т.д.



Отже, квантування – це визначення для кожної точки дискретизації сигналу ближчого номера рівня з існуючих.

Процес квантування вносить похибка  $\delta_{\text{кв}}$ , яка називається *шумом квантування* і визначається в межах  $-h/2 \leq \delta_{\text{кв}} \leq +h/2$ . Зменшення шуму квантування досягається шляхом зменшення кроку квантування  $h$ , але це призводить до збільшення числа рівнів, через що ускладнюється АЦП. Щоб запобігти невіправданого нарощування апаратних засобів, крок квантування вибирають таким, що дорівнює припустимій абсолютній похибці  $\delta$ :

$$h = \delta. \quad (13.14)$$

Тоді при завжди відомій максимальній вхідній напрузі сигналу  $U_{\text{сmax}}$  кількість кроків квантування становить

$$K = \frac{U_{\text{сmax}}}{h}. \quad (13.15)$$

Чим більше число рівнів квантування, тим точніше відтворюється цифрова копія аналогового сигналу  $U_c$ , але це збільшення обмежується ускладненням пристрою, бо кількість кроків квантування визначає число двійкових розрядів відповідних вузлів апаратури. Тому число рівнів квантування для кожного конкретного випадку вибирається за умов отримання заданих параметрів перетворення.

Таким чином, в процесі квантування послідовність визначених при дискретизації значень аналогового сигналу замінюється послідовністю відповідних чисел (номерів рівнів квантування).

Нарешті, в процесі кодування числа послідовності номерів рівнів квантування зображуються у визначеній системі числення, наприклад, у двійковій.

Таким чином, при аналого-цифровому перетворенні на виході формується двійкове  $n$ -розрядне число  $N = \{x_1, x_2, x_3, \dots, x_n\}$ .

Класифікація АЦП, якою тепер користуються, показує, як у часі розгортається процес перетворення. За такою класифікацією всі АЦП можна поділити на три типи: *послідовні*, *паралельні* та *паралельно-послідовні*.

До *послідовних* АЦП відносяться такі, де перетворення відбувається послідовно за часом, тобто крок за кроком. Такими АЦП є, наприклад, перетворювачі розгортаючої дії, слідкуючі АЦП, перетворювачі напруги в частоту, АЦП інтегруючого типу тощо. Усі ці АЦП дозволяють отримувати високу розрядність, але мають низьку швидкодію.

*Паралельні* АЦП побудовані за принципом однора-

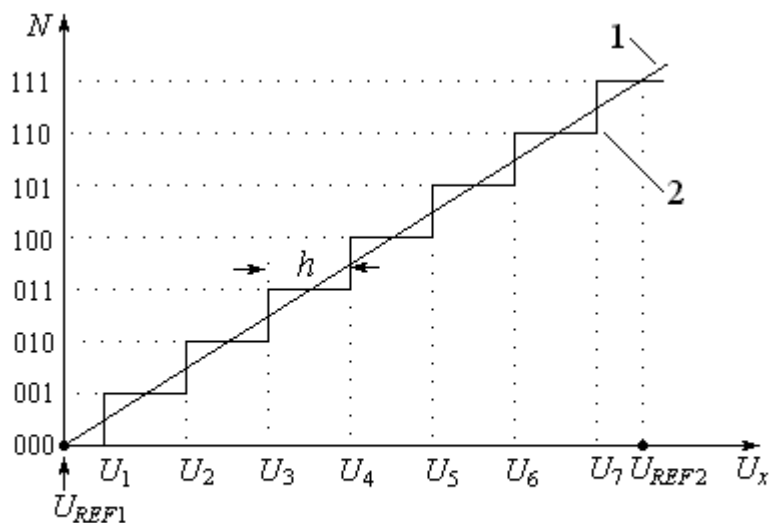


Рисунок 13.8 – Номінальна характеристика перетворення двійкового три розрядного ЦАП

зового перетворення сигналу шляхом його кодування за допомогою набору компараторів. Такі АЦП виявляються більш швидкодіючими за інші і досягають частот перетворення 100 ... 400 МГц. До недоліків паралельних АЦП відноситься збільшення числа компонентів схеми при зростанні розрядності вихідного числа.

*Паралельно-послідовні* АЦП засновані на двоступеневому алгоритмі перетворення: спочатку відбувається визначення старших розрядів вихідного числа за допомогою першого малорозрядного паралельного АЦП, а далі виділяється залишок аналогового сигналу, який визначається молодшими розрядами за допомогою другого малорозрядного паралельного АЦП. Зв'язок між цими двома паралельними АЦП відбувається за послідовним алгоритмом.

### 13.3.1. Параметри АЦП

Усі параметри АЦП, так само, як і ЦАП, можна поділити на дві групи: *статичні* та *динамічні*.

Найважливішими *статичними* параметрами АЦП є такі, що характеризують похибку перетворення.

*Число розрядів або розрядність* – це найближче ціле двійкового логарифму номінального значення вихідного числа  $N$ :

$$q = \log_2 N. \quad (13.16)$$

При подачі на вхід АЦП лінійної змінної напруги на виході спостерігається послідовна зміна чисел.

Залежність між вхідною аналоговою напругою  $U_x$ , яка перетворюється, і вихідним числом  $N$  називається *характеристикою перетворення* (див. рис. 13.8).

На рис. 13.8 показана лінійна ідеальна характеристика перетворення (1), яка утворюється при необмеженому зменшенні кроку квантування  $h$ .

Реальна характеристика перетворення АЦП може значно відрізнитися від ідеальної, завдяки неідентичності кроків квантування. Відхилення реальної характеристики перетворення від ідеальної визначає *похибку* АЦП і характеризується наступними параметрами: *нелінійність*; *напруга зсуву нуля*; *диференційна нелінійність*.

*Нелінійність* АЦП – це відхилення вхідної напруги в будь-якій точці характеристики перетворення від величини, визначеної за ідеальною у цій самій точці. *Диференційна нелінійність* АЦП – це відхилення дійсних значень кроків квантування характеристика перетворення від їхнього середнього значення. Диференційна нелінійність визначає, наскільки відрізняється реальна сходинка між сусідніми числами від ідеальної.

*Діапазон перетворень* – це різниця між максимальним та мінімальним значеннями вхідної напруги

$$A = U_{\text{вх max}} - U_{\text{вх min}}. \quad (13.17)$$

До *динамічних* параметрів належать *швидкодія* та *час перетворення*.

*Швидкодія* АЦП характеризується часом перетворення або частотою перетворення.

Час перетворення  $t_c$  – це інтервал часу між моментами появи двох сусідніх вихідних чисел.

### 13.3.2. Схеми АЦП

Відомо багато способів АЦ перетворення і кожен з них має свої переваги і недоліки для конкретних практичних випадків.

Серед схем АЦП найчастіше зустрічаються АЦП розгортального перетворення, слідкуючі АЦП та АЦП паралельного кодування.

### *АЦП розгортального перетворення*

Принцип роботи АЦП *розгортального перетворення* полягає у порівнянні вхідної напруги  $U_x$  (рис. 13.9,а) з еталонною  $U_0$ , послідовному нарощуванні еталонної напруги  $U_0$  та формуванні чисел  $N_1, N_2, \dots, N_i$ , пропорційних аналоговому сигналу, коли еталонна напруга досягає вхідної:  $U_0 = U_x$ .

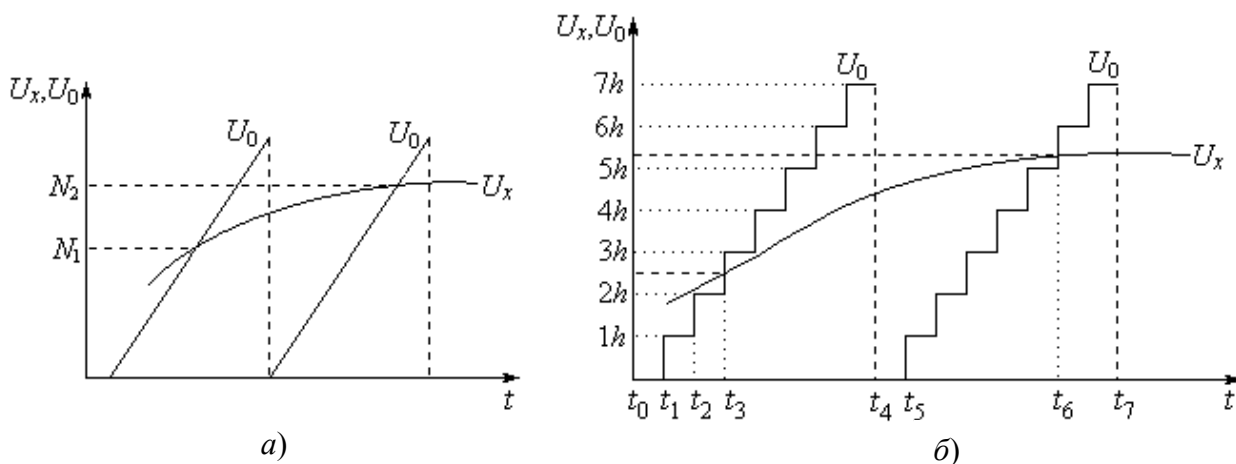


Рисунок 13.9 – Часова діаграма роботи АЦП розгортального перетворення:  
а) принцип; б) реалізація

Структурна схема АЦП розгортального перетворення (урівноваження) показана на рис. 13.10.

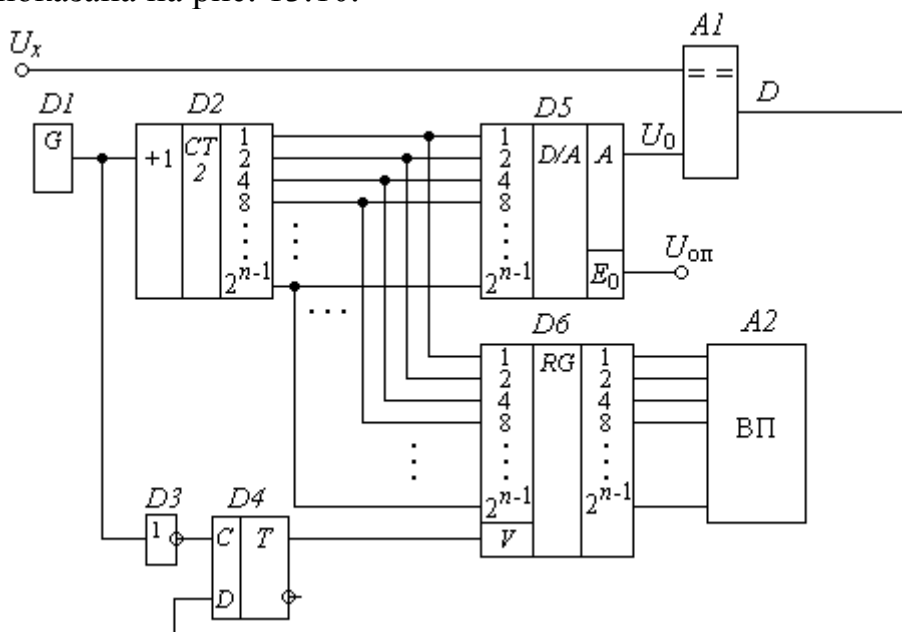


Рисунок 13.10 – АЦП розгортального перетворення

До складу АЦП розгортального перетворення входять наступні пристрої:

- генератор прямокутних імпульсів  $D1$ ;
- лічильник імпульсів  $D2$ ;
- ЦАП  $D5$ ;
- формувач одиничного імпульсу  $D3$ ,  $D4$  для запуску регістра  $D6$ ;
- компаратор  $A1$ ;
- відтворювальний пристрій  $A2$ , яким може бути цифровий індикатор, інтерфейс передавання тощо.

АЦП працює наступним чином.

З кожним імпульсом генератора  $D1$  вміст лічильника  $D2$  збільшується на одиницю, через що еталонна напруга  $U_0$  на виході ЦАП  $D5$  збільшується на один крок квантування  $h$  (див. рис. 13.9,б). Так, у момент  $t_1$  в лічильник  $D2$  потрапляє один імпульс і тому  $U_0 = 1h$ . У момент  $t_2$  вміст лічильника дорівнює 2, через що  $U_0 = 2h$ . У момент  $t_3$  еталонна напруга становить  $U_0 = 3h$  і т.д. Таким чином, вмістом лічильника  $D2$  є номер рівня еталонної напруги  $U_0$ .

Після кожного імпульсу генератора  $D1$  через півперіод на виході інвертора  $D3$  з'являється фронт для запуску тригера  $D4$ , щоб записати в регістр  $D6$  вміст лічильника  $D2$ . Проте запуск тригера  $D4$  здійснюється не завжди, а тільки при  $U_0 \geq U_x$ . (Слід зауважити на те, що інвертор  $D3$  і тригер  $D4$  виконують функцію формувача одиничного імпульсу, схема якого не має значення і може бути іншою. Тут показаний один найпростіший з багатьох інших можливих варіантів).

До моменту  $t_3$  сигнал  $U_x$  недокомпенсований ( $U_0 < U_x$ ) і тому  $D = 0$ . Тригер  $D4$  залишається в нульовому стані, через що вміст лічильника  $D2$  в регістр  $D6$  не записується.

У момент  $t_3$  на третьому імпульсі в лічильнику  $D2$  сигнал перекомпенсований ( $U_0 > U_x$ ) еталонною напругою  $U_0 = 3h$ , через що на виході компаратора  $D = 1$ . Тригер  $D4$  готовий для установлення. Через напівперіод після моменту  $t_3$  на вході  $C$  тригера з'явиться фронт і тригер  $D4$  установлюється, записуючи вміст лічильника  $D2$  в регістр  $D6$ , тобто 3. Так, у момент  $t_3$  значення вхідної напруги  $U_x$  перетворилося на номер рівня  $3h$ , тобто на число 3.

Незважаючи на велику чи малу вхідну напругу  $U_x$ , лічильник  $D2$  після перекомпенсації продовжує накопичувати імпульси до повної місткості. При цьому тригер  $D4$  залишається в установленому стані. Фронту на його виході немає і тому вміст регістру  $D6$  не поновлюється.

У момент  $t_4$  лічильник  $D2$  переповнюючись, скидається в нульовий стан. Сигнал  $U_x$  знову стає недокомпенсованим ( $U_0 < U_x$ ) і тому  $D = 0$ . Наступний фронт інвертора  $D3$  скидає тригер  $D4$  у нульовий стан. Його вихідний зріз при цьому не поновлює запис у регістр  $D6$ , залишаючи в ньому вміст 3.

З моменту  $t_5$  процес заповнення лічильника  $D2$  і наслідків цього повторюється. До моменту  $t_6$  сигнал  $U_x$  недокомпенсований ( $U_0 < U_x$ ) і тому  $D = 0$ . Тригер  $D4$  залишається в нульовому стані, через що вміст лічильника  $D2$  в регістр  $D6$  не записується.

У момент  $t_6$  в лічильник  $D2$  надійшло 6 імпульсів. При цьому еталонна напруга  $U_0 = 6h$  перевищує вхідну  $U_x$ , тобто настає перекомпенсація сигналу

( $U_0 > U_x$ ), через що  $D = 1$ . Тригер  $D4$ , установлюючись, записує в регістр  $D6$  новий номер рівня еталонної напруги  $U_0 = 6h$ , тобто 6. Так, у момент  $t_6$  значення вхідної напруги  $U_x$  перетворилося на номер рівня  $6h$ , тобто число 6 і т.д.

Отже з кожним фактом перекомпенсації сигналу ( $U_0 > U_x$ ) поновлюється вміст регістру  $D6$ , який є результатом аналого-цифрового перетворювання. Ці результати потрапляють на відтворювальний пристрій ВП  $A2$ , призначення і схема якого для кожної окремої задачі є своїми. ВП може бути дешифратором цифрового індикатора, перетворювачем коду, інтерфейсом системи передачі даних тощо.

Перевагою АЦП розгортального перетворення (рис. 13.10) є висока роздільна здатність, яка зумовлена відсутністю зворотного зв'язку. Значним недоліком АЦП розгортального перетворення є дуже мала швидкодія, яка зумовлена тим, що незалежно від рівня вхідної напруги  $U_x$  (див. рис. 13.9,б), лічильник імпульсів  $D2$  (див. рис. 13.10) починає свою роботу з нульового стану (моменти  $t_0$ ,  $t_4$ ,  $t_7$  і т. ін.) для кожного перетворювання (моменти  $t_3$ ,  $t_6$ , ..., .). При цьому втрачається значний час  $t_3 \dots t_4$ .

Цей недолік усунений в слідкуючому АЦП.

### Слідкуючий АЦП

Принцип дії слідкуючого аналого-цифрового перетворення полягає в тому, що після кожної перекомпенсації еталонна напруга  $U_0$  (рис. 13.11) зменшується не на всю величину, а тільки, щоб викликати недокомпенсацію. Так, еталонна напруга  $U_0$  "слідкує" за вхідною напругою  $U_x$ , відхиляючись від неї лише на малу величину. На це відхилення потрібний малий час, через що підвищується швидкодія.

Схема слідкуючого АЦП показана на рис. 13.12.

Вона відрізняється від схеми АЦП розгортального перетворення (див. рис. 13.10) лише тим, що лічильник імпульсів  $D6$  (рис. 13.12) реверсивний, а вихід  $D$  компаратора  $A1$  зв'язаний з додатковими елементами  $D2$ ,  $D4$  для керування напрямом лічби.

АЦП працює наступним чином.

До моменту  $t_3$  (рис. 13.11) еталонна напруга  $U_0$  менше вхідної  $U_x$ . Сигнал недокомпенсований ( $U_0 < U_x$ ), через що  $D = 0$  і тому через інвертор  $D2$  і схему І  $D3$  відкритий вхід підсумовування  $+1$  лічильника  $D6$ . Отже в моменти  $t_1$ ,  $t_2$  і  $t_3$

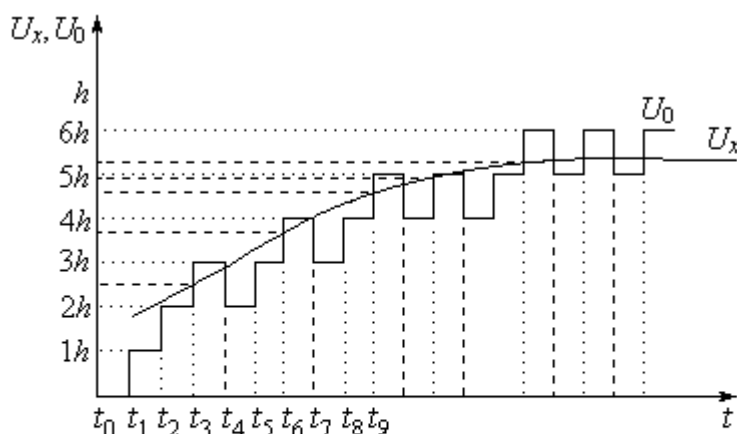


Рисунок 13.11 – Слідкує аналого-цифрове перетворення:

..... моменти підсумовування імпульсів;  
 ----- моменти віднімання імпульсів

лічильник  $D6$  накопичує імпульси, збільшуючи через ЦАП  $D8$  еталонну напругу  $U_0$ .

У момент  $t_3$  на третьому імпульсі в лічильнику  $D6$  сигнал перекомпенсований ( $U_0 > U_x$ ) еталонною напругою  $U_0 = 3h$ , через що на виході компаратора  $D = 1$ .

Тригер  $D7$  підготовлений до устанавлення.

Через напівперіод після моменту  $t_3$  на вході  $C$  тригера з'явиться фронт і тригер  $D7$  устанавлюється, записуючи вміст лічильника  $D6$  у регістр  $D8$ . Так, у момент  $t_3$  значення вхідної напруги  $U_x$  перетворилося на номер рівня  $3h$ , тобто на число 3.

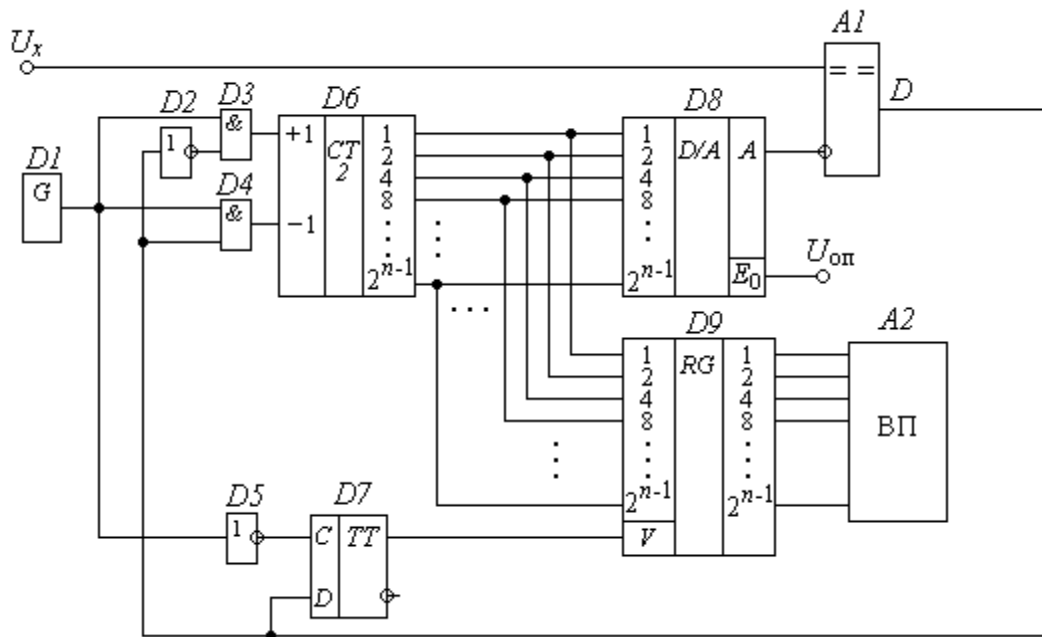


Рисунок 13.12 – Сліdkуючий АЦП

При перекомпенсації ( $U_0 > U_x$ ) напруга  $D = 1$  закриває елементами  $D2$  і  $D3$  вхід  $+1$  і відкриває схемою І  $D3$  вхід віднімання  $-1$  лічильника  $D6$ . Тому в момент  $t_4$  вміст лічильника  $D6$  зменшується на одиницю, знижуючи саме тим еталонну напругу  $U_0$  на один крок квантування  $h$ . Вхідна напруга  $U_x$  стає недокомпенсованою ( $U_0 < U_x$ ), через що напруга  $D = 0$  за допомогою елементів  $D2$ ,  $D3$  і  $D4$  повертає режим підсумовування лічильника  $D6$ .

У момент  $t_5$  вміст лічильника  $D6$  збільшується на одиницю, підвищуючи еталонну напругу  $U_0$  на один крок квантування  $h$ , але сигнал залишається недокомпенсованим ( $U_0 < U_x$ ). Тому режим лічильника  $D6$  не змінюється і в момент  $t_6$  вміст лічильника збільшується до 4. Оскільки при цьому настає перекомпенсація ( $U_0 > U_x$ ), то вміст 4 заноситься в регістр  $D8$ .

Далі цей процес продовжується. Так у момент  $t_7$  еталонна напруга  $U_0$  зменшиться на  $h$ , у моменти  $t_8$  і  $t_9$  збільшиться відповідно на  $h$  і в момент  $t_9$  перекомпенсує сигнал. У лічильнику  $D6$  і відповідно в регістрі  $D8$  буде число 5 і т.д.

Так еталонна напруга  $U_0$  змінюється не на весь свій діапазон, як в АЦП розгортального перетворення, а лише на декілька кроків квантування, “слідкуючи” за вхідною напругою  $U_x$ . Це й підвищує швидкодію.

Головним недоліком слідкуючого АЦП є наявність зворотного зв'язку ( $A1 - D6$ ). Через це слідкуючі АЦП мають схильність до самозбудження. Наступним недоліком є те, що час перетворення хоча і менше за АЦП послідовного наближення, але може займати декілька тактових інтервалів.

Цей недолік усунено в АЦП *паралельного кодування*, де час перетворення завжди дорівнює лише одному тактовому інтервалу.

### ***АЦП паралельного кодування***

АЦП *паралельного кодування* – це найбільш швидкодіючі перетворювачі. Висока швидкодія цього типу АЦП забезпечується за рахунок *одночасного* порівняння вхідного сигналу з багатьма  $N$  квантами опорної напруги на  $N$  компараторах.

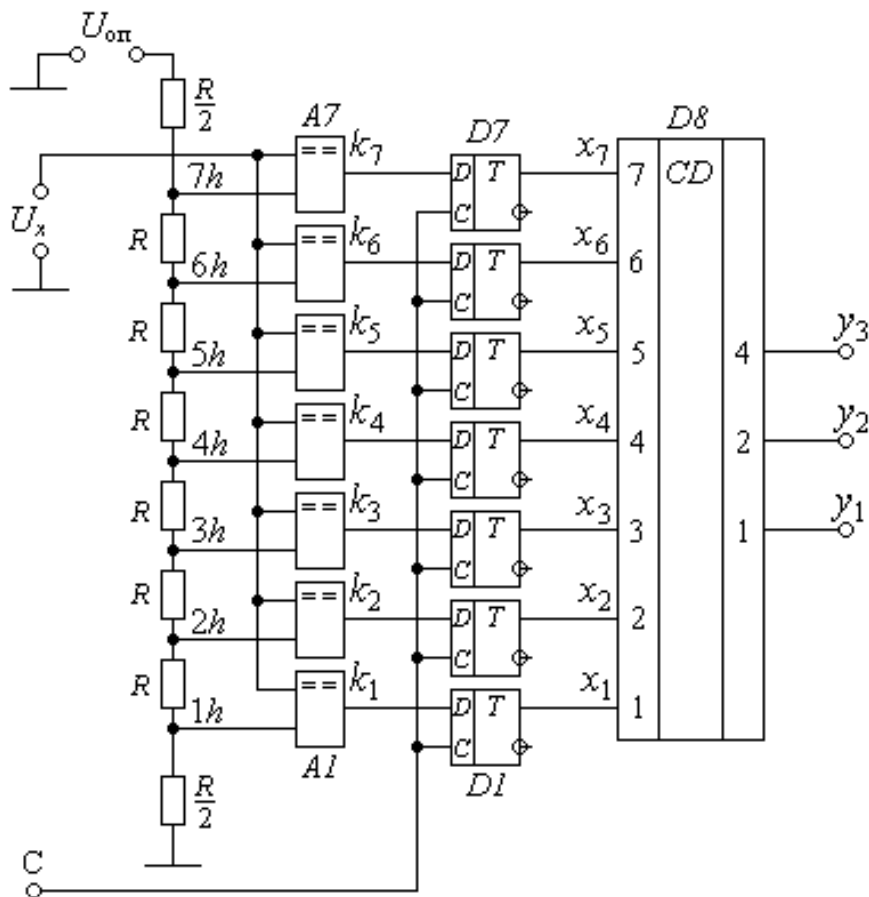


Рисунок 13.13 – АЦП паралельного кодування

Найпростіша схема семирозрядного АЦП паралельного кодування (далі – паралельного АЦП) показана на рис. 13.13.

АЦП містить подільник опорних напруг на резисторах  $R/2, R, \dots, R/2$ ; компаратори  $A1 - A7$ ; тригери  $D1 - D7$  та пріоритетний шифратор  $D8$ .

Компаратори порівнюють вхідну напругу  $U_x$  з усіма опорними напругами  $1h, 2h, \dots, 7h$ , кількість яких дорівнює числу розрядів.

Тригери запам'ятовують номери рівнів опорної напруги, до якого наближена вхідна напруга  $U_x$ . Ці тригери необхідні для того, щоб гонки між виходами компараторів не впливали на роботу шифратора.

Подільник опорних напруг є послідовним з'єднанням високоточних резисторів, які утворюють шину ділення стабілізованого джерела опорної напруги  $U_{оп}$  з виводами через кожний крок квантування. Кількість виводів дорівнює числу розрядів у коді "1 із  $n$ ".

Усі виходи подільника з'єднанні з першими входами компараторів  $A1...A7$ , на інші входи яких подана вхідна напруга  $U_x$ , що підлягає аналого-цифровому перетворенню.

Виходи компараторів  $k_1 ... k_7$  з'єднанні відповідно з  $D$ -входами тригерів  $D1-D7$ , прямі виходи яких підключені до входів  $x_1...x_7$  шифратора  $D8$ .

Паралельний АЦП працює наступним чином.

Вхідна напруга  $U_x$  одночасно порівнюється з опорними рівнями, які отримані з подільника. В залежності від неї виходи компараторів набувають значень, які надано в таблиці станів (табл. 13.2).

Таблиця 13.2 – Стани елементів паралельного АЦП

Вхідна напруга $U_x$	Стани компараторів							Стани шифратора			Десятькове число
	$k_7$	$k_6$	$k_5$	$k_4$	$k_3$	$k_2$	$k_1$	$y_3$	$y_2$	$y_1$	$N$
0	0	0	0	0	0	0	0	0	0	0	0
$1h$	0	0	0	0	0	0	1	0	0	1	1
$2h$	0	0	0	0	0	1	1	0	1	0	2
$3h$	0	0	0	0	1	1	1	0	1	1	3
$4h$	0	0	0	1	1	1	1	1	0	0	4
$5h$	0	0	1	1	1	1	1	1	0	1	5
$6h$	0	1	1	1	1	1	1	1	1	0	6
$7h$	1	1	1	1	1	1	1	1	1	1	7

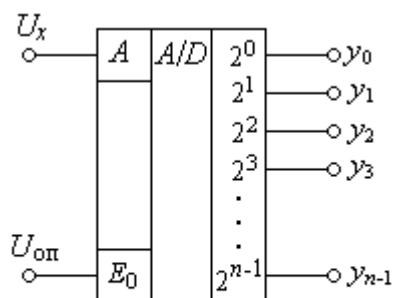


Рисунок 13.14 – Умовне позначення АЦП

Стани компараторів  $k_1 ... k_7$  за командою  $C$  запам'ятовуються відповідно тригерами  $D1...D7$ . Зі схеми (див. рис. 13.13) і табл. 13.2 бачимо, що на входи  $x_1...x_7$  шифратора  $D8$  надходить номер того рівня опорної напруги, якому дорівнює вхідна напруга  $U_x$  з похибкою  $\pm h/2$ , де  $h$  – крок квантування.

Отже, будь-яка вхідна напруга за будь-якої кількості кроків квантування перетворюється на число за лише один такт синхроімпульсу  $C$ . Тому швидкодія паралельного АЦП найбільша.

Умовне позначення АЦП показано на рис. 13.14.

Недоліком АЦП паралельного кодування є значні апаратні витрати, які пропорційні розрядності перетворювача.

Зазначений недолік частково усунений в *послідовно-паралельних* АЦП, але за рахунок зменшення швидкодії вдвічі.



## Контрольні питання

1. Які функції виконують аналого-цифрові (АЦП) та цифро-аналогові перетворювачі (ЦАП)?
2. Які вузли входять до складу схеми ЦАП на двійково-зважених резисторах?
3. Які переваги та недоліки мають ЦАП на основі матриці резисторів  $R-2R$ ?
4. У чому полягає принцип аналого-цифрове перетворення? З яких процесів він складається?
5. Що таке АЦП розгортаючої дії? Які переваги та недоліки мають такі АЦП?
6. Що таке слідкуючі АЦП?
7. Що таке АЦП паралельного кодування? Які переваги та недоліки мають такі АЦП?

## Розділ 14. ОПТОЕЛЕКТРОННІ ПРИЛАДИ

### 14.1. Загальні відомості

**Оптоелектроніка** – це область електроніки, в якій як носії інформації використовуються електромагнітні хвилі оптичного діапазону: інфрачервоного –  $\lambda = (0,7 \cdot 10^{-6} \dots 10^{-3})$  м;

видимого –  $\lambda = (0,4 \cdot 10^{-6} \dots 0,7 \cdot 10^{-6})$  м;

ультрафіолетового –  $\lambda = (0,4 \cdot 10^{-6} \dots 0,7 \cdot 10^{-6})$  м.

Частоти цих випромінювань лежать у діапазоні  $f = (3 \cdot 10^{11} \dots 3 \cdot 10^{16})$  Гц, але довжина хвилі більш повно характеризує властивості цього випромінювання.

В оптоелектроніці світловий промінь виконує ті самі функції управління, перетворення і зв'язку, що і електричний сигнал в електричних колах.

**Фотоелектричними** називають прилади, які здійснюють перетворення енергії оптичного сигналу в електричний. Зворотне перетворення здійснюють **світловипромінюючі** прилади.

#### **Приймачі оптичного випромінювання**

Всі приймачі оптичного випромінювання за принципом дії можна розділити на два великі класи: *теплові* та *фотонні*. Фотонні приймачі у свою чергу можна розділити на приймачі із зовнішнім та внутрішнім фотоефектом. Розглянемо *фотонні приймачі*.

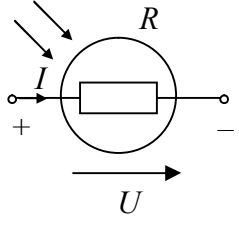
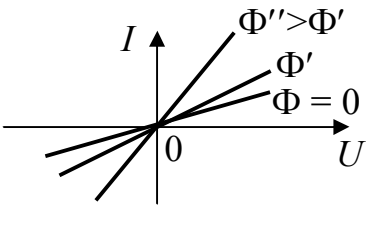
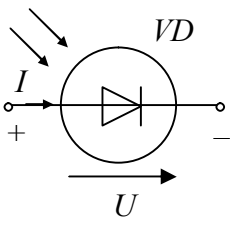
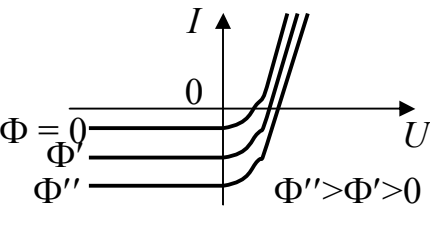
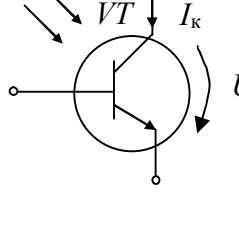
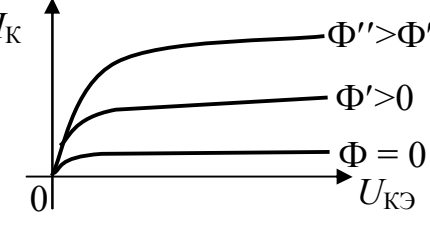
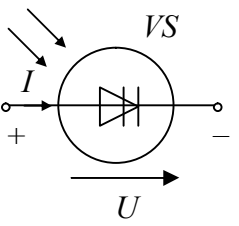
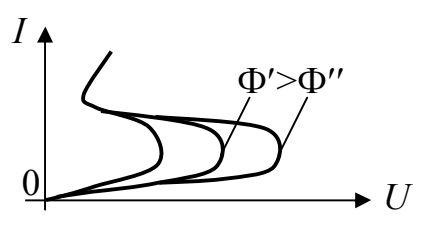
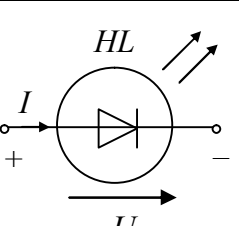
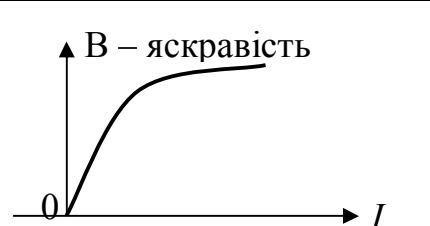
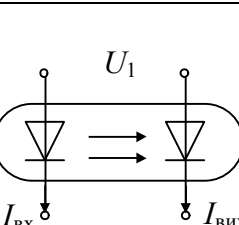
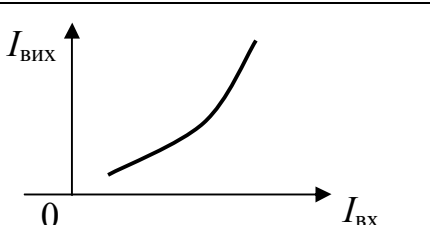
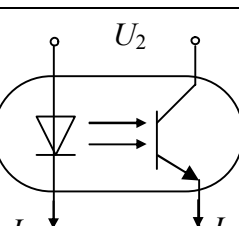
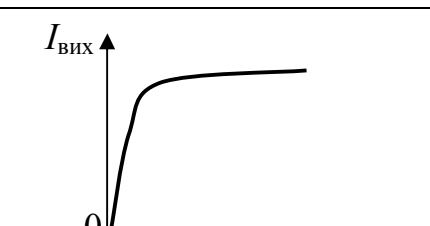
*Зовнішній фотоефект* заснований на явищі фотоелектронної емісії. Під дією випромінювання з поверхні фоточутливого елемента емітують електрони. Фоточутливий елемент називається *фотокатодом*. Потік електронів уловлюється анодом, у зовнішньому колі утворюється струм.

На зовнішньому фотоефекті засновані фотоемісійні приймачі випромінювання: *фотоелементи*, *фотоелектронні помножувачі*, *електронно-оптичні перетворювачі*. Фотоелементи і фотоелектронні помножувачі використовуються у схемах автоматики та контрольно-вимірювальних пристроях, джерелами світла в них служать лампи розжарювання або інші освітлювачі.

*Внутрішній фотоефект* виникає у напівпровідниках, коли при опроміненні електрони отримують додаткову енергію, достатню для подолання забороненої зони і переходу до зони провідності. В результаті кількість вільних носіїв заряду збільшується, підвищується провідність речовини або виникає внутрішня ЕРС. Внутрішній фотоефект використовується в роботі приймачів оптичного випромінювання: *фоторезисторів*, *фотодіодів*, *фототранзисторів*, *фототиристорів та інших приладів*.

**Фоторезистором** називають напівпровідниковий прилад, опір якого залежить від освітленості. Умовне позначення фоторезистора і його характеристики показані в табл. 14.1. Фоторезистор поводить як омичний опір, але величина його залежить від величини світлового потоку  $\Phi$ : при збільшенні освітленості опір зменшується. Фоторезистори використовуються для вимірювання малих величин освітленості, а також як керовані опори. До недоліків фоторезисторів слід віднести інерційність, значну температурну залежність і вплив вологості.

Таблиця 14.1 – Оптоелектронні прилади

№ з/п	Найменування	Умовне позначення	Характеристики
1	Фоторезистор		
2	Фотодіод		
3	Фототранзистор		
4	Фототиристор		
5	Світлодіод		
6	Оптрон діодний		
7	Оптрон з фототранзистором		

**Фотодіод.** Структура фотодіода аналогічна структурі звичайного площинного напівпровідникового діода. Відмінність полягає в тому, що його  $p$ - $n$ -перехід однією стороною звернений до скляного вікна, через яке надходить світло, іншою – захищений від впливу світла. При освітленні фотодіода з'являється додаткове число електронів і дірок, внаслідок чого збільшується кількість переходів неосновних носіїв зарядів. Це призводить до збільшення струму у колі. У табл. 14.1 показане умовне позначення фотодіода і надано сімейство характеристик. Фотодіоди використовуються у фотометричних вимірюваннях. Фотодіоди також придатні для отримання електричної енергії. Для цих цілей виготовляють спеціальні фотодіоди з великою площею  $p$ - $n$ -переходу, які називаються *сонячними елементами*.

**Фототранзистори.** Їх можна розглядати як комбінацію фотодіода і транзистора. Це дозволяє одночасно з перетворенням світлової енергії в електричну здійснити підсилення фотоструму. Як і звичайні транзистори, фототранзистори можуть бути  $p$ - $n$ - $p$  та  $n$ - $p$ - $n$ -типу. На вхід фототранзистора можна подавати оптичний і електричний сигнал. Напругу живлення на фототранзистор подають як і на звичайний транзистор, проте він може працювати і з відключеним виводом бази. У табл. 14.1 показано умовне позначення фототранзистора і надано сімейство характеристик.

При  $\Phi = 0$  струм колектора малий. При освітленні приладу під впливом світла в базовій області утворюються вільні носії заряду, які призводять до збільшення струму колектора. При розрахунках схем з фототранзисторами їх можна розглядати як звичайні транзистори, на вхід яких подається електричний сигнал, еквівалентний оптичному.

**Фототиристри.** Це напівпровідникові прилади, що являють собою багатошарову напівпровідникову структуру, яка включається світлом. Принцип дії фототиристорів аналогічний принципу дії звичайного тиристора. У табл. 14.1 показано умовне позначення фототиристора і надано сімейство характеристик. Фототиристри застосовуються у фотореле, в оптоелектронних логічних схемах промислової автоматики, в імпульсній техніці як генератори потужних імпульсів, у пристроях зчитування, як запам'ятовуючі пристрої.

За останні роки набули застосування *інтегральні фотоприймальні пристрої*. Їх чутлива поверхня може виготовлятися як неперервною, так і дискретною. Більш широко використовуються дискретні поверхні. У них поверхня виконується у вигляді впорядковано розташованих лінійок, матриць або спеціальних наборів окремих елементів, називаних *пікселями*, які створені на основі фотоелементів, фотодіодів, фототранзисторів, МДН-конденсаторів. На основі МДН-конденсаторів створені *прилади з зарядним зв'язком (ПЗЗ)*, з яких збираються матриці. Кількість елементів у матриці ПЗЗ може перевищувати кілька мільйонів пікселів – елементарних елементів, на які розбивається зображення. Управляючі пристрої для цих приладів виготовляються на основі зсувних регістрів або кільцевих лічильників.

Прогрес в області КМОН-технологій дозволив створити *ПЗЗ-матрицю*, яка дозволяє реєструвати кольорні складові зображення одночасно в одному пікселі.

### ***Джерела оптичного випромінювання***

Принцип дії випромінювальних напівпровідникових приладів заснований на випромінюванні квантів електромагнітної енергії при переході частинок з високого енергетичного стану у більш низький. При цьому виникають явища люмінесценції та індукованого випромінювання.

*Люмінесцентні напівпровідникові випромінювачі* побудовані на основі збудження електронів у матеріалі в результаті зовнішньої дії. Явище люмінесценції широко використовується в *некогерентних* випромінювальних напівпровідникових приладах, наприклад, **світлодіодах**.

**Світлодіоди** виготовляються на основі арсенідів і фосфидів галію, індію та алюмінію з електронною та дірковою провідностями. Ці діоди випромінюють світло при протіканні через них прямого струму. Область спектрального випромінювання діодів має досить вузькі межі. У табл. 14.1 показано умовне позначення і характеристика світлодіода. Яскравість освітлення у широкому діапазоні пропорційна прямому струму діода. Струму у кілька міліампер вже достатньо для виразної індикації, тому світлодіоди зручно використовувати як елементи індикації у напівпровідникових схемах. Світлодіоди використовують як випромінювальний елемент оптрона, у фотозчитувачах, у системах оптичного передавання інформації по світловоді. Світлодіоди виготовляються також у вигляді матриць.

Явище *індукованого випромінювання* лежить в основі роботи **квантових приладів**. Тривалість індукованого випромінювання близька до періоду світлових коливань. Індуковане випромінювання відрізняється когерентністю і вузьким спектром. Залежно від частоти коливань, що генеруються, квантово-оптичні прилади поділяються на *мазери*, випромінюючі сантиметрові і міліметрові хвилі, і *лазери* – прилади оптичного діапазону. Напівпровідникові **лазери** використовуються у світловодних лініях зв'язку і передавання інформації, а також у системах автоматики й управління.

Особливу групу індикаторних приладів становлять **рідкокристалічні індикатори (РКІ)**. У цих приладах використовуються речовини, що мають властивості, проміжні між властивостями твердого кристала і рідини. Особливість рідкокристалічних речовин полягає у наявності стрижневих молекул, здатних розташовуватися паралельними ланцюжками, утворюючи впорядковану кристалічну решітку. Під дією електричного поля в рідких кристалах порушується орієнтація молекул. При цьому в речовині виникає ефект динамічного розсіювання, що супроводжується зміною прозорості рідини. Цей ефект використовують для створення індикаторів.

Перспективним різновидом рідкокристалічних індикаторів є індикатори, що використовують ефект обертання площини поляризації світла під дією електричного поля. Прикладене електричне поле викликає поворот осей молекул навколо їхніх центрів паралельно вектору електричного поля. При цьому ділянка, яка перебуває у схрещених поляризаторах, стає темною, непрозорою, а в паралельних поляризаторах – світлою, прозорою. Рідкокристалічні індикатори, які використовують ефект обертання площини поляризації, мають мале споживання енергії, що забезпечує хорошу узгодженість з інтегральними схемами, і мають високі значення контрасту при менших напругах порівняно з індикаторами з динамічним розсіюванням.

*Рідкокристалічні індикатори* знаходять широке застосування в електронних годинниках, мікрокалькуляторах, комп'ютерах, системах контролю й управління. Внаслідок малого енергоспоживання використання їх особливо перспективне у пристроях з обмеженим запасом живлення.

## 14.2. Оптрони

Якщо в одному корпусі об'єднати світлодіод і фоточутливий елемент, то отримаємо напівпровідниковий прилад – **оптрон**. Як фотоприймачі можна використовувати фоторезистор, фотодіод, фототранзистор, фототиристор. У табл. 14.1 показані два типи оптронів: діодний і транзисторний, їх умовні позначення і характеристики. Оптрон дозволяє здійснити перетворення вхідного струму у вихідний з повним гальванічним розділенням кіл. Оптрони застосовуються для передачі як цифрових, так і аналогових сигналів. Електрична ізоляція входу від виходу дозволяє за допомогою низьких напруг управляти високими, здійснювати розв'язку низькочастотних і високочастотних кіл, виконувати високоякісні електронні реле та комутатори.

За ступенем складності структурної схеми виробу оптронної техніки класифікуються наступним чином:

- 1) оптрони (елементарні оптрони): діодні, транзисторні (біполярні і польові), тиристорні, резисторні;
- 2) оптоелектронні інтегральні мікросхеми: перемикальні, комутаційні, релейні, функціональні, індикаторні;
- 3) спеціальні види оптронів: з відкритим оптичним каналом, з гнучким світловодом, з керованим оптичним каналом.

В основу класифікації оптронів можуть бути покладені різні критерії. Оптрони можна класифікувати за їх головним функціональним призначенням. Тут розрізняють оптрони трьох типів:

- оптрони із зовнішнім оптичним та внутрішнім електричним зв'язками, призначені для підсилення і перетворення випромінювання;
- оптрони із внутрішнім оптичним зв'язком, використовувані як змінні опори;
- оптрони з електричним зв'язком, використовувані як ключові елементи.

Іншим критерієм для класифікації оптронів може служити тип застосовуваного фотоприймача, вибором якого в основному визначаються параметри оптронів. За типом використовуваного фотоприймача оптрони підрозділяються на такі, що використовують фотодіоди (рис. 14.1,а), одиночні фототранзистори (рис. 14.1,б), складені фототранзистори (рис. 14.1,в), фототиристори (рис. 14.1,г) і фоторезистори (рис. 14.1,д).

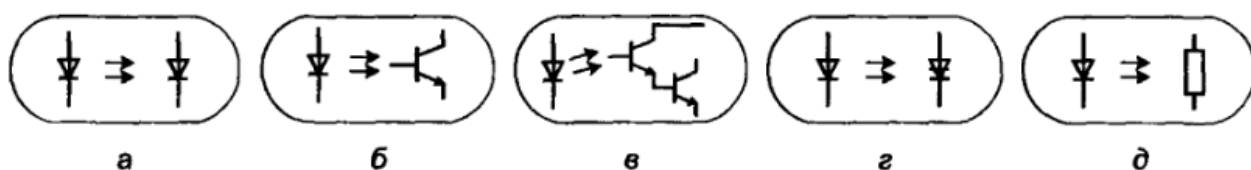


Рисунок 14.1 – Умовні позначення оптопар

Принципові переваги оптопар, які зумовлені використанням фотонів як носії інформації, полягають у забезпеченні високої електричної ізоляції входу і виходу, односпрямованості потоку інформації, відсутності зворотного зв'язку з виходу на вхід і широкий смузі пропускання.

Крім того, важливими перевагами оптопар є:

- можливість безконтактного управління електронними об'єктами і зумовлені цим різноманітність і гнучкість конструкторських рішень управління;
- несприйнятливості оптичних каналів зв'язку до впливу електромагнітних полів, що у разі оптопар з протяжним оптичним каналом зумовлює високу заводо захищеність, а також виключає взаємні наведення;
- можливість створення функціональних мікроелектронних пристроїв з фотоприймачами, характеристики яких під дією оптичного випромінювання змінюються за заданим законом;
- розширення можливостей управління вихідним сигналом оптопар шляхом впливу на оптичний канал і, як наслідок цього, створення різноманітних датчиків і приладів для передавання інформації.

Сучасним оптопарам притаманні і певні недоліки:

- низький ККД, обумовлений необхідністю подвійного перетворення енергії, і значна споживана потужність;
- сильна температурна залежність параметрів;
- високий рівень власних шумів;
- конструктивно-технологічна недосконалість, яка пов'язана здебільшого з використанням гібридної технології.

Перераховані недоліки оптопар в міру удосконалення матеріалів, технології, схемотехніки поступово усуваються

#### 14.2.1. Структурна схема оптрона

Структурну схему оптрона показано на рис. 14.2.

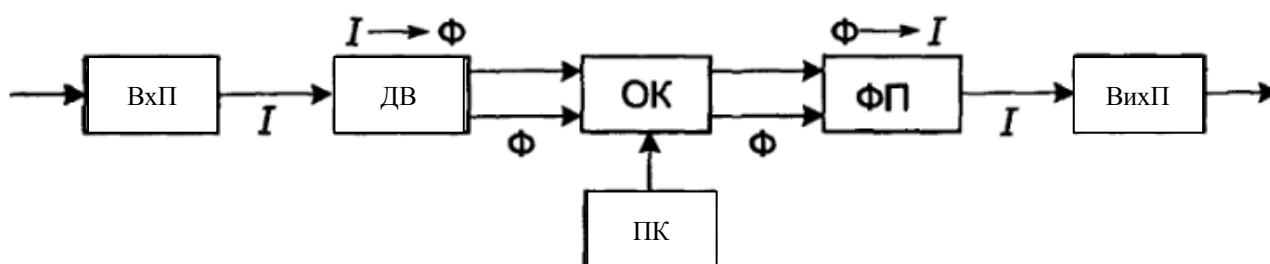


Рисунок 14.2 – Структурна схема оптрона

На ній позначено: ВхП – вхідний пристрій; ДВ – джерело випромінювання; ОК – оптичний канал; ФП – фотоприймач; ВихП – вихідний пристрій; ПК – пристрій керування.

*Вхідний пристрій* служить для оптимізації робочого режиму джерела випромінювання і перетворення зовнішнього сигналу.

*Джерело випромінювання.* Основним випромінювачем сучасних оптопар є інжекційний світлодіод. При створенні надшвидкодіючих і потужних оптопар з

протяжним оптичним каналом може виявитися доцільним застосування напівпровідникових лазерів.

*Оптичний канал.* Якість оптопари значною мірою залежить від ефективності передачі енергії від випромінювача до приймача, тобто від властивостей оптичного каналу. В оптопарах використовуються наступні конструктивні види оптичних каналів:

- зв'язок через повітря, який характеризується простотою і високою електричною ізоляцією;
- зв'язок через повітря з використанням оптичного фокусування за допомогою лінз, що забезпечує краще передавання випромінювання порівняно з прямим зв'язком через повітря;
- зв'язок з використанням іммерсійного середовища, що забезпечує найкращі параметри оптичного каналу;
- зв'язок з використанням відрізка світловоду.

*Фотоприймач.* Найбільш поширеними типами фотоприймачів у сучасних оптопарах є *p-i-n*-фотодіоди, фототранзистори і фототиристри. Спектральні характеристики таких фотоприймачів охоплюють весь видимий діапазон спектра і частину ближньої інфрачервоної області. Фотодіоди є хорошими фотоприймачами, однак для отримання вихідних сигналів необхідної амплітуди потрібно доповнити фотодіод підсилювачем. Широке застосування в оптопарах отримали складені фототранзистори і фототиристри.

*Вихідний пристрій.* Вихідний пристрій повинен перетворити сигнал фотоприймача у стандартну форму, зручну для впливу на наступні за оптроном каскади, якими найчастіше є вхідні кола логічних інтегральних схем або пристрої релейного типу. Практично обов'язковою функцією вихідного пристрою є підсилення сигналу, тому що втрати після подвійного перетворення дуже значні.

Загальна структурна схема рис. 14.2 реалізується в кожному конкретному приладі лише частиною блоків. Реальний оптрон може бути складнішим, ніж схема на рис. 14.1.

#### **14.2.2. Основні електричні параметри оптронів**

У системі параметрів оптопар можна виділити наступні групи: *вхідні параметри, вихідні параметри, передавальні параметри та параметри ізоляції*.

Вхідне коло оптопари описується наступними основними параметрами:

- *номінальний вхідний струм*  $I_{\text{вх ном}}$  – значення струму, рекомендоване для оптимальної експлуатації оптопари і яке використовується при вимірюванні її основних параметрів;
- *вхідна напруга*  $U_{\text{вх}}$  – падіння напруги на випромінювальному діоді в прямому напрямку при заданому значенні прямого струму, звичайно при  $I_{\text{вх ном}}$ ;
- *вхідна ємність*  $C_{\text{вх}}$  – ємність між вхідними виводами оптопари у заданому режимі.

Крім того, використовуються граничні вхідні параметри:



– *максимальний вхідний струм*  $I_{\text{вх max}}$  – максимальне значення постійного прямого струму, який допускається пропускати через випромінювальний діод оптопари;

– *зворотна вхідна напруга*  $U_{\text{вх зв}}$  – максимальне значення зворотної напруги будь-якої форми, яка може бути прикладена до входу оптопари у зворотному напрямку.

Вихідне коло оптопари описується наступними основними параметрами:

– *максимально припустима зворотна вихідна напруга*  $U_{\text{вих зв max}}$  – максимальне значення зворотної напруги будь-якої форми, яке допускається прикладати до виходу оптопари;

– *максимально припустимий вихідний струм*  $I_{\text{вих max}}$  – максимальне значення струму, який допускається пропускати через фотоприймач в увімкненому стані оптопари;

– *струм витоку на виході*  $I_{\text{вит}}$  – струм на виході оптопари при  $I_{\text{вх}} = 0$  і заданому значенні і полярності  $U_{\text{вих}}$ ;

– *вихідна залишкова напруга*  $U_{\text{зал}}$  – значення напруги на увімкненому фототиристорі або фоторезисторі в режимі насичення;

– *вихідна ємність*  $C_{\text{вих}}$  – ємність фотоприймача.

Передавальні параметри характеризують ефективність передавання електричного сигналу зі входу оптопари на вихід. Ефективність передавання енергії сигналу описують *коефіцієнтом передавання* (зазвичай струму), а швидкість передавання сигналу – часовими параметрами.

Основним параметром, який характеризує передавання сигналу оптопари зі входу на вихід, для всіх типів оптопар, крім тиристорних, є коефіцієнт передавання струму  $k_i$ , тобто відношення струму на виході оптопари  $I_{\text{вих}}$ , до струму, який діє на його вході  $I_{\text{вх}}$ :

$$k_i = I_{\text{вих}} / I_{\text{вх}}. \quad (14.1)$$

Залежність  $I_{\text{вих}} = f(I_{\text{вх}})$  називається *передатною характеристикою*. Передатна характеристика у загальному випадку нелінійна. Розрізняють статичний коефіцієнт передачі  $k_i$ , який визначається за формулою (14.1), і диференціальний коефіцієнт передавання:

$$k_{\text{ід}} = \lim_{\Delta I_{\text{вх}} \rightarrow 0} \frac{\Delta I_{\text{вих}}}{\Delta I_{\text{вх}}}. \quad (14.2)$$

Нелінійність передатної характеристики пов'язана з нелінійністю випромінювальної характеристики випромінювача оптопари, а також із залежністю диференційного коефіцієнта передавання від вихідного струму. Тиристорна оптопара працює у ключовому режимі, і параметр  $k_i$  для неї не має сенсу. Передаткова характеристика для неї визначається вхідним струмом, за якого фототиристор включається. У паспорті на тиристорну оптопару задається *значення струму включення* – мінімальне значення вхідного струму, за якого гарантується надійне відпирання фототиристора. Крім того, задається *максимально припустимий вхідний струм завади*  $I_{\text{зав max}}$  – максимальне значення вхідного струму тиристорної оптопари, за якого фототиристор не включається. Параметр  $I_{\text{зав max}}$  характеризує завадостійкість тиристорної оптопари.

Швидкодія оптопар характеризують такі часові параметри перехідної характеристики вихідного струму  $i_{\text{вих}}(t)$ , отримуваної при подачі на вхід прямокутного імпульсу з амплітудою  $I_{\text{вх}}$  (рис. 14.3):

– час наростання вихідного струму  $t_{\text{нар}}$  – час наростання вихідного струму від рівня  $0,1I_{\text{вих max}}$  до рівня  $0,9I_{\text{вих max}}$ ;

– час затримки при включенні  $t_{\text{зт}}$  – час від моменту подачі  $t_0$  імпульсу вхідного струму до моменту наростання вихідного струму до рівня  $0,1I_{\text{вих max}}$ .

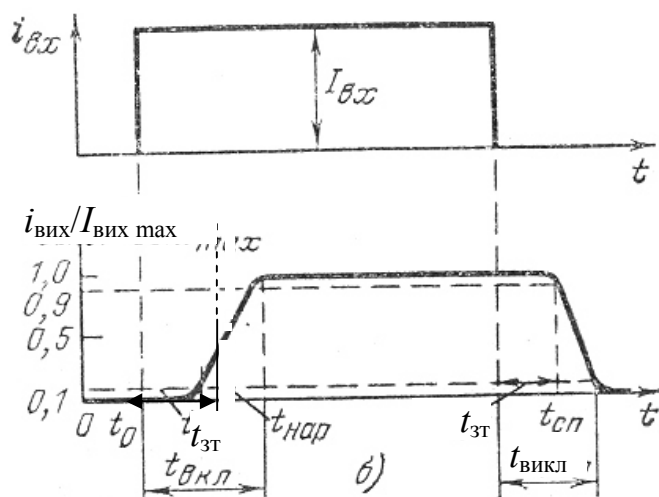


Рисунок 14.3 – Діаграма перемикання оптопари

Сума часу затримки і часу наростання при включенні становить час включення  $t_{\text{вкл}} = t_{\text{зт}} + t_{\text{нар}}$ . Аналогічним чином визначаються час спадання  $t_{\text{сп}}$ , час затримання при вимиканні і час вимикання. Швидкодія оптопари характеризується часом перемикання  $t_{\text{пер}} = t_{\text{вкл}} + t_{\text{викл}}$ . Швидкодія деяких класів оптопар задається граничною частотою  $f_{\text{гр}}$  або максимальною швидкістю передавання інформації  $F$ .

### 14.2.3. Застосування оптронів

Застосування оптронів характеризується їх впровадженням в усі нові галузі електроніки, обчислювальної техніки, автоматики й електроніки.

Як гальванічна розв'язка оптрони застосовуються для: зв'язку блоків апаратури, між якими є значна різниця потенціалів; захисту вхідних кіл вимірювальних пристроїв від перешкод і наведень; узгодження інтегральних схем, що мають різні потенційні рівні логічних станів (наприклад, біполярних і на польових транзисторах); розв'язки шин живлення від землі і т.п. В усіх цих застосуваннях оптрони служать для передавання інформації між блоками, які не мають замкнених електричних зв'язків, і, як правило, не несуть самостійного функціонального навантаження. В якості таких інформаційних оптронів зазвичай використовуються оптопари з діодним або транзисторним виходом і оптронні мікросхеми типу перемикача. Для передавання аналогової інформації використовуються специфічні за побудовою і характеристиками диференціальні оптопари й оптронні мікросхеми.

Інша найважливіша область застосування оптронів – оптичне, безконтактне керування потужнострумовими і високовольтними колами. Запуск потужних тиристорів, керування електромеханічними релейними пристроями і приводами верстатів, комутація силових ліній електроживлення – ось ті функції, які виконують керуючі оптрони (як правило, з тиристорним виходом або

приймачем у вигляді складеного фототранзистора) й оптронні мікросхеми релейного типу.

Створення «довгих» оптронів (приладів з протяжним гнучким волоконно-оптичним світловодом) відкрило зовсім новий напрямок застосування виробів оптронної техніки – *зв'язок на коротких відстанях*. Сюди відносяться зв'язки між платами всередині блока ЕОМ, зв'язки між блоками і між окремими ЕОМ; виносні щупи контрольно-вимірювальних приладів.


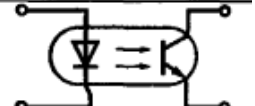

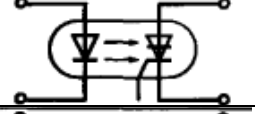

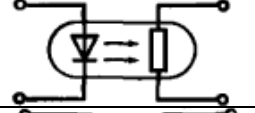
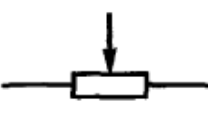
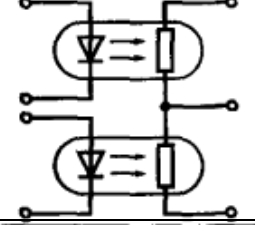
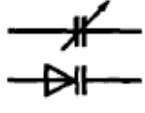
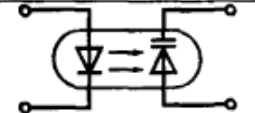
Різні оптрони (діодні, резисторні, транзисторні) знаходять застосування і в суто радіотехнічних схемах модуляції, автоматичного регулювання підсилення та ін. Вплив по оптичному каналу тут використовується для виведення схеми в оптимальний робочий режим, для безконтактної перебудови режиму і т. п.

Можливість зміни властивостей оптичного каналу за різних зовнішніх впливів на нього дозволяє створити цілу серію оптронних датчиків: це датчики вологості і загазованості, датчики наявності в обсязі тієї чи іншої рідини, датчики чистоти оброблення поверхні предмета, швидкості його переміщення і т. п. Особливо значного поширення для введення інформації в ЕОМ отримали оптрони з відкритим оптичним каналом.

### ***Застосування оптронів як аналогів електрорадіокомпонентів***

Широта функціональних можливостей оптронів зумовлена тим, що вони є схемотехнічними аналогами багатьох традиційних електрорадіокомпонентів, деталей, пристроїв (табл. 14.2).

Таблиця 14.2 – Оптрон як аналог електрорадіокомпонентів

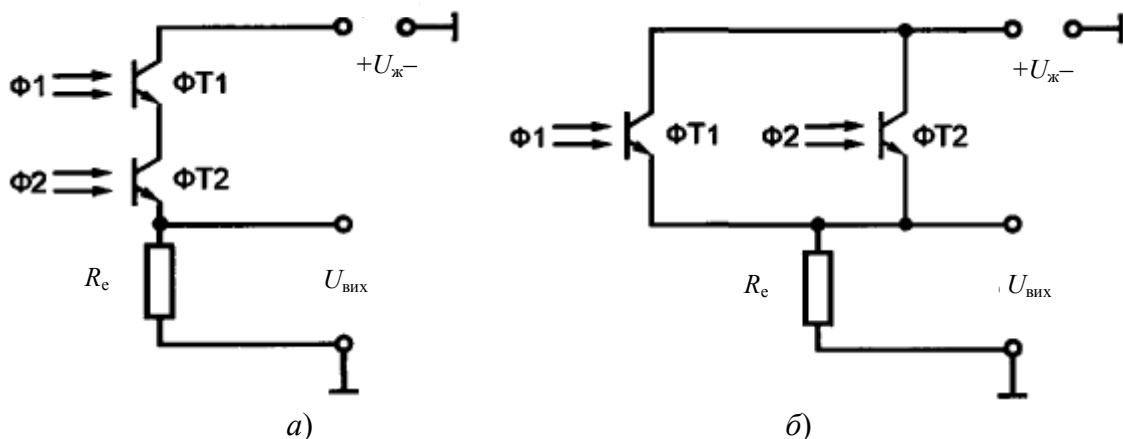
Електрорадіокомпонент		Оптронний аналог	
Найменування	Схема	Найменування	Схема
Імпульсний трансформатор		Транзисторний та діодний оптрони	
Перемикач		Тиристорний, резисторний та транзисторний оптрони	
Змінний резистор		Резисторний оптрон	
Потенціометр		Здвоєний резисторний оптрон	
Змінний конденсатор		Оптрон з варикапом	

Рознім		Оптоелектронний рознім	
Лінія зв'язку		Оптрон з гнучким світловодом	
Батарея		Ізольоване джерело живлення	
Радіолампа		Оптрон з керованим оптичним каналом	

### Застосування оптронів для виконання логічних функцій

Використання оптронів (насамперед, діодних і транзисторних) у цифрових та імпульсних пристроях пов'язано з можливістю їхнього швидкого перемикання зі стану з низьким рівнем сигналу на виході до стану з високим рівнем, або навпаки. Як приклад можна навести оптоелектронні елементи, що дозволяють реалізувати основні логічні функції в пристроях цифрових систем. Так, схема, показана на рис. 14.4,а моделює операцію логічного множення (2І), а схема на рис. 14.4,б – операцію логічного додавання (2АБО). У першому випадку вихідна напруга  $U_{\text{вих}}$  підтримується на високому рівні, близькому до напруги  $U_{\text{ж}}$ , у разі, якщо обидва фототранзистори ФТ1 й ФТ2 включені й через них проходить струм, близький до насичення, а у другому – при переході до стану насичення будь-якого з фототранзисторів ФТ1 або ФТ2.

Схеми, зображені на рис. 14.4,в,г, реалізують виконання операцій 2І-НЕ й 2АБО-НЕ відповідно. У них транзистори включені за схемами зі спільним емітером, що забезпечує виконання операції НЕ. Вихідні електроди транзисторів ФТ1 й ФТ2 на рис. 4.4,в з'єднані послідовно. Тільки у випадку впливу світлових потоків на обидва транзистору їхні вихідні опори виявляються низькими, і на виході фіксується потенціал, що відповідає логічній одиниці.



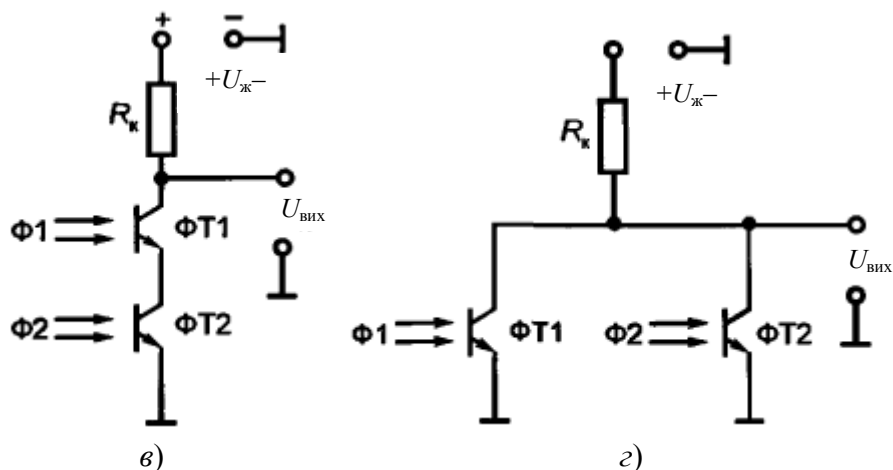


Рисунок 14.4 – Логічні оптоелектронні елементи для виконання операцій:  
а) І; б) АБО; в) І-НЕ; г) АБО-НЕ

Вихідні електроди транзисторів  $\Phi T1$  і  $\Phi T2$  на рис. 14.4, г з'єднані паралельно. Достатньо, щоб світловий потік впливав на базову область хоча б одного транзистора для того, щоб опір вихідного кола цього цифрового елемента став низьким, і, отже, фіксувалася напруга логічного нуля на виході

### **Застосування оптронів в аналогових ключах і регуляторах**

До областей застосування оптронів можна віднести використання їх в аналогових ключах та регуляторах. Схема аналогового ключа на основі оптрона, що забезпечує електричну розв'язку від іншої частини схеми, показана на рис. 14.5, а. Вхідний сигнал  $U_{\text{вх}}$ , що подається на вхід оптрона, після перетворення у випромінювання потрапляє на базу фототранзистора, здійснюючи тим самим керування амплітудою струму на виході оптопари і напругою на опорі навантаження  $R_n$ . Коефіцієнт передачі всього пристрою визначається значенням  $k_i$  використовуваного транзисторного оптрона. Якщо на вхід світлодіода подати замикаючу напругу  $U_{\text{кер}}$ , то комутація аналогового сигналу відбуватися не буде (стан «вимкнено»).

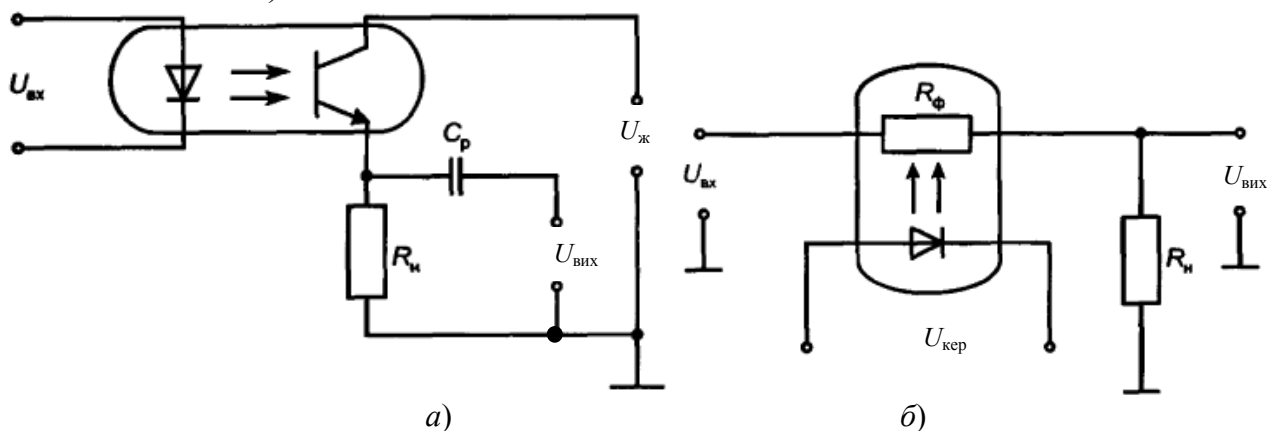


Рисунок 14.5 – Приклади застосування оптронів у аналогових пристроях:  
а) аналоговий ключ; б) електронний регулятор

До світлодіода прикладається відпираюча напруга зсуву і напруга комутуючого сигналу (стан «ввімкнено»).

Електронні регулятор і ключ потенціометричного типу можуть бути виконані за схемою, показаною на рис. 14.5,б. Тут використовується діодно-резисторний оптрон. Фоторезистор використовується як опір, який керований світловим потоком світлодіода. Коефіцієнт передачі визначається за формулою

$$K = \frac{R_n}{R_n + R_\phi}. \text{ За } U_{\text{упр}} \approx 0 \text{ коефіцієнт передачі близький до нуля.}$$

В аналогових пристроях використовують діодні та резисторні, а також в деяких випадках транзисторні оптопарі. Вимоги до аналогових оптронів визначаються конкретними умовами їх застосування і тому загального критерію якості, подібного тому, який має місце у випадку цифрових оптронів (добротності), для них немає. У той самий час для збереження форми передаваного сигналу бажана лінійність передаткової характеристики (постійність  $k_i$  у досить широкому діапазоні струмів).

### *Застосування оптронів у генераторах сигналів*

Принципову схему генератора з мостом Віна показано на рис. 14.6.

Генератор містить операційний підсилювач  $DA$  і смугове фазуюче коло, що складається з конденсаторів  $C$  і фоторезисторів  $R_\phi$ . На частоті генерації смугове фазуюче коло вносить нульовий фазовий зсув, а підключення його до неінвертуючого входу операційного підсилювача забезпечує виконання балансу фаз. Баланс амплітуд забезпечується елементами кола негативного зворотного зв'язку: резисторами  $R_2$  та  $R_1$ . Якщо відношення опорів зазначених елементів дорівнює загасанню фазуючого кола на частоті генерації  $f_0$ , то пристрій генерує коливання синусоїдальної форми. Якщо  $R_2/R_1 \gg 1$ , то пристрій генерує коливання прямокутної форми.

Частота коливань залежить від опорів фоторезисторів, керованих прямим струмом, що протікає через світлодіод  $VD$ ,

$$f_0 = \frac{1}{2\pi C R_\phi}. \quad (14.3)$$

Прямий струм забезпечується регульованим джерелом керованої напруги  $U_{\text{кер}}$ .

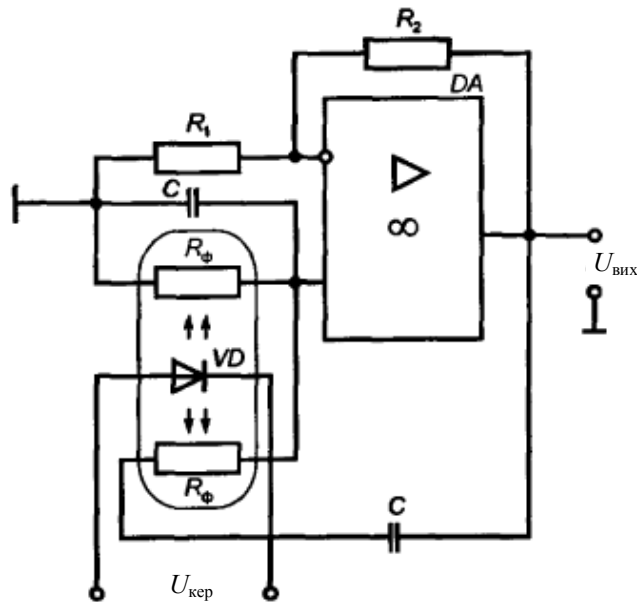


Рисунок 14.6 – Схема оптоелектронного генератора з мостом Віна

### Контрольні питання

1. Дайте класифікацію фотоприладів.
2. Дайте класифікацію джерел випромінювання.
3. Дайте визначення оптрона.
4. Дайте класифікацію оптронів.
5. Дайте умовні позначення оптопар.
6. Назвіть входні параметри оптрона.
7. Назвіть вихідні параметри оптрона.
8. Назвіть передавальні параметри оптрона.
9. Назвіть параметри, які характеризують швидкодію оптрона.
10. Схемотехнічними аналогами яких електрорадіокомпонентів є оптрони?
11. Накресліть схему аналогового оптоелектронного ключа.
12. Накресліть схему логічного елемента на оптронах, що реалізує операцію логічного додавання.
13. Накресліть схему логічного елемента на оптронах, що реалізує операцію логічного множення.

## СПИСОК ЛІТЕРАТУРИ

1. Воробйова О.М. Основи схемотехніки: підручник / О.М. Воробйова, В.Д. Иванченко. – Одеса: Фенікс, 2009. – 388 с.
2. Воробьева Е.М. Основы схемотехники: конспект лекций. В двух частях / Е.М. Воробьева, В.Д. Иванченко. – Одеса: ОНАЗ ім. О.С. Попова, 2011. Ч. 1. – 228 с.
3. Воробьева Е.М. Основы схемотехники: конспект лекций. В двух частях / Е.М. Воробьева, В.Д. Иванченко. – Одеса: ОНАЗ ім. О.С. Попова, 2012. Ч. 2. – 136 с.
4. Игнатов А.Н. Оптоэлектронные приборы и устройства: учеб. пособ. – М.: Эко-Трендз, 2006. – 272 с.
5. Панфілов І.П. Компонентна база радіоелектронної апаратури: навч. посіб. Модуль 1 / Панфілов І.П., Савицька М.П., Флейта Ю.В. – Одеса: ОНАЗ ім. О.С. Попова, 2013. – 180 с.
6. Панфілов І.П. Компонентна база радіоелектронної апаратури: навч. посіб. Модуль 2 / Панфілов І.П., Савицька М.П., Флейта Ю.В. – Одеса: ОНАЗ ім. О.С. Попова, 2014. – 188 с.
7. Панфилов И.П. Компонентная база радиоэлектронной аппаратуры: учеб. пособ. Модуль 1 / Панфилов И.П., Савицкая М.П., Флейта Ю.В. – Одесса: ОНАС им. А.С. Попова, 2012. – 180 с.
8. Панфилов И.П. Компонентная база радиоэлектронной аппаратуры: учеб. пособ. Модуль 2 / Панфилов И.П., Савицкая М.П., Флейта Ю.В. – Одесса: ОНАС им. А.С. Попова, 2013. – 192 с.
9. Панфилов И.П. Техническая электроника: учеб. пособ. / И.П. Панфилов, Ю.В. Флейта. – Одесса: ОЭИС им. А.С. Попова, 1990. – 78 с.
10. Пасынков В. В. Полупроводниковые приборы / В.В. Пасынков, Л.К. Чиркин. – М.: Высшая школа, 1987. – 479 с.
11. Тугов Н.И. Полупроводниковые приборы / Тугов Н.М., Глебов Б.А., Чарыков Н.А. – М.: Энергоатомиздат, 1990. – 576 с.
12. Розеншер Э. Оптоэлектроника. – М.: Техносфера, 2004. – 590 с.
13. Савицька М.П. Аналогові електронні пристрої: навч. посіб. Модуль 1 / М.П. Савицька, Л.Б. Ботнар. – Одеса: ОНАЗ ім. О.С. Попова, 2009. – 108 с.
14. Савицька М.П. Аналогові електронні пристрої: навч. посіб. Модуль 2 / М.П. Савицька, Л.Б. Ботнар. – Одеса: ОНАЗ ім. О.С. Попова, 2009. – 144 с.
15. Савицкая М.П. Аналоговые электронные устройства: учеб. пособ. Модуль 1 / М.П. Савицкая, Л.Б. Ботнар. – Одесса: ОНАС им. А.С. Попова, 2008. – 108 с.
16. Савицкая М.П., Ботнар Л.Б. Аналоговые электронные устройства: Учебное пособие. Модуль 2 / М.П. Савицкая, Л.Б. Ботнар. – Одесса, ОНАС им. А.С. Попова, 2008. – 148 с.
17. Соклоф С. Аналоговые интегральные схемы; пер. с англ. – М.: Мир, 1988. – 583 с.



- 18.Словник: Російсько-український політехнічний / Укл. В.С. Підлипенський, В.М. Петренко; за ред.. Бусела В.Т. – К.: Ірпінь: ВТФ «Перун», 2000. – 512 с.

*Навчальне видання*

Воробйова Олена Михайлівна  
Панфілов Іван Павлович  
Савицька Маргарита Павлівна  
Флейта Юрій Вікторович

## **ЕЛЕКТРОНІКА ТА МІКРОСХЕМОТЕХНІКА**

Підручник

Редактор Л.А. Кодрул  
Комп'ютерне верстання Ж.А. Гардиман

Видавець і виготовлювач ОНАЗ ім. О.С. Попова  
(Свідоцтво ДК № 3633 від 27.11.09)  
м. Одеса, вул. Ковальська, 1

Здано до набору 3.03.2015.  
Підписано до друку печать 16.06.2015.  
Формат 60/90/16. Ум. др. арк. 11,25. Наклад 100 прим. Зам. №

Віддруковано з готового оригінал-макета  
у РВЦ ОНАЗ ім. О.С. Попова  
м. Одеса, вул. Ковалевського, 5, тел. 7050-494