

Міністерство освіти і науки України

Одеська національна академія зв'язку ім. О.С. Попова

**Кафедра комп'ютерно-інтегрованих
технологічних процесів і виробництв**

**Методичний посібник
для практичних занять
та виконання комплексного завдання з дисципліни
«Електроніка та мікросхемотехніка»**

Одеса – 2016

Методичний посібник для практичних занять та виконання комплексного завдання з дисципліни «Електроніка та мікросхемотехніка» / Укладачі Воробйова О.М., Савицька М.П., Флейта Ю.В., Альошина Л.О. – Одеса: ОНАЗ ім. О.С. Попова, 2016. – 72 с.

Методичний посібник містить матеріал для практичних занять з дисципліни «Електроніка та мікросхемотехніка», ключові положення з основних розділів дисципліни, комплексне завдання та методику його виконання, а також матеріали для факультативної роботи студентів.

Методичний посібник дозволяє студентам самостійно підготуватися до практичних занять, розібратися у виучуваній темі дисципліни, перевірити свої знання й застосувати їх при виконанні комплексного завдання.

Розглянуто
на засіданні кафедри КІТП і В
і рекомендовано до друку.
Протокол № від

Затверджено
методичною радою академії.
Протокол № 3 від 24.03.2015 р.

ВСТУП

Практичні заняття та комплексне завдання виконуються студентами протягом семестру. Крім цього передбачено виконання факультативних робіт.

Перелік практичних занять

№ з/п	Тема	Кіль-сть годин
1	Пасивні компоненти. Резистивний подільник напруги. Розрахунок подільника	2
2	Біполярні транзистори. Підсилювачі на біполярному транзисторі	2
3	Розрахунок підсилювача на біполярному транзисторі зі спільним емітером	2
4	Інтегральні мікросхеми. Операційний підсилювач. Розрахунок каскадів на операційних підсилювачах	2
5	Послідовнісні пристрої. Тригери	2
6	Лічильники імпульсів. Розробка послідовних двійкових лічильників	2
7	Програмовані логічні матриці. Розробка шифратора та дешифратора	2

Перелік факультативних занять

№ з/п	Тема	Кіль-сть годин
Ф1	Напівпровідникові діоди. Випрямлячі. Розрахунок випрямляча	2
Ф2	Цифрові інтегральні мікросхеми. Логічні функції бульового базису	2
Ф3	Мультиплексори та демультіплексори	2

1. Пасивні компоненти

Резистивний подільник напруги. Розрахунок подільника

1.1. Ключові положення

Пасивними компонентами є *резистори, конденсатори, котушки індуктивності та трансформатори*.

Резистором називається компонент РЕА, призначений для регулювання й розподілу електричної енергії між колами та елементами схеми. Усі резистори підрозділяються на постійні й змінні.

Конденсатором називається компонент РЕА, який має зосереджену електричну ємність, тобто здатність накопичувати заряди.

Котушкою індуктивності називається компонент РЕА, функціонування якого визначається взаємодією електричного струму та магнітного поля.

Трансформатором називається компонент РЕА, який має дві або більше обмоток та призначений для перетворення за допомогою електромагнітної індукції однієї або кількох систем змінного струму в одну або кілька інших систем змінного струму.

Резистори використовуються досить широко. Незважаючи на значне різноманіття резисторів, їх застосування у більшості випадків можна звести до подільника напруги, гасника та регулятора напруги.

Схема резистивного подільника напруги без навантаження (на "холостому ході") показана на рис. 1.1.

На схемі рис. 1.1 позначено елементи: резистор R_1 – верхнє плече подільника; резистор R_2 – нижнє плече подільника.

Одним із основних призначень подільника є зменшення напруги.

Основним параметром подільника напруги (далі: подільник) є коефіцієнт передачі, який дорівнює

$$K_d = \frac{U_{m\text{вих}}}{U_{m\text{вх}}} \quad (1.1)$$

й на "холостому ході" (х.х.) визначається за формулою:

$$K_d = \frac{R_2}{R_1 + R_2}, \quad (1.2)$$

де R_1 і R_2 – опори резисторів відповідно верхнього й нижнього плечей подільника;

$U_{m\text{вх}}$ і $U_{m\text{вих}}$ – амплітуди відповідно вхідної та вихідної напруги.

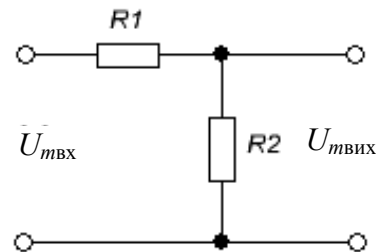


Рисунок 1.1 – Схема подільника напруги без навантаження

Вхідний опір подільника напруги дорівнює сумі опорів резисторів:
 $R_{\text{вх}} = R_1 + R_2$.

Потужність розсіювання резистора під постійною напругою визначається як

$$P_R = U_R \cdot I_R = \frac{U_R^2}{R} = I_R^2 \cdot R, \quad (1.3)$$

де U_R – падіння напруги на резисторі R ;

I_R – струм, який протікає через резистор R .

Для вхідної напруги опори R_1 і R_2 увімкнені послідовно, тому струм I_R дорівнює

$$I_R = \frac{U_{\text{вх}}}{R_1 + R_2} = \frac{U_{\text{вх}}}{R_{\text{вх}}}. \quad (1.4)$$

Якщо резистор знаходиться під *змінною* напругою, то для синусоїдальної форми сигналу слід користуватися формулою

$$P_R = \frac{1}{2} U_{Rm} I_{Rm} = \frac{1}{2} \cdot \frac{U_{Rm}^2}{R} = \frac{1}{2} I_{Rm}^2 \cdot R, \quad (1.5)$$

де U_{Rm} – амплітуда напруги на резисторі;

I_{Rm} – амплітуда струму, який протікає через резистор, дорівнює

$$I_{Rm} = \frac{U_{\text{мвх}}}{R_{\text{вх}}}. \quad (1.6)$$

Якщо подільник напруги працює на навантаження $R_{\text{н}}$, яке підмикається паралельно нижньому плечу R_2 , вихідна напруга $U_{\text{вих}}$ зменшується.

Схема подільника напруги під навантаженням показана на рис 1.2.

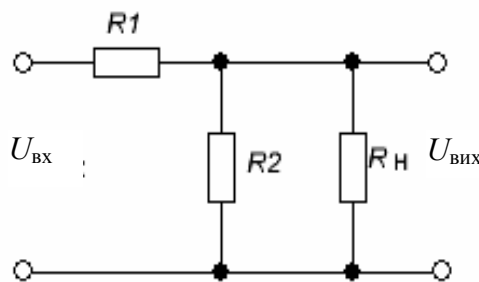


Рисунок 1.2 – Схема подільника напруги під навантаженням

Тому що опори R_2 і $R_{\text{н}}$ увімкнені паралельно, то їх еквівалентний опір дорівнює

$$R_{\text{екв}} = \frac{R_2 \cdot R_{\text{н}}}{R_2 + R_{\text{н}}}.$$

Тоді коефіцієнт передачі подільника під навантаженням буде дорівнювати

$$K_{\text{дн}} = \frac{R_{\text{екв}}}{R_1 + R_{\text{екв}}} \quad (1.7)$$

Одним зі способів пояснення дії подільника є його часова діаграма роботи, тобто епюри входної та вихідної напруг. Часова діаграма роботи подільника показана на рис. 1.3 для постійних (а) й змінних (б) напруг.

Ця діаграма роботи ілюструє, що вихідні напруги $U_{\text{вих}}$ менші вхідних напруг $U_{\text{вх}}$ для обох випадків: а) і б). Причому форми $U_{\text{вх}}$ і $U_{\text{вих}}$ завжди збігаються.

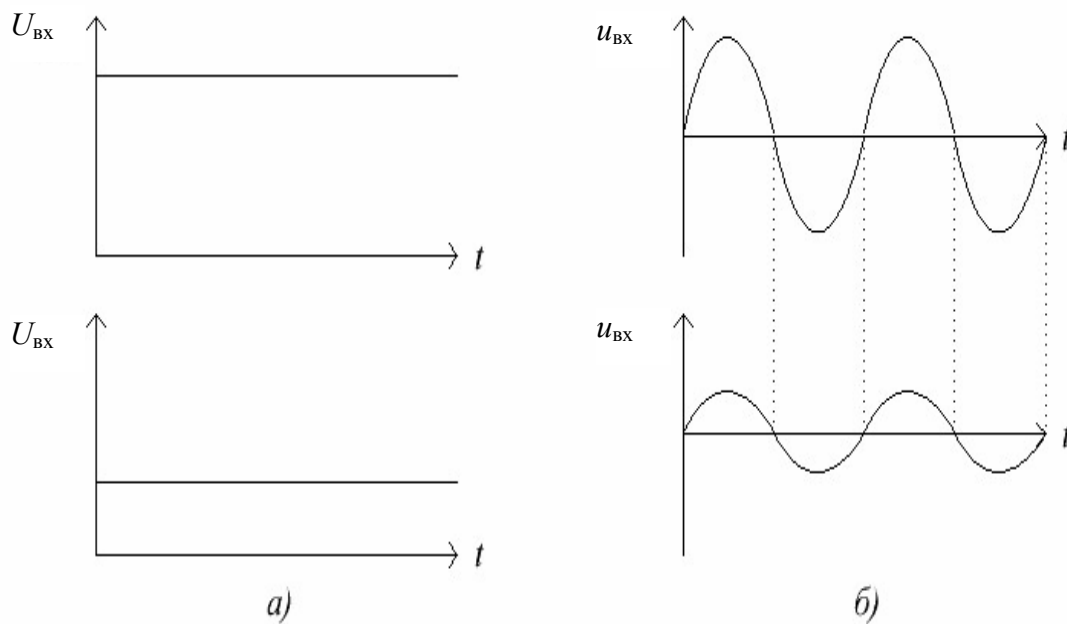


Рисунок 1.3 – Часова діаграма роботи подільника: а) для постійних напруг; б) для змінних напруг

1.2. Завдання для розрахунку

1. Наведіть схему резистивного подільника напруги без навантаження.
2. Розрахуйте опори резисторів R_1 і R_2 для отримання заданого коефіцієнта передачі, який дорівнює

$$K_{\text{д}} = 0,2 + 0,05 \cdot N,$$

де N – остання цифра номера залікової книжки.

3. Округліть отримані значення опорів R_1 і R_2 до стандартних номіналів (табл. 1.1) з ряду E24.
4. Визначте амплітуду вихідної напруги.
5. Розрахуйте потужності, які розсіюються резисторами R_1 і R_2 .
6. Наведіть у масштабі часову діаграму роботи подільника.

1.3. Вихідні дані

1. Значення вхідного опору: $R_{\text{вх}} \geq 1 \text{ кОм}$.

2. Амплітуда вхідної напруги дорівнює: $U_{m\text{ вх}} = (10 + M) \text{ В}$.

Тут і далі: M – передостання; N – остання цифри номера залікової книжки.
При виконанні розрахунків в усіх задачах необхідно використовувати одиниці вимірювань системи СІ: вольт, ампер, ватт, ом, фарада, генрі, герц, метр, секунда та ін.

1.4. Виконання розрахунку

1. Розраховуємо коефіцієнт передачі подільника для заданого варіанта

$$K_d = 0,2 + 0,05 \cdot N.$$

2. Обираємо значення вхідного опору подільника $R_{\text{вх}}$ з нерівності:
 $R_{\text{вх}} \geq 1 \text{ кОм}$.

3. Визначаємо значення опору R_2 : $R_2 = K_d \cdot R_{\text{вх}}$.

4. Розраховуємо значення опору R_1 : $R_1 = R_{\text{вх}} - R_2$.

5. Округляємо розраховані значення опорів R_1 і R_2 до стандартних номінальних значень з ряду Е24, які знаходимо за табл. 1.1.

6. Визначаємо амплітуду вихідної напруги

$$U_{m\text{ вих}} = K_d \cdot U_{m\text{ вх}}.$$

7. Розраховуємо потужності, які розсіюються резисторами R_1 і R_2 ,

$$P_R = \frac{1}{2} I_{Rm}^2 \cdot R_x, \text{ де } x = 1, 2.$$

8. Будуємо часову діаграму роботи подільника у масштабі. Вісі $u_{\text{вх}}$ та $u_{\text{вих}}$ розбиваємо у масштабі, який зручний для зчитування. Період сигналу обираємо довільно. Дозволені масштаби: 1, 2, 4, 5, 10.

1.5. Контрольні питання

1. Наведіть схему та поясніть принцип дії резистивного подільника напруги.

2. Поясніть вплив опорів плечей подільника на вихідну напругу.

3. Поясніть вплив опорів плечей подільника на його коефіцієнт передачі.

4. Поясніть вплив опорів навантаження на вихідну напругу подільника.

5. Поясніть вплив опору навантаження на коефіцієнт передачі подільника.

Таблиця 1.1 – Номінальні значення опорів резисторів з ряду Е24
з допуском $\pm 5\%$

1,0	1,5	2,2	3,3	4,7	6,8
1,1	1,6	2,4	3,6	5,1	7,5
1,2	1,8	2,7	3,9	5,6	8,2
1,3	2,0	3,0	4,3	6,2	9,1

2. Біполярні транзистори. Підсилювачі на біполярному транзисторі

2.1. Ключові положення

Біполярним транзистором (БТ) називається напівпровідниковий прилад, який має два взаємодіючих p - n -переходи. Транзистор являє собою кристал напівпровідника, що містить три області з по чергово змінюючими типами провідності. Залежно від порядку чергування областей розрізняють БТ типів p - n - p та n - p - n . Принцип дії БТ різних типів однаковий. Транзистори назвали біполярними, тому що їх робота забезпечується носіями обох полярностей: електронами та дірками.

Схематично структура БТ та його умовне позначення показано на рис. 2.1: на рис. 2.1, а – транзистор p - n - p -типу; на рис. 2.1, б – транзистор n - p - n -типу.

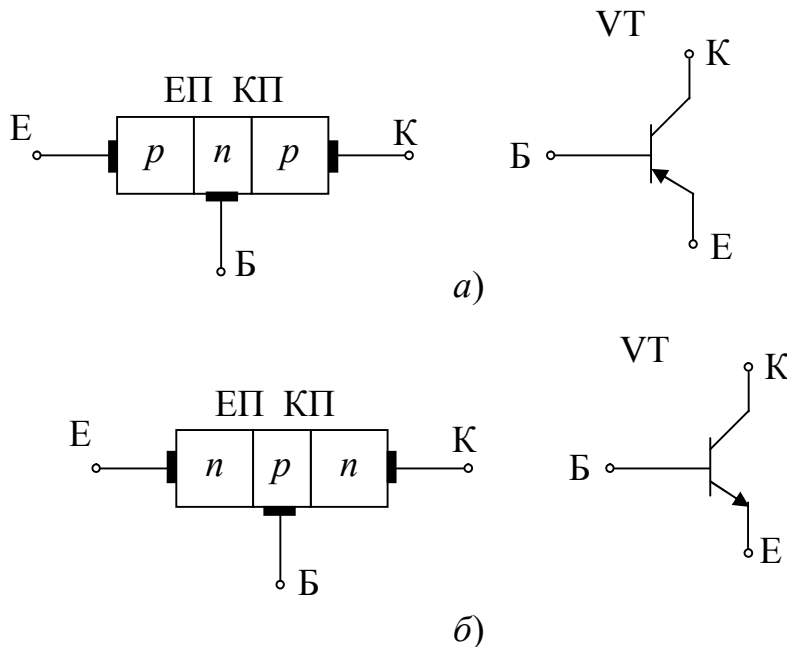


Рисунок 2.1 – Структура біполярного транзистора та його умовне позначення:
а) p - n - p -типу; б) n - p - n -типу

Одну з крайніх областей транзисторної структури створюють з підвищеною концентрацією домішок, використовують в режимі інжекції та називають *емітером* (Е). Середню область називають *базою* (Б), а іншу крайню область – *колектором* (К). Два p - n -переходи БТ називають емітерним та колекторним.

Таким чином, у транзисторі є два p - n -переходи: *емітерний* (ЕП) – між емітером та базою й *колекторний* (КП) – між базою та колектором. Відстань між переходами має бути малою, тобто область бази повинна бути дуже тонкою. Це є умовою хорошої роботи транзистора. Від бази, емітера та колектора зроблено виводи.

Струми у проводах емітера, бази, колектора позначають відповідно I_e , I_b , I_k . Напруги між електродами позначають подвійними індексами, наприклад, напруга між базою й емітером $U_{бе}$, між колектором й базою $U_{кб}$. В умовному позначенні транзисторів на рис. 2.1 стрілка показує вивід емітера, а її напрямок – напрям струму (від плюса до мінуса) у проводі емітера за прямої напруги на емітерному переході.

Біполярний транзистор може працювати у чотирьох режимах в залежності від полярності напруг на його переходах.

1) **Режим насичення**: на обидва переходи подано пряму напругу, обидва переходи відкриті.

2) **Режим відсікання**: на обидва переходи подано зворотню напругу, обидва переходи закриті.

3) **Режим активний**: на емітерний перехід подано пряму напругу, а на колекторний – зворотню напругу; емітерний перехід відкритий, колекторний закритий.

4) **Режим інверсний**: на емітерний перехід подано зворотню напругу, а на колекторний – пряму напругу; емітерний перехід закритий, колекторний відкритий, тобто режим інверсний (протилежний) по відношенню до активного. Інверсний режим використовують досить рідко.

Активний режим БТ використовується в аналогових схемах: підсилювачах та генераторах. Режими відсікання й насичення використовують для імпульсної роботи БТ та застосовують у цифрових схемах.

Як впливає з рис. 2.1, транзистор є триполюсним елементом, тому що має три виводи: емітер (Е), базу (Б) і колектор (К). Частіше за все транзистор використовують як чотириполюсний елемент, для цього один з його виводів роблять спільним між вхідним та вихідним колами. Розрізняють **три схеми включення біполярного транзистора**: зі спільним емітером (СЕ), зі спільною базою (СБ), зі спільним колектором (СК). Таке включення розглядають як для проходження постійних струмів, так і для змінних. Так, наприклад, три схеми можуть різнитися за змінним струмом, але мати однакову схему включення за постійним струмом. За умовчанням, термін СЕ, СБ, СК відноситься, як правило, до схеми включення за змінним струмом.

У довідниках зазначається більша кількість параметрів й граничних експлуатаційних даних біполярних транзисторів. Найчастіше використовують наступні граничні параметри, які визначають робочу область активного режиму транзистора.

- 1) $U_{ке\text{ макс}}$ – максимально припустима постійна напруга колектор-емітер.
- 2) $U_{кб\text{ макс}}$ – максимально припустима постійна напруга колектор-база.
- 3) $I_{к\text{ макс}}$ – максимально припустимий постійний струм колектора.
- 4) $I_{е\text{ макс}}$ – максимально припустимий постійний струм емітера.
- 5) $I_{б\text{ макс}}$ – максимально припустимий постійний струм бази.
- 6) $P_{к\text{ макс}}$ – максимально припустима постійна розсіювана потужність колектора.

7) $T_{п\text{ макс}}$ – максимально припустима постійна температура колекторного переходу.

Всі параметри біполярного транзистора залежать від температури. Це зумовлено тим, що фізичні властивості напівпровідникового матеріалу суттєво змінюються під впливом температури.

Струм колектора I_k при збільшенні температури збільшується. В результаті режим роботи транзистора у схемі змінюється й може вийти за межі максимально припустимих значень струмів та потужностей. Потужні транзистори для нормальної роботи мають тепловідводи.

Для стабілізації режиму роботи транзистора у пристрої використовують спеціальні схеми.

У схемі зі спільним емітером емітерний перехід транзистора є вхідним колом підсилювача, а колекторний – вихідним. Якщо джерело вхідного сигналу витрачає меншу потужність, ніж отримана потужність у навантаженні підсилювача, то вхідний сигнал підсилюється.

Принципові схеми підсилювачів зі спільним емітером на транзисторах *n-p-n-типу* й *p-n-p-типу* показано на рис. 2.2. Як випливає із рис. 2.2, схеми відрізняються типом транзисторів, а також полярністю напруги живлення E_K . Підсилювач на *n-p-n*-транзисторі живиться позитивною напругою ($+E_K$) відносно корпусу, а на *p-n-p*-транзисторі – негативною ($-E_K$).

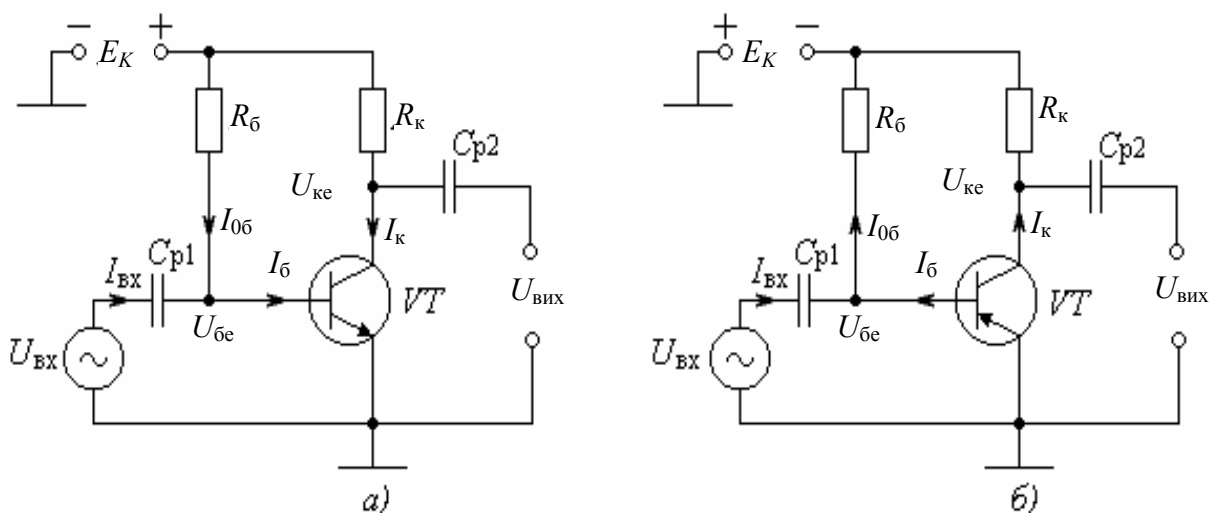


Рисунок 2.2 – Принципові схеми підсилювачів із загальним емітером:
а) на транзисторі *n-p-n*; б) на транзисторі *p-n-p*

На схемах рис. 2.2 позначено:

$U_{вх}$ – вхідна підсилювана напруга;

$U_{вих}$ – вихідна підсилена напруга;

VT – біполярний транзистор;

E_K – напруга живлення;

$U_{бе}$ – напруга між базою та емітером;

$U_{ке}$ – напруга між колектором та емітером;

$I_{об}$ – струм зміщення у колі бази;

$I_б$ – струм бази;

I_K – струм колектора;
 I_{BX} – вхідний струм;
 R_6 – резистор у колі бази;
 R_K – опір навантаження;
 C_{p1} і C_{p2} – розділювальні конденсатори.

Підсилювач зі спільним емітером (СЕ), принципову схему якого зображено на рис. 2.2,а, є подільником напруги живлення E_K , у верхньому плечі якого увімкнено опір навантаження R_K , а у нижньому – транзистор VT . Аналогічне твердження справедливе для схеми підсилювача на рис. 2.2, б.

У цьому випадку коефіцієнт передачі подільника напруги живлення $K_{ж}$ буде дорівнювати

$$K_{ж} = \frac{U_{ке}}{E_K} = \frac{R_K}{R_K + R_{VT}}, \quad (2.1)$$

де R_{VT} – еквівалентний опір колектор–емітер транзистора.

Тоді напруга між колектором та емітером транзистора буде дорівнювати

$$U_{ке} = E_K \frac{R_{VT}}{R_K + R_{VT}}. \quad (2.2)$$

З формули (2.2) випливає:

- напруга $U_{ке}$ між колектором та емітером є частиною напруги живлення E_K ;
- напруга $U_{ке}$ між колектором та емітером тим більша, чим більша напруга живлення E_K ;
- напруга $U_{ке}$ ніколи не може бути більшою напруги живлення:

$$U_{ке} < E_K. \quad (2.3)$$

Вхідна підсилювана напруга U_{BX} керує зміненням опору транзистора R_{VT} за своїм законом і, як випливає з формули (2.1), тим самим керує коефіцієнтом передачі напруги живлення $K_{п}$. Таким чином, в основу принципу дії підсилювача покладено те, що частина напруги живлення E_K надходить до виходу через подільник напруги з R_K та опору між колектором та емітером транзистора R_{VT} , а вхідний підсилюваний сигнал U_{BX} керує коефіцієнтом передачі $K_{ж}$ цього подільника.

Для розгляду роботи підсилювача знайдемо рівняння *лінії навантаження*.

Напруга живлення E_K за законом Кірхгофа ділиться на падіння напруги на опорі навантаження $I_K R_K$ та напругу колектор–емітер $U_{ке}$:

$$E_K = I_K R_K + U_{ке}. \quad (2.4)$$

З рівняння (2.4), поділивши його на R_K , отримаємо рівняння лінії навантаження

$$I_K = \frac{E_K}{R_K} - \frac{U_{ке}}{R_K}. \quad (2.5)$$

Рівняння (2.5) у системі координат (I_K, U_{KE}) першого ступеня. Тому лінія навантаження є прямою лінією (*навантажувальна пряма*), і її можна побудувати за двома точками на вісях координат (рис. 2.3).

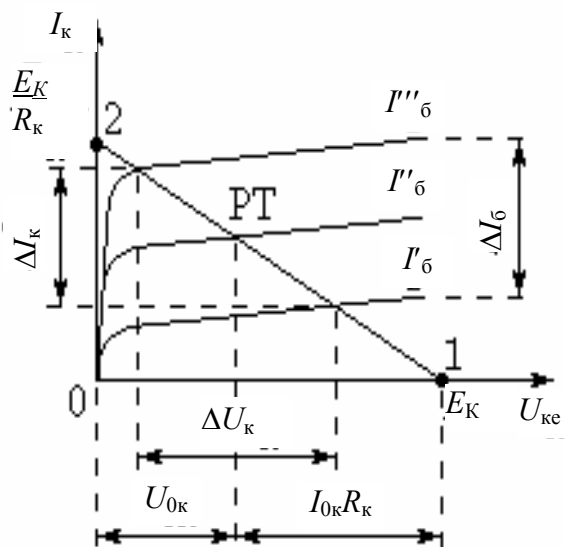


Рисунок 2.3 – Лінія навантаження й режим транзистора

Точка 1: $I_K = 0$; з рівняння (2.5) отримаємо: $U_{KE} = E_K$.

Точка 2: $U_{KE} = 0$; з рівняння (2.5) отримаємо: $I_K = \frac{E_K}{R_K}$.

Відрізок прямої 1–2 є лінією навантаження.

Перетин лінії навантаження із заданою характеристикою визначає *робочу точку*. Якщо, наприклад, задана характеристика для струму зміщення $I_{0B} = I_B''$, то робочою буде точка РТ.

Робоча точка однозначно визначає *режим роботи* транзистора, тобто *сукупність* напруг і струмів. Вона наче розділяє напругу живлення E_K на напругу колектор-емітер в робочій точці U_{0KE} й падіння напруги $I_{0K}R_K$ на опорі навантаження R_K , тобто $E_K = U_{0KE} + I_{0K}R_K$.

Лінія навантаження повністю описує режим роботи транзистора та його змінення.

Так, за допомогою лінії навантаження можна визначити вплив змінення будь-якого параметра режима. Якщо, наприклад, змінити струм бази на ΔI_B , то струм колектора зміниться на $\Delta I_K = h_{21e} \cdot \Delta I_B$ і, як наслідок, зміниться напруга між колектором та емітером на ΔU_{KE} . Параметр h_{21e} – коефіцієнт передачі струму транзистора у схемі зі спільним емітером, значення якого дано у довіднику.

2.2. Діаграма роботи підсилювача зі спільним емітером

Підсилювач працює наступним чином.

Принцип дії підсилювача пояснює діаграма його роботи (рис. 2.4).

На рис 2.4 позначено:

$U_{m\text{ ВХ}}$ – амплітуда вхідної підсилюваної напруги;

$U_{m\text{ ВЫХ}}$ – амплітуда вихідної підсиленої напруги;

$I_{m\text{ ВХ}}$ – амплітуда вхідного струму;

$I_{m\text{ К}}$ – амплітуда струму колектора.

Як впливає з рис. 2.4, у схемі підсилювача напруги і струми транзистора змінюються у наступних межах відносно постійних складових:

– напруга база-емітер

$$U_{be} = U_{0be} \pm U_{m\text{ ВХ}}; \quad (2.6)$$

– напруга колектор-емітер

$$U_{ке} = U_{0ке} \pm U_{m \text{ вих}}; \quad (2.7)$$

– струм бази

$$I_{\delta} = I_{0\delta} \pm I_{m \text{ вх}}; \quad (2.8)$$

– струм колектора

$$I_{к} = I_{0к} \pm I_{m \text{ к}}. \quad (2.9)$$

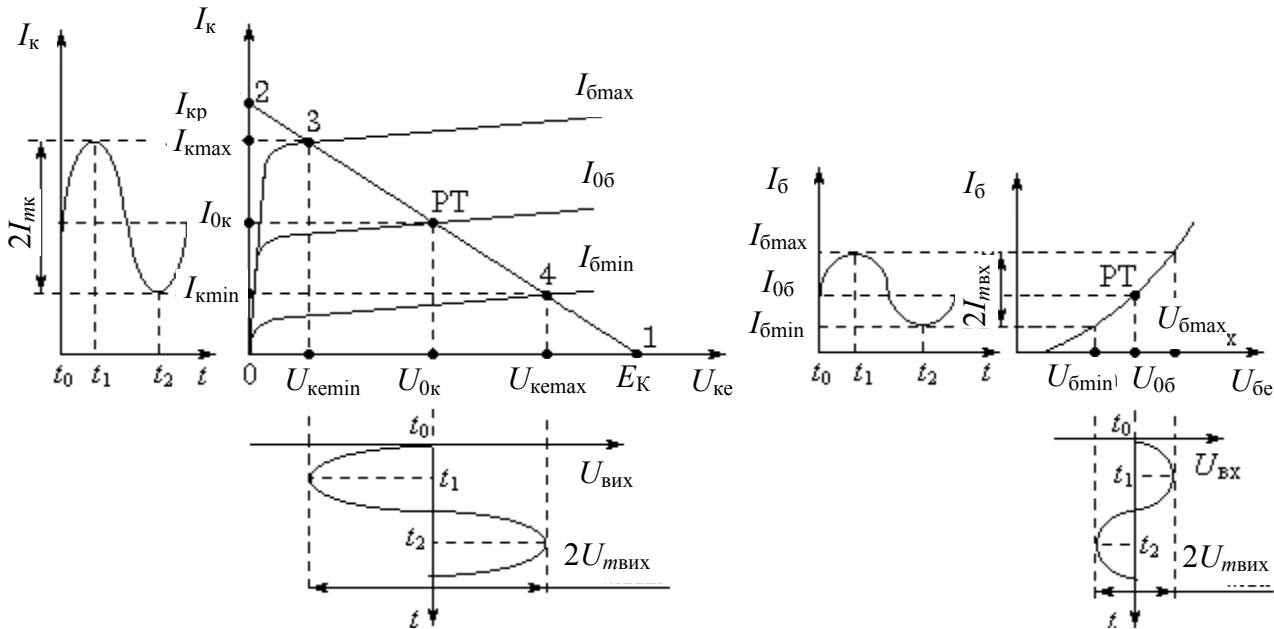


Рисунок 2.4 – Діаграма роботи підсилювача у схемі зі спільним емітером

У схемі, наведеній на рис. 2.2,а, струми протікають наступними колами.

Струм бази I_{δ} протікає колом: плюс джерело живлення ($+E_K$), резистор R_{δ} , перехід база-емітер транзистора, нульовий провід, мінус джерело живлення ($-E_K$). Оскільки протікає струм бази I_{δ} , то з'являється й струм колектора $I_{к} = h_{21e} \cdot I_{\delta}$, який протікає колом: плюс джерело живлення ($+E_K$), опір навантаження $R_{к}$, перехід колектор-емітер транзистора, нульовий провід, мінус джерело живлення ($-E_K$).

Ці кола утворюють замкнені контури, для яких згідно з другим законом Кірхгофа справедливі наступні рівняння:

$$\begin{aligned} 1) \quad & I_{\delta} R_{\delta} + U_{бе} - E_K = 0 \text{ або } I_{\delta} R_{\delta} + U_{бе} = E_K. \\ 2) \quad & I_{к} R_{к} + U_{ке} - E_K = 0 \text{ або } I_{к} R_{к} + U_{ке} = E_K. \end{aligned} \quad (2.10)$$

У вихідному стані до моменту t_0 , тобто за відсутності вхідної напруги $U_{вх} = 0$, підсилювач знаходиться у *стані спокою*. У цьому стані параметри режиму визначаються робочою точкою і дорівнюють тільки першою складовою у формулах (2.6)...(2.9). У робочій точці постійні напруги та струми дорівнюють:

- постійна напруга база-емітер: $U_{бе} = U_{0бе}$;
- постійна напруга колектор-емітер: $U_{ке} = U_{0ке}$;
- постійний струм баз: $I_{\delta} = I_{0\delta}$;
- постійний струм колектора: $I_{к} = I_{0к}$.

При подачі сигналу з'являється вхідна напруга $U_{\text{вх}}$. Вона викликає появу змінних складових вхідного струму $I_{\text{вх}}$, струму колектора $I_{\text{к}}$ та вихідної напруги $U_{\text{вих}}$, миттєві значення яких розташовані навколо робочої точки (див. рис. 2.4).

Так, в момент t_1 на вході підсилювача діє амплітуда $U_{m \text{ вх}}$ позитивної напівхвилі, в результаті напруга база-емітер збільшується до максимального значення: $U_{\text{бе max}} = U_{0\text{бе}} + U_{m \text{ вх}}$. Тому струм бази також буде максимальним: $I_{\text{б max}} = I_{0\text{б}} + I_{m \text{ б}}$. Тому що струм колектора прямо пропорційний струму бази ($I_{\text{к}} = h_{21\text{э}} \cdot I_{\text{б}}$), то він також буде мати максимальне значення: $I_{\text{к max}} = I_{0\text{к}} + I_{m \text{ к}}$.

Напругу колектор-емітер знайдемо з виразу (2.4):

$$U_{\text{кэ}} = E_{\text{к}} - I_{\text{к}} R_{\text{к}}, \quad (2.11)$$

для моменту t_1 знайдемо його мінімальне значення, підставивши у вираз (2.11) значення $I_{\text{к}} = I_{\text{к max}}$, отримаємо:

$$U_{\text{ке min}} = E_{\text{к}} - I_{\text{к max}} R_{\text{к}}. \quad (2.12)$$

В момент t_2 на вході підсилювача діє амплітуда вхідного сигналу $U_{m \text{ вх}}$ від'ємної напівхвилі, тому напруга база-емітер зменшується до мінімального значення: $U_{\text{бе min}} = U_{0\text{бе}} - U_{m \text{ вх}}$. Струм бази також буде мінімальним: $I_{\text{б min}} = I_{0\text{б}} - I_{m \text{ б}}$. Тоді струм колектора також буде мінімальним: $I_{\text{к min}} = I_{0\text{к}} - I_{m \text{ к}}$, тому що $I_{\text{к}} = h_{21\text{э}} \cdot I_{\text{б}}$.

Напругу колектор-емітер в момент t_2 визначимо, підставивши у вираз (2.10) значення $I_{\text{к}} = I_{\text{к min}}$, отримаємо

$$U_{\text{ке max}} = E_{\text{к}} - I_{\text{к min}} R_{\text{к}}. \quad (2.13)$$

Як впливає з виразів (2.12) і (2.13), *максимальний* струм колектора $I_{\text{к max}}$ зумовлює *мінімальне* значення напруги колектор-емітер $U_{\text{ке min}}$. Це пояснюється тим, що максимальний струм колектора $I_{\text{к max}}$ створює максимальне падіння напруги на опорі навантаження $R_{\text{к}}$, яке дорівнює: $I_{\text{к max}} R_{\text{к}}$. Аналогічно, *мінімальний* струм колектора $I_{\text{к min}}$ зумовлює *максимальне* значення напруги колектор-емітер $U_{\text{ке max}}$.

Звідси, що підсилювач зі спільним емітером повертає фазу вхідної напруги на 180° .

3. Розрахунок підсилювача на біполярному транзисторі зі спільним емітером

3.1. Завдання для розрахунку

1. Розробіть схему резистивного підсилювача напруги зі спільним емітером (далі підсилювач).
2. За довідником оберіть тип біполярного транзистора.
3. Наведіть у масштабі діаграму роботи підсилювача.
4. Визначте напругу живлення колекторного кола $E_{\text{к}}$.
5. Розрахуйте опір навантаження у колекторному колі та опір резистора у колі бази.

6. Розрахуйте потужність $P_{0к}$, яка розсіюється колектором, порівняйте її з максимально припустимою потужністю $P_{к\max}$ та зробіть висновки про правильність вибору транзистора.

7. Розрахуйте вихідну корисну потужність $P_{\text{вих}}$ та потужність витрат $P_{\text{вирт}}$.

8. Визначте коефіцієнт корисної дії (ККД).

9. Визначте коефіцієнти підсилення напруги K_u , струму K_i та потужності K_P .

10. Знайдіть вхідний опір.

11. Наведіть у масштабі часову діаграму роботи підсилювача. (*Зверху* – епюра вхідної напруги, *знизу* – вихідної). Розміщення епюр вхідної та вихідної напруг у різних стовпцях або на різних сторінках не припустиме.

3.2. Вихідні дані

1. Амплітуда вхідної напруги $U_{m\text{ вх}} = 0,05 (1 + 0,1 \cdot N)$ В.

2. Амплітуда вихідної напруги $U_{m\text{ вих}} = (7 + 0,3 \cdot M)$ В.

(M – передостання, N – остання цифри номера залікової книжки).

3.3. Виконання розрахунку

Розробка схеми

Схема підсилювача зі спільним емітером показана на рис. 3.1.

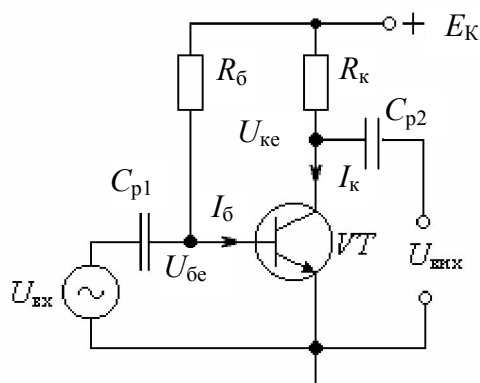


Рисунок 3.1 – Схема підсилювача зі спільним емітером

Далі необхідно пояснити всі позначення на схемі, наприклад:

$U_{\text{вх}}$ – вхідна напруга, яку необхідно підсилити;

$U_{\text{вих}}$ – вихідна підсилена напруга;

$R_{\text{б}}$ –

$R_{\text{к}}$ – і т.д. (див. розділ 2.1).

Вибір транзистора

Транзистор обирається за максимально припустимою напругою колектор-емітер

$U_{\text{ке max}}$, значення якого зазначається у довідниках.

Розрахункове значення напруги живлення колекторного кола для вибору транзистора дорівнює

$$E_{\text{К розр}} = 2 U_{m\text{ вих}} + 2 U_{\text{ке нас}}$$

де $U_{\text{ке нас}}$ – напруга насичення транзистора, яку зазначено у довіднику та дорівнює приблизно 1 ... 2 В.

Має виконуватися нерівність: $E_{\text{К розр}} < U_{\text{ке max}}$.

Побудова діаграми роботи підсилювача

1. Для обраного транзистора знімаємо вхідну вольтамперну характеристику (ВАХ) $I_{\text{б}} = f(U_{\text{бе}})$ та обираємо на ній значення мінімального струму бази $I_{\text{б min}}$, відсікаючи найбільш нелінійну ділянку вхідної ВАХ, як показано на рис. 2.4. Як правило, мінімальне значення струму бази $I_{\text{б min}}$ можна обрати рівним значенню, зазначеному на нижній вихідній ВАХ.

2. На вхідній характеристиці знаходимо точку з координатами $(U_{\text{бе min}}, I_{\text{б min}})$. Для цього значення $I_{\text{б min}}$ проектуємо на вхідну ВАХ, знаходимо точку 1, а потім точку 1 проектуємо на вісь напруги $U_{\text{бе}}$ й знаходимо значення $U_{\text{бе min}}$, як зображено на рис. 2.4. Записуємо значення: $U_{\text{бе min}} = , I_{\text{б min}} = .$

3. Потім на вхідній ВАХ знаходимо робочу точку з координатами $(U_{0\text{бе}}, I_{0\text{б}})$, розрахувавши напругу база-емітер за формулою

$$U_{0\text{бе}} = U_{\text{бе min}} + U_{m \text{ вх}}$$

і визначивши за вхідною характеристикою відповідне значення струму бази $I_{0\text{б}}$, записуємо значення: $U_{\text{бе 0}} = , I_{\text{б 0}} = .$

4. Далі на вхідній характеристиці знаходимо точку 2 з координатами $(U_{\text{бе max}}, I_{\text{б max}})$, розрахувавши максимальну напругу база-емітер у точці 2 за формулою

$$U_{\text{бе max}} = U_{\text{бе min}} + 2U_{m \text{ вх}}$$

й визначивши за вхідною характеристикою відповідне значення струму бази $I_{\text{б max}}$, записуємо значення: $U_{\text{бе max}} = , I_{\text{б max}} = .$

5. На епюрі напруги $U_{\text{вх}}(t)$ навколо напруги спокою $U_{0\text{бе}}$ розміщуємо синусоїду без спотворень із заданою амплітудою $U_{m \text{ вх}}$.

6. Креслимо вихідні вольтамперні характеристики для струмів бази $I_{\text{б min}}$, $I_{0\text{б}}$ й $I_{\text{б max}}$, значення яких позначено на вхідній ВАХ відповідно у точках 1, РТ, 2 (рис. 2.4).

7. На вихідних характеристиках обраного транзистора знаходимо точку 3 лінії навантаження. Для цього обираємо значення напруги $U_{\text{ке min}}$ й проектуємо його на вихідну характеристику для струму бази $I_{\text{б max}}$.

Напруга $U_{\text{ке min}}$ повинна відсікати найбільш нелінійну ділянку вихідних ВАХ транзистора. Тому значення напруги $U_{\text{ке min}}$ слід обирати таким чином, щоб точка 3 була якомога ближче до осі ординат $I_{\text{к}}$, але правіше точки вигину характеристики для струму $I_{\text{б max}}$, тобто на можливо лінійній ділянці вихідної характеристики. Наприклад, $U_{\text{ке min}} = 2 U_{\text{ке нас}}$.

8. На вихідних характеристиках знаходимо точку 4 лінії навантаження, проектуючи максимальну напругу $U_{\text{ке max}} = U_{\text{ке min}} + 2U_{m \text{ вих}}$ на вихідну характеристику для струму бази $I_{\text{б min}}$.

9. Через точки 3 і 4 проводимо лінію навантаження до перетину з вісями координат $U_{\text{ке}}$ й $I_{\text{к}}$. Позначаємо робочу точку РТ, яка знаходиться на перетині

ВАХ, що відповідає струму бази $I_{0б}$ й навантажувальній прямій. Проектуючи робочу точку РТ на вісь напруги $U_{ке}$ (вісь абсцис), знаходимо напругу $U_{0ке}$.

10. Проектуючи точки 3, РТ, 4 на вісь струму I_k (вісь ординат), знаходимо значення відповідних струмів: $I_{k \max}$, $I_{0к}$, $I_{k \min}$.

11. В межах мінімальних та максимальних значень струму колектора та напруги колектор-емітер розміщуємо їх епюри, як показано на рис. 2.4.

12. Наводимо діаграму роботи розраховуваного підсилювача на вхідних й вихідних ВАХ обраного транзистора, як показано на рис.2.4, використовуючи тільки три вихідні ВАХ для трьох значень струму бази: $I_{б \max}$, $I_{0б}$, $I_{б \min}$.

Через нелінійності вхідної та вихідної вольтамперних характеристик транзистора, форма вихідного сигналу відрізняється від гармонічної. Це свідчить про наявність у підсилювачі нелінійних спотворень.

Розрахунок параметрів підсилювачів

1. Розраховуємо значення потужності, яка розсіюється колектором, та порівнюємо його з максимально припустимим значенням, зазначеним у довіднику,

$$P_{0к} = U_{0ке} I_{0к}.$$

Має виконуватися нерівність: $P_{0к} < P_{к \max}$. Якщо нерівність не виконується, необхідно обрати інший, більш потужний транзистор.

2. Знаходимо напругу живлення підсилювача $E_K = \dots$, яке відраховується у точці перетину лінії навантаження з віссю абсцис – віссю напруги $U_{ке}$. На вісі ординат – вісі струму I_k у точці перетину навантажувальної прямої знаходимо значення розрахованого струму $I_{кр} = \frac{E_K}{R_k}$.

3. Визначаємо опір навантаження

$$R_k = \frac{E_K}{I_{кр}}.$$

4. Розраховуємо опір резистора у колі бази

$$R_б = \frac{E_K - U_{0бе}}{I_{0б}}.$$

5. Розраховуємо вихідну корисну потужність

$$P_{вих} = \frac{U_{mвix}^2}{2R_k}$$

й споживану потужність

$$P_{пот} = E_K \cdot I_{0к}.$$

6. Визначаємо коефіцієнт корисної дії (ККД) підсилювача

$$\eta = \frac{P_{вих}}{P_{сп}}.$$

Для підсилювача зі спільним емітером й резистивним навантаженням має виконуватися нерівність: $\eta < 0,25$.

Попередження: якщо нерівність не виконується, це свідчить про наявність у роботі *помилки*, яку необхідно знайти та виправити.

7. Розраховуємо коефіцієнти підсилення підсилювача:

1) коефіцієнт підсилення напруги

$$K_u = \frac{U_{m \text{ вих}}}{U_{m \text{ вх}}};$$

2) коефіцієнт підсилення струму

$$K_i = \frac{I_{m \text{ ксер}}}{I_{m \text{ бсер}}},$$

де $I_{m \text{ ксер}}$ и $I_{m \text{ бсер}}$ – середні значення амплітуд струмів відповідно колектора і бази:

$$I_{m \text{ ксер}} = \frac{I_{k \text{ max}} - I_{k \text{ min}}}{2}, \quad I_{m \text{ бсер}} = \frac{I_{б \text{ max}} - I_{б \text{ min}}}{2};$$

3) коефіцієнт підсилення потужності

$$K_P = K_u \cdot K_i.$$

Через нелінійність ВАХ транзистора виникають нелінійні спотворення сигналу (спотворення форми струмів та напруг у підсилювача), тому у розрахунках використовуються середні значення. Середні значення амплітуд струмів знаходимо за відомими формулами.

8. Знаходимо вхідний опір підсилювача

$$R_{\text{вх}} = \frac{U_{m \text{ вх}}}{I_{m \text{ бсер}}}.$$

9. Креслимо часову діаграму роботи підсилювача у масштабі.

(Зверху епюра вхідної напруги, знизу – вихідної).

3.4. Контрольні питання

1. Поясніть принцип дії підсилювача.
2. Поясніть зв'язок між напругою живлення та максимальною неспотвореною амплітудою вихідної напруги.
3. Покажіть зв'язок між струмами бази і колектора.
4. Поясніть вплив значення опору резистора у колі бази на спотворення сигналу.
5. Поясніть оптимальне положення робочої точки на вихідних ВАХ транзистора для отримання мінімальних спотворень вихідної напруги.

4. Інтегральні мікросхеми. Операційний підсилювач. Розрахунок каскадів на операційних підсилювачах

4.1. Ключові положення

Інтегральна мікросхема (ІМС) – це мікроелектронний виріб, який виконує функції перетворення й обробки сигналу. ІМС має високу щільність упакування електрично з'єднаних елементів й розглядається як єдине ціле.

За своїм функціональним застосуванням інтегральні мікросхеми підрозділяються на два основних види: аналогові та цифрові.

Аналогові ІМС призначені для перетворення й оброблення сигналів, що змінюються за законом неперервної функції. **Цифрові ІМС** призначені для перетворення й оброблення сигналів, що змінюються за законом дискретної функції.

До аналогових відносяться ІМС, що виконують функції підсилення, генерування сигналів різної форми, а також перетворення сигналів (модулятори, демодулятори, перетворювачі частоти та ін.). До складу аналогових ІМС входять також інтегральні схеми, що виконують допоміжні функції – стабілізатори напруги й струму, випрямлячі та інші, а також набори транзисторів, діодів та інших елементів, які використовують при конструюванні мікроелектронних приладів.

Аналогові і цифрові ІМС розроблюються та виготовляються підприємствами-виготівниками у вигляді серій. **Серією** називають сукупність ІМС, які можуть виконувати різні функції, мають єдине конструктивно-технологічне виконання й призначені для сумісного застосування. Випуск кожної нової серії ІМС потребує великих витрат часу та коштів, тому до ІМС пред'являються вимоги універсальності, багатоцільового використання у пристроях різного призначення.

Серій аналогових ІМС значна кількість.

Основну елементну базу аналогової мікроелектронної апаратури складають операційні підсилювачі, компаратори та перемножувачі, завдяки універсальності їх застосування. Умовні позначення цих аналогових мікросхем показано на рис. 4.1.

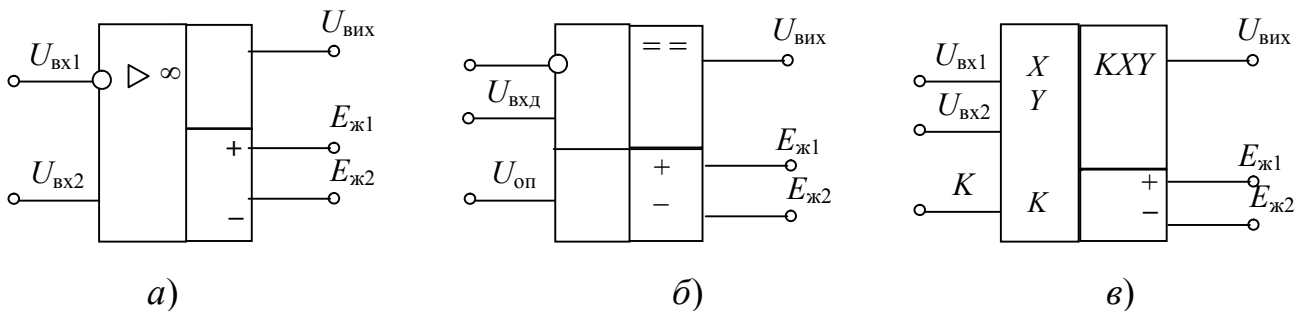


Рисунок 4.1 – Умовні позначення аналогових інтегральних мікросхем:
а) операційний підсилювач; б) компаратор; в) перемножувач

4.2. Операційні підсилювачі

Найбільш розповсюдженими аналоговими ІМС є операційні підсилювачі завдяки універсальності їх застосування.

Операційний підсилювач (ОП) – це підсилювач напруги з безпосередніми зв'язками між каскадами, який має великий коефіцієнт підсилення, малий рівень шумів, великий вхідний опір, малий вихідний опір і широку смугу одиничного підсилення. ОП є підсилювачем постійного струму (ППС), тому що здатний підсилювати постійні сигнали. Назва «операційний підсилювач» було дано спочатку підсилювачам з великим коефіцієнтом підсилення, розробленим для виконання математичних операцій додавання, віднімання, множення і ділення. У даний час інтегральні ОП використовуються для створення різних функціональних вузлів.

Умовні позначення операційного підсилювача з колами корекції показані на рис. 4.2.

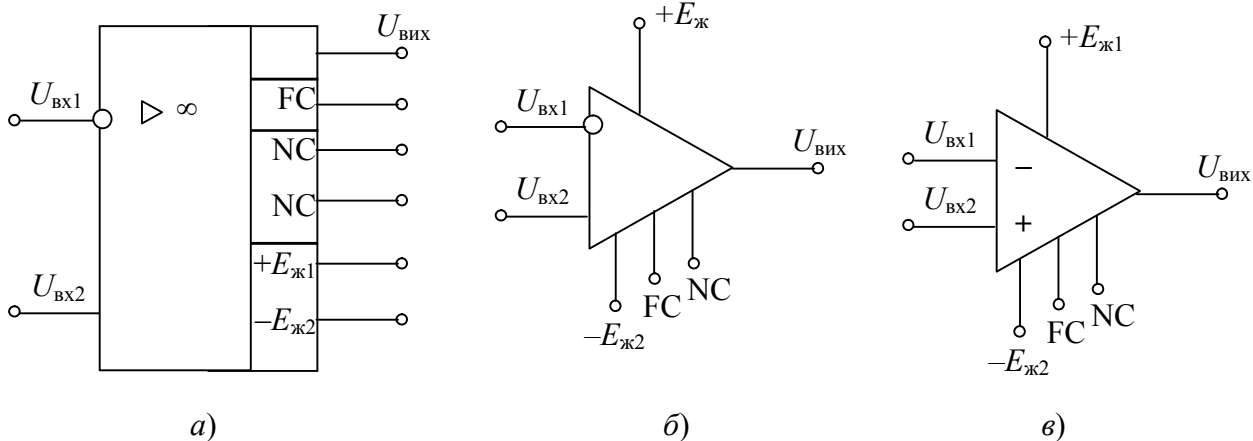


Рисунок 4.2 – Умовні позначення операційного підсилювача:
а) згідно з ЄСКД; б) за функціональної ознаки (підсилювач);
в) застаріле позначення

Операційний підсилювач має два входи: *інвертуючий* і *неінвертуючий*. На рис. 4.2, а і б інвертуючий вхід позначений кружечком, на рис. 4.2, в – знаком мінус (–). Обидва входи називають *диференціальними* (або *різницеви*). Тому що вхідний каскад ОП є диференціальним, то вихідна напруга ОП $U_{\text{вих}}$ залежить від різниці напруг

$$U_{\text{вх д}} = U_{\text{вх2}} - U_{\text{вх1}}, \quad (4.1)$$

$U_{\text{вх д}}$ називається *диференціальним вхідним сигналом*.

Якщо $U_{\text{вх2}} > U_{\text{вх1}}$, то полярність вихідного сигналу збігається з полярністю сигналу $U_{\text{вх2}}$ (сигнал не інвертується). Якщо $U_{\text{вх1}} > U_{\text{вх2}}$, то полярність вихідного сигналу протилежна полярності сигналу $U_{\text{вх1}}$ (сигнал інвертується). Формула (4.1) справедлива також для випадку, коли або $U_{\text{вх2}} = 0$, або $U_{\text{вх1}} = 0$.

Операційний підсилювач не чутливий до *синфазної складової вхідних сигналів*, яка дорівнює

$$U_{\text{вх с}} = \frac{1}{2} (U_{\text{вх2}} + U_{\text{вх1}}). \quad (4.2)$$

Тому коефіцієнт підсилення ОП визначається тільки для диференціального вхідного сигналу

$$K_{\text{ОП}} = \frac{U_{\text{вих}}}{U_{\text{вх д}}} = \frac{U_{\text{вих}}}{U_{\text{вх2}} - U_{\text{вх1}}}. \quad (4.3)$$

Напруги $U_{\text{вх1}}$, $U_{\text{вх2}}$ і $U_{\text{вих}}$ відраховуються відносно корпусу.

Операційний підсилювач має один вихід і два виводи для підключення джерела живлення: $+E_{\text{ж1}}$, $-E_{\text{ж2}}$. Для ОП використовується, як правило, симетричне (відносно корпусу) джерело живлення ($\pm E_{\text{ж}}$), як показано на рис. 4.3.

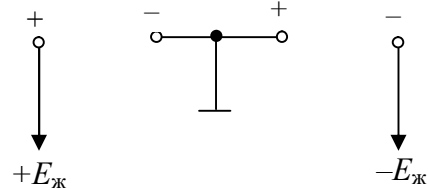


Рисунок 4.3 – Симетричне джерело живлення

Таке живлення називають *двополярним*, може використовуватися також несиметричне (однополярне) живлення.

Виводи, які призначені для підключення кіл корекції нуля ОП, позначаються символами НС, а для підключення елементів частотної корекції – символами ФС.

Операційний підсилювач за своїми характеристиками й параметрами наближається до «ідеального» підсилювача.

Параметри *ідеального ОП*:

- 1) нескінченний коефіцієнт підсилення напруги ($K_{\text{ОП}} \rightarrow \infty$);
- 2) нескінченний повний вхідний опір ($Z_{\text{вх ОП}} \rightarrow \infty$);
- 3) нульовий повний вихідний опір ($Z_{\text{вих ОП}} = 0$);
- 4) рівна нулю вихідна напруга $U_{\text{вих}} = 0$ за рівних напруг на обох входах $U_{\text{вх2}} = U_{\text{вх1}}$ ($U_{\text{вхд}} = 0$);
- 5) нескінченна ширина смуги пропускання (відсутність затримки при проходженні сигналу через підсилювач).

На практиці ні одна з цих властивостей не може бути здійснена повністю, проте до них можна наблизитися з достатньою точністю для багатьох застосувань.

Параметри операційного підсилювача

Властивості ОП визначаються значною кількістю параметрів. Основними технічними показниками ОП є:

- 1) Коефіцієнт підсилення напруги $K_{\text{ОП}}$, що рівний відношенню вихідної напруги до диференціальної вхідної напруги (формула 4.3). Для сучасних ОП значення коефіцієнта підсилення дорівнює: $K_{\text{ОП}} = 10^5 \dots 10^6$.
- 2) Напруга джерела живлення $\pm E_{\text{ж}}$, В при симетричному живленні.
- 3) Споживаний струм $I_{\text{сп}}$, мА.
- 4) Максимальна вихідна напруга: позитивного плеча $U_{\text{вих max}}^{(+)}$; негативного плеча $U_{\text{вих max}}^{(-)}$. Максимальна вихідна напруга зазвичай на (1...2) В менша напруги живлення.
- 5) Коефіцієнт послаблення синфазних вхідних напруг

$$K_{\text{пос сф дБ}} = 20 \lg \frac{U_{\text{вих}}}{U_{\text{вх с}}} \quad (4.4)$$

Значення цього коефіцієнта для сучасних ОП дорівнює (70...80) дБ.

6) Вхідна напруга зміщення нуля $U_{\text{зм}}$, мВ, дорівнює напрузі, яку необхідно подати на диференціальний вхід, щоб $U_{\text{вих}} = 0$.

7) Вхідний опір ОП $R_{\text{вх ОП}}$ для диференціального сигналу: $R_{\text{вх ОП}} = (10^6 \dots 10^{10})$ Ом.

8) Вихідний опір ОП $R_{\text{вих ОП}}$ при подачі диференціального вхідного сигналу: $R_{\text{вих ОП}} = (10 \dots 100)$ Ом.

9) Частота одиничного підсилення f_1 , на якій модуль коефіцієнта підсилення ОП дорівнює одиниці, тобто $|K_{\text{ОП}}| = 1$ або $K_{\text{ОП, дБ}} = 20 \lg K_{\text{ОП}} = 0$ дБ. У сучасних ОП $f_1 = (1 \dots 12)$ МГц.

Структура операційного підсилювача

Більшість операційних підсилювачів виконується у вигляді трикаскадних підсилювачів. Структурна схема ОП показана на рис. 4.4.

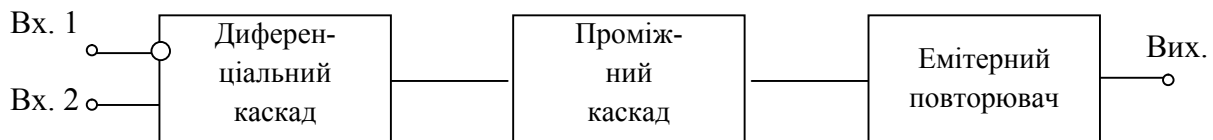


Рисунок 4.4 – Структурна схема операційного підсилювача

Вхідний каскад ОП – це диференціальний підсилювач. Диференціальний підсилювач має великий коефіцієнт підсилення диференціального вхідного сигналу і велике послаблення синфазного вхідного сигналу. Диференціальний підсилювач має також великий вхідний опір для будь-яких вхідних сигналів. Вхідний каскад є найбільш відповідальним каскадом ОП.

За вхідним слідує проміжний каскад, який здійснює основне підсилення струму та напруги ОП. У ОП використовується безпосередній (гальванічний) зв'язок між каскадами, тому проміжний каскад повинен забезпечити також зниження напруги спокою, щоб на виході ОП напруга спокою дорівнювала нулю.

Вихідний каскад повинен забезпечити малий вихідний опір ОП і струм, достатній для живлення бажаного навантаження. Крім того, цей каскад повинен мати великий вхідний опір, щоб не навантажувати проміжний каскад. Як вихідний каскад в ОП використовують двотактний емітерний повторювач, який працює в режимі *B* (або *AB*). Використання режиму *B* дозволяє підвищити ККД вихідного каскада, зменшити втрати в його транзисторах та спростити процес охолодження кристала.

Зворотний зв'язок

Операційні підсилювачі використовуються для створення значної кількості функціональних вузлів, в яких використовується зворотний зв'язок.

Зворотним називається зв'язок, який забезпечує передавання енергії сигналу з вихідного кола підсилювача у вхідне. Він використовується для покращення технічних параметрів та характеристик підсилювача. Структурна схема підсилювача зі зворотним зв'язком (ЗЗ) зображена на рис. 4.5.

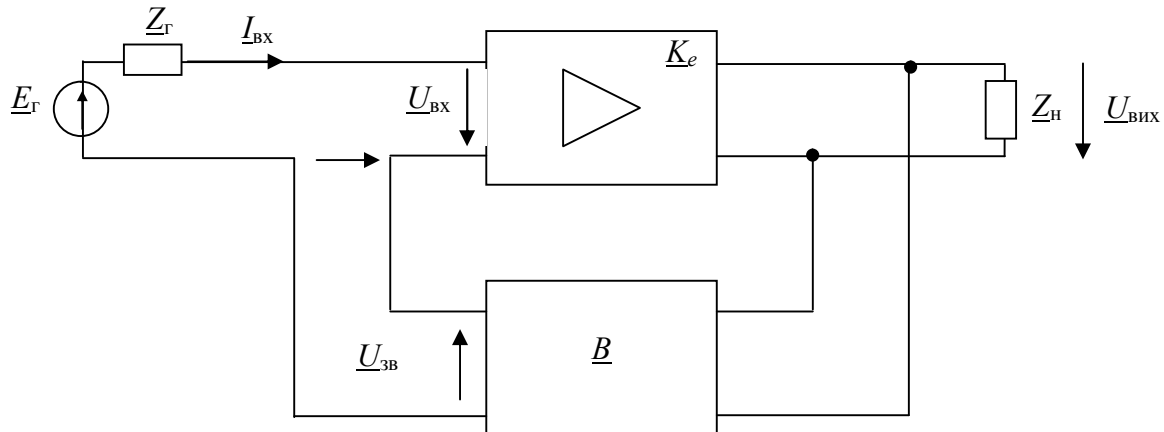


Рисунок 4.5 – Структурна схема підсилювача зі зворотним зв'язком

Передача сигналу з виходу на вхід підсилювача здійснюється за допомогою чотириполюсника B . Чотириполюсник ЗЗ являє собою зовнішнє електричне коло, яке складається з пасивних або активних, лінійних або нелінійних елементів. Якщо ЗЗ охоплює увесь підсилювач, то ЗЗ називається *загальною*; якщо охоплює окремі каскади або частини підсилювача, називається *місцевою*. На рис. 4.5 показана структурна схема підсилювача із загальним ЗЗ.

Коефіцієнт передавання чотириполюсника ЗЗ дорівнює

$$\underline{B} = \frac{\underline{U}_{ЗВ}}{\underline{U}_{ВІХ}}. \quad (4.5)$$

Риска знизу у формулі (4.5) і далі показує, що величина є комплексною функцією.

Коефіцієнт B показує, яка частина вихідної напруги $U_{ВІХ}$ передається знову на вхід. Тому цей коефіцієнт називають *коефіцієнтом зворотного зв'язку*. Частіш за все у колі ЗЗ використовують пасивні чотириполюсники, тому $B < 1$.

Вплив зворотного зв'язку на параметри й характеристики підсилювача

Зворотний зв'язок впливає на усі параметри й характеристики підсилювача.

Наскрізний коефіцієнт підсилення підсилювача зі зворотним зв'язком $\underline{K}_{e\text{ЗВ}}$ визначається виразом

$$\underline{K}_{e\text{ЗВ}} = \frac{\underline{K}_e}{1 - \underline{B}\underline{K}_e}, \quad (4.6)$$

де $\underline{K}_e = \frac{U_{\text{вих}}}{E_\Gamma}$ – комплексний наскрізний коефіцієнт підсилення підсилювача без зворотного зв'язку;

$E_\Gamma = E_\Gamma e^{j\varphi_\Gamma}$ – комплексне значення ЕРС джерела сигналу;

$U_{\text{вих}} = U_{\text{вих}} e^{j\varphi_{\text{вих}}}$ – комплексне значення вихідної напруги без зворотного зв'язку;

$\underline{K}_{e33} = \frac{U_{\text{вих}33}}{E_\Gamma}$ – комплексний наскрізний коефіцієнт підсилення підсилювача зі зворотним зв'язком.

Чотириполусники \underline{K}_e і \underline{B} утворюють петлю 33. Добуток $\underline{B}\underline{K}_e$ характеризує коефіцієнт передавання сигналу по петлі 33, його називають **петльовим підсиленням**

$$\underline{B}\underline{K}_e = \frac{U_{33}}{E_\Gamma} = B \cdot K_e \cdot e^{j\varphi} = BK_e(\cos \varphi + j\sin \varphi), \quad (4.7)$$

де $\varphi = \varphi_e + \varphi_b$ – зсув фаз у петлі 33.

З виразу (4.6) знайдемо модуль коефіцієнта підсилення підсилювача зі 33

$$\underline{K}_{e33} = \frac{K_e}{|1 - \underline{B}\underline{K}_e| \gamma} = \frac{K_e}{\gamma} \quad (4.8)$$

величину

$$\gamma = |1 - \underline{B}\underline{K}_e| \quad (4.9)$$

називають **глибиною 33**.

З виразу (4.8) випливає, що при введенні зворотного зв'язку коефіцієнт підсилення підсилювача з 33 змінюється у γ разів.

Зворотний зв'язок називають **негативним**, якщо при введенні 33 коефіцієнт підсилення зменшується, тобто $K_{e33} < K_e$. Зворотний зв'язок називають **позитивним**, якщо при введенні 33 коефіцієнт підсилення збільшується, тобто $K_{e33} > K_e$. Якщо коефіцієнт підсилення при введенні 33 не змінюється ($K_{e33} = K_e$, $\gamma = |1 - \underline{B}\underline{K}_e| = 1$), такий зв'язок називають **нейтральним**.

Як випливає з формули (4.9), величина γ залежить від знака петльового підсилення $\underline{B}\underline{K}_e$, знак у свою чергу визначається зсувом фаз у петлі ОС $\varphi = \varphi_e + \varphi_b$. Вид 33 може змінюватися залежно від значень величин φ_e і φ_b . Значення зсувів фаз φ_e і φ_b змінюються при зміні частоти, тому вид 33 (негативний чи позитивний) визначається в області середніх частот підсилюваного діапазону:

1) Якщо $\varphi = \pi$, то $\underline{B}\underline{K}_e$ – негативна дійсна величина (згідно з формулою 4.8), $\gamma = 1 + BK_e$ (згідно з формулою 4.10), глибина 33 більша одиниці, $K_{e33} < K_e$, отже, зв'язок **негативний**.

2) Якщо $\varphi = 0$, то $\underline{B}\underline{K}_e$ – позитивна дійсна величина, а $\gamma = 1 - BK_e$, глибина 33 менша одиниці $K_{e33} > K_e$, отже, зв'язок **позитивний**.

Іншими словами, якщо сигнал зворотного зв'язку надходить у *протифазі з вхідним сигналом* (з інверсією, $\varphi = \pi$), то такий зв'язок – **негативний (НЗЗ)**. Якщо сигнал зворотного зв'язку надходить у *фазі з вхідним сигналом* ($\varphi = 0$), то такий зв'язок – **позитивний (ПЗЗ)**.

Якщо глибина позитивного зворотного зв'язку (НЗЗ) $\gamma \gg 1$, то такий НЗЗ називають **глибоким**, для нього

$$K_{e\text{ зв}} = \frac{K_e}{1 + BK_e} \approx \frac{1}{B}, \quad (4.10)$$

тобто коефіцієнт підсилення підсилювача з глибоким НЗЗ визначається тільки параметрами кола ЗЗ.

У багатокаскадних підсилювачах фазові зсуви φ_e можуть призвести до того, що у смузі пропускання та за її межами зв'язок стане позитивним.

У підсилювальних пристроях для покращення якісних показників і характеристик використовується *негативний ЗЗ*:

1) НЗЗ зменшує частотні і фазові спотворення, розширює смугу пропускання за малих фазових зсувів у петлі ЗЗ φ .

2) НЗЗ зменшує коефіцієнт гармонік.

3) НЗЗС зменшує нестабільність коефіцієнта підсилення.

4) НЗЗ змінює вхідний та вихідний опір залежно від способу введення і зняття сигналу НЗЗ. Послідовний НЗЗ збільшує вхідний опір, паралельний НЗЗ зменшує вхідний опір. НЗЗ за струмом збільшує вихідний опір, НЗЗ за напругою зменшує вихідний опір.

Позитивний ЗЗ має протилежний вплив на параметри і характеристики підсилювача, тобто їх погіршує. ПЗЗ використовується у спеціальних схемах, наприклад, для реалізації активних двополюсників з еквівалентним негативним опором або еквівалентною негативною провідністю, а також у схемах автогенераторів.

Стійкість підсилювачів зі зворотним зв'язком

Негативний ЗЗ у підсилювачах широко використовується для покращення їх показників. Проте ЗЗ, який здійснюється у середині робочого діапазону частот як негативний, може бути позитивним на краях діапазону або за його межами через фазові зсуви, які вносяться підсилювачем та колом ЗЗ. У цьому випадку можуть виникнути умови, за яких на виході підсилювача з'являється напруга за відсутності напруги на вході. Виникнення власних коливань у підсилювачі називається *самозбудженням або генерацією*.

4.3. Розрахунок каскадів на операційних підсилювачах

4.3.1. Інвертуючий підсилювач напруги

Схема інвертуючого підсилювача показана на рис. 4.6. Аналогові ІМС на схемах позначаються літерою *A*, цифрові – літерою *D*.

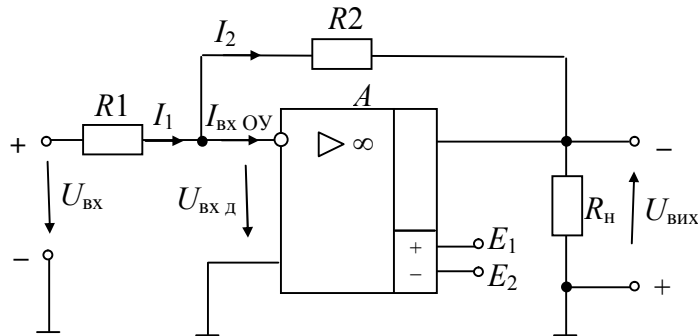


Рисунок 4.6 – Інвертуючий підсилювач напруги

Схема інвертує напругу, тому що вхідний сигнал подано на інвертуючий вхід. Отже, напруги $U_{\text{вх}}$ і $U_{\text{вих}}$ зміщені по фазі на π . Зворотний зв'язок подається на вхід підсилювача за допомогою резистора R_2 , коло зворотного зв'язку B утворене зовнішніми елементами R_2 і R_1 . Тому що напруги вхідного $U_{\text{вх}}$ та зворотного зв'язку $U_{\text{зв}}$ зміщені на π , то зв'язок негативний. За способом уведення – зв'язок паралельний, за способом зняття – за напругою. Паралельний негативний ЗЗ призводить до збільшення вхідного струму схеми $I_{\text{вх}} = I_1$, і, як наслідок, до зменшення вхідного опору інвертуючого підсилювача порівняно з вхідним опором операційного підсилювача. Негативний ЗЗ за напругою призводить до зменшення вихідного опору інвертуючого підсилювача, тобто $R_{\text{вих}} < R_{\text{вих ОП}}$, яке й без зворотного зв'язку мале.

Для спрощення аналізу будемо вважати, що у розглядуваній смузі частот операційний підсилювач *близький до ідеального*: $K_{\text{ОП}} \rightarrow \infty$, $R_{\text{вх ОП}} \rightarrow \infty$, $R_{\text{вих ОП}} \rightarrow 0$. Це припущення можна вважати справедливим, тому що вхідна напруга ОП $U_{\text{вх д max}}$ дорівнює дуже маленькому значенню. У цьому випадку вважаємо, що $U_{\text{вх д}} \approx 0$, а вхідний струм ОП $I_{\text{вх ОП}} \approx 0$, тому що вхідний опір $R_{\text{вх ОП}} \rightarrow \infty$.

Тоді для схеми рис. 4.6 справедлива рівність

$$I_1 = I_2,$$

а вхідний опір інвертуючого підсилювача

$$R_{\text{вх}} = \frac{U_{\text{вх}}}{I_1} = R_1. \quad (4.11)$$

Для визначення коефіцієнта підсилення інвертуючого підсилювача знайдемо струми:

$$I_1 = \frac{U_{\text{вх}}}{R_1},$$

з урахуванням полярності вихідної напруги

$$I_2 = -\frac{U_{\text{вих}}}{R_2}.$$

Тому що $I_1 = I_2$, то справедлива рівність

$$\frac{U_{\text{вх}}}{R_1} = -\frac{U_{\text{вих}}}{R_2}.$$

З цієї рівності знайдемо коефіцієнт підсилення інвертуючого підсилювача

$$K_{ui} = \frac{U_{\text{вих}}}{U_{\text{вх}}} = -\frac{R_2}{R_1}. \quad (4.12)$$

Таким чином, коефіцієнт підсилення K_{ui} визначається тільки зовнішніми елементами схеми й не залежить від коефіцієнта підсилення операційного підсилювача $K_{оп}$. Знак мінус свідчить про інверсію сигналу.

Для змінного вхідного сигналу

$$\underline{K}_{ui} = \frac{\underline{U}_{\text{вих}}}{\underline{U}_{\text{вх}}} = -\frac{R_2}{R_1}.$$

За умовчужанням, під коефіцієнтом підсилення розуміють його модуль.

Операційний підсилювач є підсилювачем постійного струму, тому підсилювач (рис. 4.6) підсилює і постійну, і змінну напруги. У загальному випадку, якщо вхідний сигнал містить і постійну, і змінну складові, обидві складові будуть підсилені у K_{ui} разів. Перевагою операційних підсилювачів є те, що при використанні симетричного двополярного живлення, якщо сигнал не містить постійної складової, то й вихідний сигнал також не буде містити постійної складової. Це суттєво спрощує каскадне з'єднання таких підсилювачів, тому що немає необхідності використовувати розділювальні конденсатори між каскадами.

Вхідний опір інвертуючого підсилювача дорівнює R_1 , тому значення R_1 обирають з умови забезпечення необхідного вхідного опору. Отже, потрібний коефіцієнт підсилення забезпечують вибором значень опорів R_2 .

Завдання для розрахунку

1. Розробіть схему інвертуючого підсилювача.
2. Розрахуйте опори резисторів й виберіть номінальні значення за шкалою E24 (табл. 1.1).
3. Розрахуйте необхідний коефіцієнт підсилення інвертуючого підсилювача по заданим значенням вхідної та вихідної напруг.
4. Визначте отриманий коефіцієнт підсилення інвертуючого підсилювача за значеннями опорів резисторів вхідного кола та кола НЗЗ.
5. Порівняйте отримані результати розрахунків та зробіть висновки про похибку розрахунків.
6. Накресліть в масштабі часові діаграми напруг розробленого підсилювача.

Вихідні дані

1. Амплітуда вхідної напруги $U_{m\text{ вх}} = (0,1 + 0,01 \cdot N)$ В.
2. Амплітуда вихідної напруги $U_{m\text{ вих}} = (5 + 0,7 \cdot M)$ В.
3. Опір навантаження $R_{\text{н}} = 2$ кОм.

Виконання розрахунку

1. Розробка схеми

Схема інвертуючого підсилювача показана на рис. 4.6. Далі необхідно пояснити всі позначення на схемі:

A – операційний підсилювач;

R_1 – опір у вхідному колі, що визначає вхідний опір підсилювача;

R_2 – опір кола зворотного зв'язку;

$R_{\text{н}}$ – опір навантаження;

$U_{\text{вх}}$ – вхідна напруга;

$U_{\text{вих}}$ – вихідна напруга;

$+E_1$, и $-E_2$ – джерела живлення, як правило, однакові за величиною.

2. Розрахунок підсилювача

- 1) Розраховуємо амплітуду струму у колі навантаження

$$I_{m\text{н}} = \frac{U_{m\text{ вих}}}{R_{\text{н}}}.$$

- 2) Вибираємо значення амплітуди струму у колі зворотного зв'язку зі співвідношення

$$I_{m2} = (0,02 \dots 0,05) \cdot I_{m\text{н}}.$$

Вибираємо, наприклад, значення: $I_{m2} = 0,04 \cdot I_{m\text{н}}$.

- 3) Тому що амплітуди струмів I_{m1} і I_{m2} рівні, то:

$$I_{m1} = I_{m2}.$$

- 4) Визначаємо опір резистора у вхідному колі

$$R_1 = \frac{U_{m\text{ вх}}}{I_{m1}}.$$

- 5) Визначаємо опір резистора у колі зворотного зв'язку

$$R_2 = \frac{U_{m\text{ вих}}}{I_{m2}}.$$

- 6) Вибираємо значення опорів резисторів R_1 і R_2 за табл. 1.1 з ряду E24:

$$R_1 = \quad , \quad R_2 = \quad .$$

- 7) Розраховуємо заданий коефіцієнт підсилення напруги

$$K_u = \frac{U_{m\text{ вих}}}{U_{m\text{ вх}}}.$$

- 8) Тому що значення опорів резисторів R_1 і R_2 обрано з номінальних значень, то отриманий коефіцієнт підсилення розробленого інвертуючого

підсилювача може відрізнятись від заданого значення. Тому розраховуємо коефіцієнт підсилення напруги розробленого інвертуючого підсилювача

$$K_{ui} = \frac{R_2}{R_1}.$$

9) Порівнюємо значення K_u і K_{ui} й знаходимо відносну похибку коефіцієнта підсилення розробленого інвертуючого підсилювача

$$\delta\% = \frac{K_{ui} - K_u}{K_u} \cdot 100.$$

10) Робимо висновки про отриманий результат: відносна похибка не повинна перевищувати значення: $\pm 5\%$.

11) Будуємо епюри $u_{вх} = f(t)$; $u_{вих} = f(t)$ в масштабі: рис. 4.7.

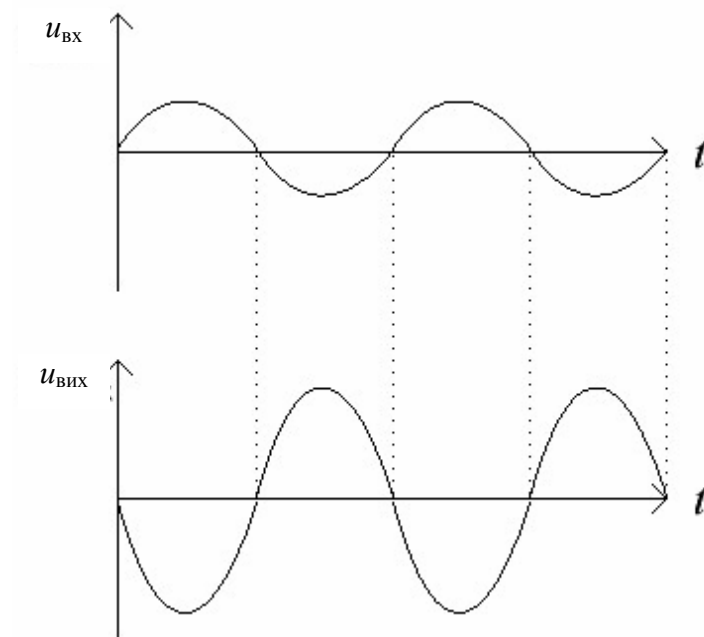


Рисунок 4.7 – Епюри напруг інвертуючого підсилювача

Контрольні питання

1. Накресліть схему інвертуючого підсилювача на ОП.

2. Запишіть формулу для визначення коефіцієнта підсилення інвертуючого підсилювача за значеннями вхідної та вихідної напруг та за значеннями опорів резисторів R_1 і R_2 .

3. Доведіть, що вхідний струм дорівнює струму в колі НЗЗ.

4. Накресліть епюри вхідної та вихідної напруг.

5. Поясніть, що у схемі інвертуючого підсилювача уведений негативний зворотний зв'язок, паралельний за напругою.

4.3.2. Неінвертуючий підсилювач напруги

Схема неінвертуючого підсилювача показана на рис. 4.8.

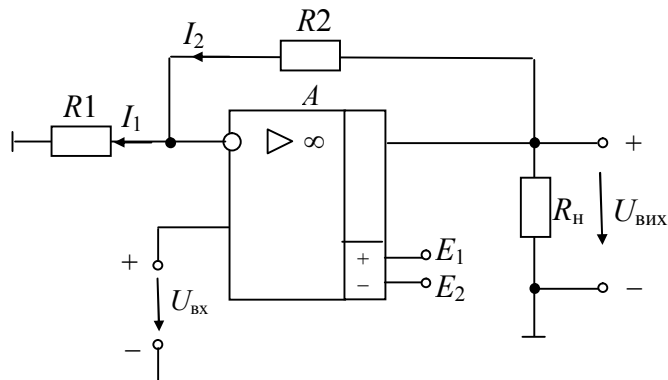


Рисунок 4.8 – Неінвертуючий підсилювач

Підсилювач вхідної напруги не інвертує, тому що вхідний сигнал подано на неінвертуючий вхід. Отже, напруги $U_{\text{вх}}$ і $U_{\text{вих}}$ збігаються за фазою. Резистори R_1 і R_2 утворюють чотириполосник зворотного зв'язку B . Напруга зворотного зв'язку $U_{\text{зв}}$, яка виділяється на резисторі R_1 ($U_{\text{зв}} = I_1 R_1$), увімкнена послідовно зі вхідною напругою у протифазі. Таким чином, у схемі рис. 4.8 використаний **негативний ЗЗ, послідовний за напругою**. Послідовний ЗЗ збільшує вхідний опір неінвертуючого підсилювача, тобто $R_{\text{вх}} > R_{\text{вх ОП}}$, який і без зворотного зв'язку значний ($R_{\text{вх ОП}} \rightarrow \infty$). Негативний ЗЗ за напругою зменшує вихідний опір неінвертуючого підсилювача, тобто $R_{\text{вих}} < R_{\text{вих ОП}}$.

Знайдемо коефіцієнт підсилення неінвертуючого підсилювача, вважаючи $U_{\text{вх д}} \approx 0$, $I_{\text{вх ОП}} \approx 0$. У цьому випадку $I_1 = I_2$, а $U_{\text{вх}} = I_1 R_1$, $U_{\text{вих}} = I_2 R_2 + I_1 R_1 = I_2 R_2 + U_{\text{вх}}$. Знайдемо струми:

$$I_1 = \frac{U_{\text{вх}}}{R_1}, \quad I_2 = \frac{U_{\text{вих}} - U_{\text{вх}}}{R_2}.$$

Прирівнявши струми, отримаємо

$$\frac{U_{\text{вх}}}{R_1} = \frac{U_{\text{вих}} - U_{\text{вх}}}{R_2}.$$

Звідси знайдемо коефіцієнт підсилення неінвертуючого підсилювача

$$K_{\text{ін}} = \frac{U_{\text{вих}}}{U_{\text{вх}}} = 1 + \frac{R_2}{R_1}. \quad (4.13)$$

Порівнюючи формули (4.12) і (4.13), бачимо, що $K_{\text{н}}$ більший за $K_{\text{и}}$ на одиницю. Для значних коефіцієнтів підсилення ($K_{\text{н}} \gg 1$) це не має значення, а для незначних значень $K_{\text{н}}$ одиниця впливає суттєво.

Завдання для розрахунку

1. Розробіть схему неінвертуючого підсилювача.
2. Розрахуйте значення опорів резисторів й оберіть їх номінальні значення за шкалою Е24.
3. Розрахуйте необхідний коефіцієнт підсилення неінвертуючого підсилювача за заданими значеннями вхідної й вихідної напруг.
4. Розрахуйте отриманий коефіцієнт підсилення неінвертуючого підсилювача за значеннями опорів резисторів кола НЗЗ.
5. Порівняйте отримані результати розрахунків та зробіть висновки про похибку розрахунків.
6. Накресліть у масштабі часові діаграми напруг розробленого підсилювача.

Вихідні дані

1. Амплітуда вхідної напруги $U_{\text{м вх}} = (0,1 + 0,01 \cdot N)$ В.
2. Амплітуда вихідної напруги $U_{\text{м вих}} = (5 + 0,7 \cdot M)$ В.
3. Опір навантаження $R_{\text{н}} = 2$ кОм.

Виконання розрахунку

1. Розробка схеми

Схема неінвертуючого підсилювача надана на рис. 4.8. Далі необхідно пояснити всі позначення на схемі.

На схемі рис. 4.8 позначено:

A – операційний підсилювач;

R_1, R_2 – опори кола негативного зворотного зв'язку;

R_H – опір навантаження;

U_{BX} – вхідна напруга;

$U_{ВЫХ}$ – вихідна напруга;

$+E_1, -E_2$ – джерела живлення, як правило, однакові за величиною.

2. Розрахунок схеми

1) Розраховуємо амплітуду струму у колі навантаження

$$I_{mH} = \frac{U_{mВЫХ}}{R_H}.$$

2) Вибираємо значення амплітуди струму у колі зв'язку зі співвідношення

$$I_{m2} = (0,02 \dots 0,05) \cdot I_{mH}.$$

Вибираємо, наприклад, значення: $I_{m2} = 0,04 \cdot I_{mH}$.

3) Тому що амплітуди струмів I_{m1} і I_{m2} рівні, то:

$$I_{m1} = I_{m2}.$$

4) Визначаємо опір резистора у вхідному колі

$$R_1 = \frac{U_{mВХ}}{I_{m1}}.$$

5) Визначаємо опір резистора у колі зворотного зв'язку

$$R_2 = \frac{U_{mВЫХ} - U_{mВХ}}{I_{m2}}.$$

6) Вибираємо значення опорів резисторів R_1 і R_2 за табл. 1.1 з ряду E24:

$$R_1 = \quad, \quad R_2 = \quad.$$

7) Розраховуємо заданий коефіцієнт підсилення напруги

$$K_u = \frac{U_{mВЫХ}}{U_{mВХ}}.$$

8) Оскільки значення опорів резисторів R_1 і R_2 вибрано з номінальних значень, то отриманий коефіцієнт підсилення розробленого неінвертуючого підсилювача може відрізнятись від заданого значення. Тому розраховуємо коефіцієнт підсилення напруги розробленого неінвертуючого підсилювача

$$K_{uH} = \frac{R_2}{R_1} + 1.$$

9) Порівнюємо значення K_u і K_{uH} та знаходимо відносну похибку коефіцієнта підсилення розробленого інвертуючого підсилювача

$$\delta\% = \frac{K_{ui} - K_u}{K_u} \cdot 100.$$

10) Робимо висновки про отриманий результат: відносна похибка не повинна перевищувати значення: $\pm 5\%$.

11) Будуємо епюри $u_{\text{вх}} = f(t)$; $u_{\text{вих}} = f(t)$ в масштабі: рис. 4.9.

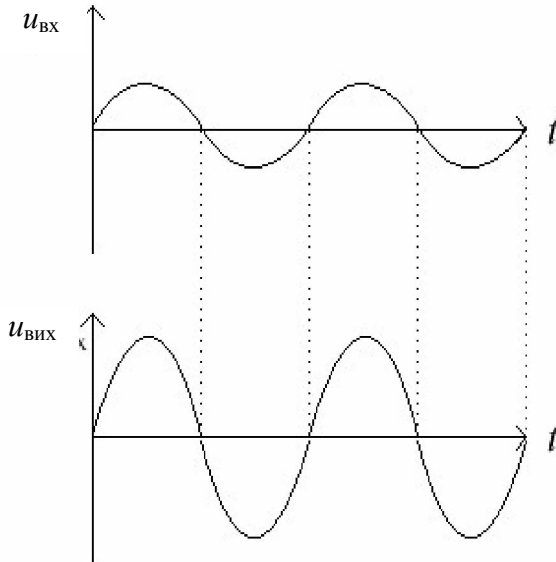


Рисунок 4.9 – Епюри напруг неінвертуючого підсилювача

Контрольні питання

1. Накресліть схему неінвертуючого підсилювача на ОП.

2. Запишіть формулу для визначення коефіцієнта підсилення неінвертуючого підсилювача за значенням вхідної і вихідної напруг та за значеннями опорів резисторів R_1 і R_2 .

3. Запишіть формули для визначення коефіцієнтів підсилення інвертуючого та неінвертуючого підсилювачів за значеннями опорів резисторів R_1 і R_2 . Поясніть, чим вони відрізняються.

4. Накресліть епюри вхідної та вихідної напруг.

5. Поясніть, що у схемі неінвертуючого підсилювача уведений негативний зворотний зв'язок, що йде за напругою.

4.3.3. Інвертуючий суматор

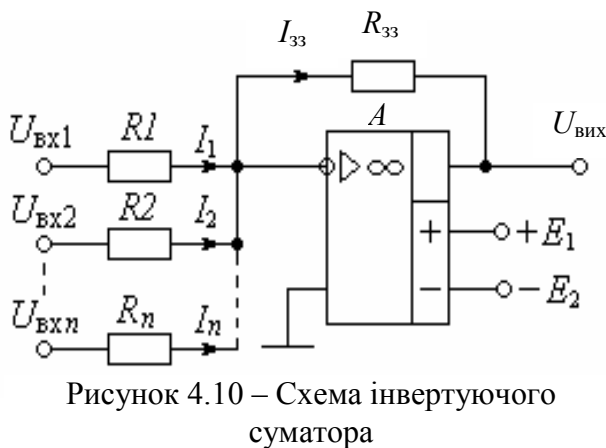


Рисунок 4.10 – Схема інвертуючого суматора

Інвертуючий суматор, схема якого показана на рис. 4.10, у загальному випадку складає струми. Ця властивість обумовлена дуже значним вхідним опором ($R_{\text{вхОП}}$) і дуже малим власним струмом ($I_{\text{вхОП}}$) операційного підсилювача A , на якому реалізований суматор.

Оскільки сума вхідних струмів протікає по колу 33, то справедлива рівність

$$I_{\text{ос}} = I_1 + I_2 + \dots + I_n. \quad (4.14)$$

У цьому випадку вихідна напруга буде дорівнювати

$$U_{\text{вих}} = - (I_1 + I_2 + \dots + I_n) \cdot R_{33}. \quad (4.15)$$

Вхідні струми визначаються вхідними напругами та опорами резисторів в їх вхідних колах, тому

$$I_1 = \frac{U_{\text{вх}1}}{R_1}; \quad I_2 = \frac{U_{\text{вх}2}}{R_2}; \quad \dots; \quad I_n = \frac{U_{\text{вх}n}}{R_n}. \quad (4.16)$$

З формул (4.15)...(4.16) знаходимо вихідну напругу

$$U_{\text{вих}} = - \left(\frac{U_{\text{вх}1}}{R_1} + \frac{U_{\text{вх}2}}{R_2} + \dots + \frac{U_{\text{вх}n}}{R_n} \right) \cdot R_{\text{з3}}. \quad (4.17)$$

З виразу (4.17) випливає, що суматор складає *напруги* $U_{\text{вх}1} \dots U_{\text{вх}n}$ зі своїми *масштабними коефіцієнтами*, які визначаються опорами $R_1 \dots R_n$. Наприклад, при $U_{\text{вх}1} = U_{\text{вх}2}$ і $R_2 = 2R_1$ внесок напруги $U_{\text{вх}2}$ у вихідний сигнал буде вдвічі меншим, ніж напруги $U_{\text{вх}1}$. Вираз у дужках (4.17) носить назву *зваженої суми*.

Якщо необхідно отримати *арифметичну* суму напруг, то згадані *масштабні коефіцієнти* повинні дорівнювати *одиниці*. З цього слідує, що опори всіх резисторів повинні бути однаковими:

$$R_1 = R_2 = \dots = R_n = R_{\text{з3}} = R. \quad (4.18)$$

З формул (4.17) і (4.18) випливає, що в окремому випадку за однакових опорів всіх резисторів отримаємо алгебраїчну суму вхідних напруг:

$$U_{\text{вих}} = - (U_{\text{вх}1} + U_{\text{вх}2} + \dots + U_{\text{вх}n}). \quad (4.19)$$

Завдання для розрахунку

1. Розробіть схему інвертуючого суматора.
2. Розрахуйте опори резисторів для суматора струмів.
3. Побудуйте в масштабі діаграму роботи суматора напруг.

Вихідні дані

1. Амплітуди вхідних напруг

$$U_{m \text{ вх}1} = (0,1 + 0,01 \cdot N) \text{ В};$$

$$U_{m \text{ вх}2} = (0,1 + 0,01 \cdot M) \text{ В}.$$

2. Амплітуда вихідної напруги

$$U_{m \text{ вх}2} = (5 + 0,7 \cdot M) \text{ В}.$$

3. Амплітуди вхідних струмів

$$I_{m \text{ вх}1} = I_{m \text{ вх}2}.$$

4. Опори навантаження

$$R_{\text{н}} = 2 \text{ кОм}.$$

Виконання розрахунку

1) Розробка схеми

Схема інвертуючого суматора двох вхідних напруг показана на рис. 4.11. Далі необхідно пояснити всі позначення на схемі.

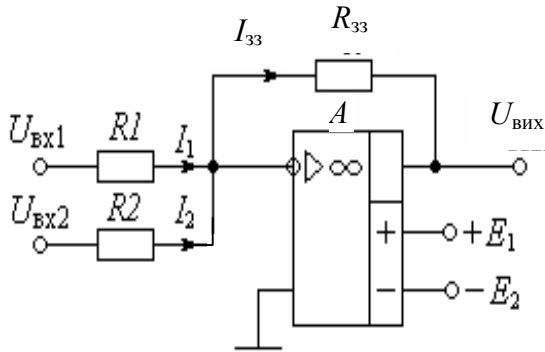


Рисунок 4.11 – Схема інвертуючого суматора

На схемі рис. 4.11 позначено:
 A – операційний підсилювач;
 R_1 і R_2 – опори у вхідних колах суматора;
 R_{33} – опір кола зворотного зв'язку;
 R_H – опір навантаження;
 U_{BX1}, U_{BX2} – вхідні напруги;
 $U_{ВИХ}$ – вихідні напруги;
 $+E_2$ і $-E_1$ – джерела живлення, як правило, однакові за величиною.

2. Розрахунок інвертуючого суматора напруг

- 1) Визначаємо амплітуду струму у колі навантаження

$$I_{mH} = \frac{U_{mВИХ}}{R_H}.$$

- 2) Вибираємо струм у колі зворотного зв'язку зі співвідношення

$$I_{m33} = (0,02 \dots 0,05) \cdot I_{mH}.$$

Наприклад, виберемо $I_{m33} = 0,05 \cdot I_{mH}$.

- 3) Розраховуємо опір у колі зворотного зв'язку

$$R_{33} = \frac{U_{mВИХ}}{I_{m33}}.$$

- 4) Тому що за завданням амплітуди вхідних струмів рівні: $I_{m_{BX1}} = I_{m_{BX2}}$, тоді,

$$I_{m_{BX1}} = I_{m_{BX2}} = 0,5 I_{m33}.$$

- 5) Визначаємо опори у вхідних колах суматора

$$R_1 = \frac{U_{m_{BX1}}}{I_{m_{BX1}}}, \quad R_2 = \frac{U_{m_{BX2}}}{I_{m_{BX2}}}.$$

- 6) Опори резисторів вибираємо за шкалою номінальних значень з ряду E24:

$$R_1 = \quad ; R_2 = \quad ; R_{33} = \quad .$$

- 7) Будуємо епюри напруг $u_{BX1}, u_{BX2}, u_{ВИХ}$ суматора напруг у масштабі.

- 8) Розраховуємо вихідну напругу за формулою (4.17).

Контрольні питання

1. Наведіть схему суматора.
2. Поясніть, яка отримана сума зі зваженими коефіцієнтами та алгебраїчна сума вхідних напруг.

3. Наведіть епюри вхідних напруг та вихідної напруги інвертуючого суматора напруг.

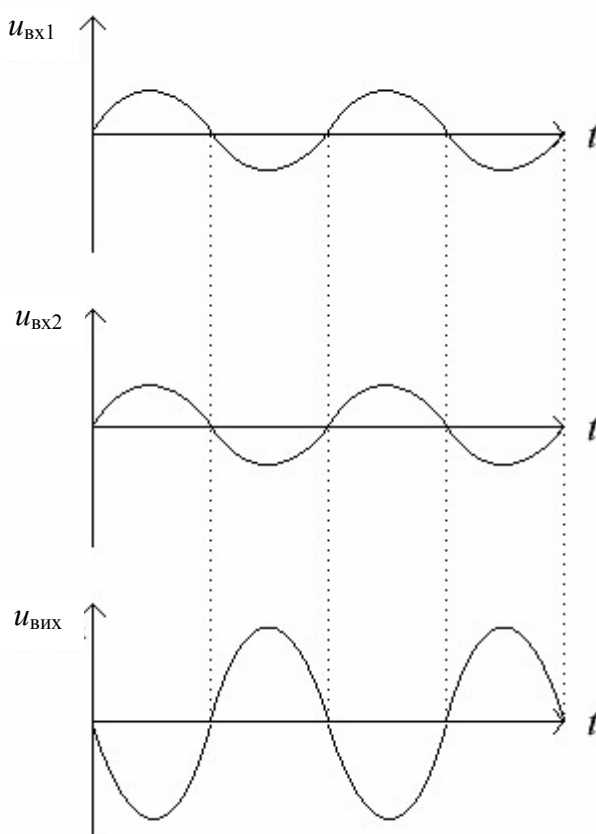


Рисунок 4.12 – Епюри напруг інвертуючого суматора

5. Послідовнісні пристрої. Тригери

5.1. Ключові положення

Послідовнісні пристрої – це цифрові логічні схеми (цифрові автомати) з пам'яттю. Вони характеризуються деяким числом внутрішніх станів. Під дією вхідних сигналів послідовнісні пристрої переходять з одного стану в інший. Новий стан залежить від комбінації діючих сигналів на його входах та попереднього стану, в якому знаходився автомат. Тому послідовнісні пристрої складаються з комбінаційної частини й елементів пам'яті – запам'ятовувачів інформації.

Функцію найпростішого запам'ятовувача виконує *тригер*, який може запам'ятовувати один біт інформації (0 або 1).

Тригери – це елементи з двома стійкими станами. Тригери – це найбільш поширені функціональні елементи цифрових систем. Тригери застосовуються в лічильниках імпульсів, регістрах, запам'ятовувачах, розподільувачах сигналів, накопичувальних суматорах тощо.

Тригерами називають логічну схему з позитивним зворотним зв'язком, яка має два стійких стани, і під дією зовнішніх сигналів переключається в будь-який стан та знаходиться в цьому стані необмежений час після припинення дії

вхідних сигналів. Тригери мають два виходи, за рівнем яких можна знати стан тригера. Перший з виходів має назву **прямого** і позначається Q , другий – **інверсний** \bar{Q} .

Перший зі станів тригера приймається за нульовий і носить назву *скинутого*. При цьому його вихід Q знаходиться під нульовим потенціалом, тобто $Q = 0$, а $\bar{Q} = 1$. Другий стан тригера – одиничний, коли $Q = 1$, а $\bar{Q} = 0$ і його називають *встановленим*. *Переключення* тригера в одиничний стан носить назву *встановлення*, а в стан 0 – *скидання* або *скиду*.

Узагальнена структурна схема тригера (рис. 5.1) складається з двох частин: елемента пам'яті – власне двостанового тригера T та схеми керування СК, на яку надходять зовнішні сигнали керування роботою схеми.

Входи A_1, \dots, A_n називають *інформаційними* або *логічними*. До них подають двійкову інформацію у вигляді логічних нуля або одиниці. За допомогою схеми керування вхідна інформація перетворюється в комбінації сигналів 00, 01, 10, 11, що діють безпосередньо на входах a_1, \dots, a_n власне тригера.

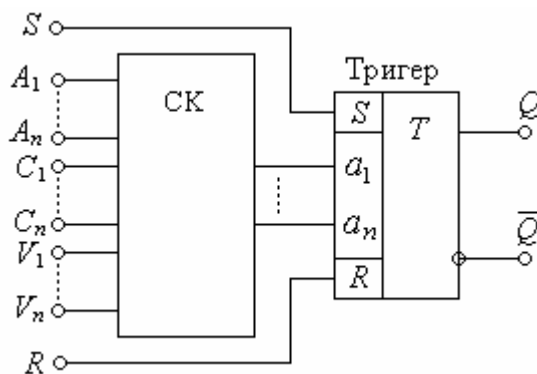


Рисунок 5.1 – Узагальнена структурна схема тригера

Схема тригера, крім логічних, може мати тактові входи *синхронізації* (C_1, \dots, C_n), *керуючі* входи (V_1, \dots, V_n), а також *установлювальні* S - та R -входи безпосереднього *встановлення* або *скидання* тригера. Вхід S – вхід встановлення *одиничного* стану або *одиничний* вхід. Вхід R – вхід встановлення *нульового* стану або *нульовий* вхід.

Тактові або синхронізуючі сигнали, які подаються до входів C_1, \dots, C_n , визначають у схемі керування (СК) момент запису чи зчитування стану, тобто переключення тригера.

Класифікація тригерів може бути надана за багатьма ознаками: за способом схемної реалізації, за логікою функціонування, за способом запису інформації. *Назва тригера надається за значенням його інформаційних входів*, яким замість символів A_1, \dots, A_n присвоюються символи R, S, D, J, K, T та інші. Всі типи тригерів, яких досить багато, можуть бути побудовані в базисі різних логічних елементів.

У відповідності з класифікацією тригери можна поділити на такі основні типи:

1) **RS – тригери**, які мають два керуючі входи: S (*set* – установлення) і R (*reset* – скидання).

2) **D – тригери**, що мають один керуючий вхід D (*delay* – затримка).

3) **T – тригери**, T (*time* – час), що характеризує внутрішню затримку, вони переключаються в протилежний стан з надходженням кожного чергового вхідного імпульсу.

4) **JK – тригери**, що мають керуючі входи J (*jump* – стрибок, перекидання) і K (*keep* – тримати, зберігати); вони допускають установлення вихідних рівнів за наявності сигналу на вході синхронізації C .

За способом запису інформації розрізняють два типи тригерів: **асинхронні** та **синхронні**. До *асинхронних* відносяться тригери, які мають лише інформаційні входи без входу синхронізації. Запис інформації в них здійснюється в будь-який час безпосередньо з надходженням інформаційного сигналу, який подається на інформаційний вхід тригера. У *синхронних* тригерів є додатковий тактовий (синхронізуючий) вхід C для подачі синхронізуючих імпульсів, які здійснюють запис інформації.

5.1.1. Асинхронний RS-тригер

Асинхронним RS-тригером називають логічний прилад з двома стійкими станами, що має два інформаційних входи S та R . Якщо на S -вхід поданий рівень логічної одиниці ($S = 1$), а на R – логічний нуль ($R = 0$), тригер RS типу встановлюється, тобто набуває одиничний стан, за якого на виході Q потенціал досягає одиничного рівня напруги ($Q = 1$), а при $S = 0$ і $R = 1$ тригер набуває нульового стану, в якому $Q = 0$.

Тригер RS -типу має найпростішу структуру, яку умовно назвемо базовою. Реалізувати RS тригер можна на будь-яких логічних елементах бульового базису.

На рис. 5.2,а показана базова схема RS -тригера, яка реалізована на двох логічних елементах 2АБО-НЕ, а на рис. 5,б – умовне позначення RS -тригера.

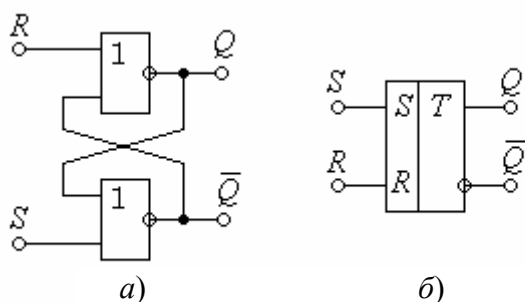


Рисунок 5.2. – Асинхронний RS -тригер: а) схема; б) умовне позначення

Таблиця 5.1 – Стани RS -тригера

Q^n	R	S	Q^{n+1}
0	0	0	0
1	0	0	1
X	1	0	0
X	0	1	1
X	1	1	–

Роботу RS -тригера віддзеркалює *таблиця переходів* (табл. 5.1), у якій Q^n – попередній стан тригера, а Q^{n+1} – теперішній стан тригера. Хрестиком X позначена незалежність від стану.

З таблиці бачимо наступне.

При обох нульових входах $R = 0$ та $S = 0$ тригер знаходиться в режимі зберігання, тобто він не спрацьовує, а зберігає попередню інформацію (попередній стан) Q^n : або $Q^n = 0$, або $Q^n = 1$.

Якщо на нульовий вхід R подати логічну одиницю ($R = 1$), а на одиничний вхід S – логічний нуль ($S = 0$), то незалежно від попереднього стану тригер переходить в нульовий стан ($Q = 0$, $\bar{Q} = 1$). *Надалі стан тригера будемо визначати значенням тільки прямого виходу Q .* Дійсно, при $R = 1$ рівень прямого виходу становить $Q = 0$. Тоді до обох входів нижньої схеми АБО-НЕ (рис. 5.2,а) надходять логічні нулі ($Q = 0$ та $S = 0$), через що на виході $\bar{Q} = 1$. **Так, при $R = 1$; $S = 0$ тригер скидається, тобто в нього записується логічний нуль (нульовий стан).**

Якщо на одиничний вхід S подати логічну одиницю ($S = 1$), а на нульовий вхід R – логічний нуль ($R = 0$), то незалежно від попереднього стану тригер встановлюється в одиничний стан $Q = 1$. Дійсно, при $S = 1$ рівень інверсного виходу становить $\bar{Q} = 0$. Тоді до обох входів верхньої схеми АБО-НЕ надходять логічні нулі ($\bar{Q} = 0$ та $R = 0$), через що на виході $Q = 1$. **Так, при $S = 1$; $R = 0$ тригер встановлюється, тобто в нього записується логічна одиниця (одиничний стан).**

Якщо ж на входах R і S діють одночасно одиничні сигнали ($S = 1$; $R = 1$), то стан тригера стає невизначеним, що позначено в таблиці значком “–”. За такої комбінації входних сигналів обидва елементи 2АБО-НЕ мають на своїх виходах рівні логічного нуля “0”, що не визначає стан тригера. **Така комбінація входних сигналів для RS -тригера є забороненою** і тому її треба уникати, щоб запобігти можливих збоїв у цифровій системі.

Базовий RS -тригер (рис. 5.2) належить до *асинхронних*, через що особливість його функціонування полягає в тому, що він змінює свій стан безпосередньо в момент подачі сигналів на входи S або R .

Принцип дії RS -тригера пояснюється часовою діаграмою роботи, яка наведена на рис. 5.3.

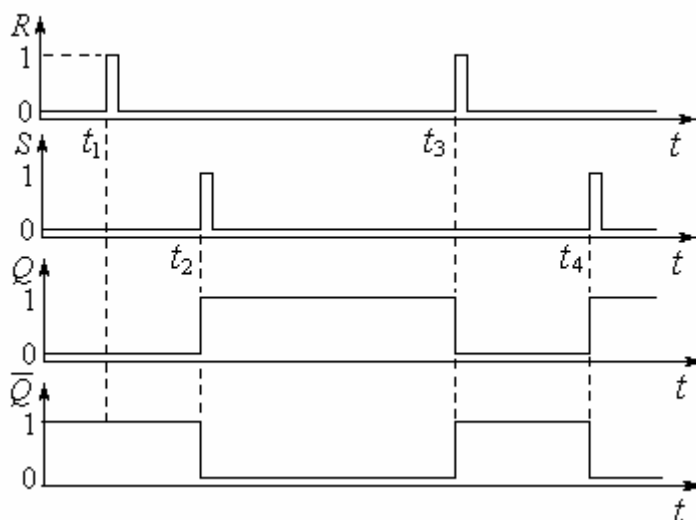


Рисунок 5.3 – Часова діаграма роботи асинхронного RS -тригера

Нехай до моменту t_1 тригер знаходиться у нульовому стані ($Q = 0$; $\bar{Q} = 1$).

У момент t_1 надходження одиничного імпульсу на R -вхід на вході S залишається нульовий рівень, через що згідно з табл. 5.1 тригер зберігає попередню інформацію, тобто $Q^{n+1} = 0$. Цей стан тригера не зміниться до того моменту t_2 , коли на вхід S надійде одиничний імпульс.

У момент t_2 надходження одиничного імпульсу на S -вхід на R -вході залишається нульовий рівень, через що згідно з табл. 5.1 тригер встановлюється, тобто в нього записується логічна одиниця. Незважаючи на те, що імпульс на S -вході зник, тригер залишається взведеним. Так він пам'ятає, що в нього записали логічну одиницю. Цей стан тригера може зберігатись, скільки завгодно довго, доки на R -вхід надійде одиничний імпульс у момент t_3 .

У момент t_3 надходження одиничного імпульсу на R -вхід на S -вході залишається нульовий рівень, через що згідно з табл. 5.1 тригер скидається, тобто в нього записується логічний нуль. Незважаючи на те, що імпульс на R -вході зник, тригер залишається скинутим. Так він пам'ятає, що в нього записали логічний нуль. Цей стан тригера може зберігатись, скільки завгодно довго, доки на S -вхід надійде черговий одиничний імпульс у момент t_4 і т.д.

З діаграми роботи (рис. 5.3) видно, чим зумовлена назва *асинхронний*, а саме: тригер спрацьовує безпосередньо у будь-які моменти надходження сигналів до настановних входів S та R .

5.1.2. D-тригер

D-тригер або тригер-затримка (названий так від англійського *Delay* – затримка) – це цифровий автомат, який має один інформаційний вхід D та вхід синхросигналу C . D-тригер є синхронним. D-вхід готує тригер до спрацьовування, а саме спрацьовування здійснюється фронтом синхросигналу C , тобто фронтом C тригер копіює стан входу D .

D-тригер, як і будь-який синхронний, має два види запуску: роздільний та лічильний. У роздільному запуску D-вхід підключений до якогось зовнішнього пристрою, а в лічильному – до інверсного виходу саме цього тригера.

Наявність лише одного інформаційного входу D є перевагою цього тригера перед двовходовими, бо зменшується кількість міжкаскадних зв'язків.

Схема D-тригера та його умовне позначення наведені на рис. 5.4. Тут організація D- та C-входів здійснюється відповідно на інверторі D1 та схемах I D2 та D3. Схеми АБО-НЕ D4 та D5 утворюють RS-тригер.

Закон функціонування D-тригера наданий в таблиці переходів (табл. 5.2). З цієї таблиці видно, що і при $C = 0$, і при $C = 1$ тригер зберігає свій попередній стан, тобто зберігає інформацію. Спрацьовує ж тригер тільки від фронту синхросигналу C , коли його рівень змінюється від 0 до 1 ("↑"). D-тригер не сприймає зміну на вході D при постійних сигналах $C = 0$ та $C = 1$, а також при зрізі, коли синхросигнал C змінюється від 1 до 0.

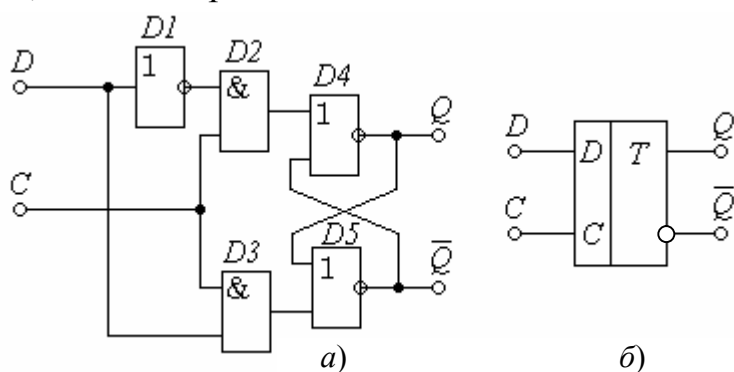


Рисунок 5.4 – D-тригер:
а) схема; б) умовне позначення

Таблиця 5.2 –
Стани D -тригера

Q^n	D	C	Q^{n+1}
0	X	0	0
1	X	1	1
0	0	┐	0
1	0	┐	1
X	0	┐	0
X	1	┐	1

D -тригер у *роздільному запуску* працює наступним чином.

Нехай до моменту t_1 (рис. 5.5) тригер був скинутий ($Q^n = 0$). При $D = 0$ на виході інвертора $D1$ (рис. 5.4) діє логічна одиниця, яка готує до спрацьовування схему $1 D2$. Якщо $C = 0$, то схеми $2 D2$ та $D3$ заперті і можуть спрацьовувати лише в моменти t_1, t_2, t_3 і т.д., коли на C -вхід надійдуть фронти (рис. 5.5). У момент t_1 з надходженням фронту C на виході $D2$ діє логічна одиниця, яка

встановлює на виході $D4$ нуль ($Q = 0$).

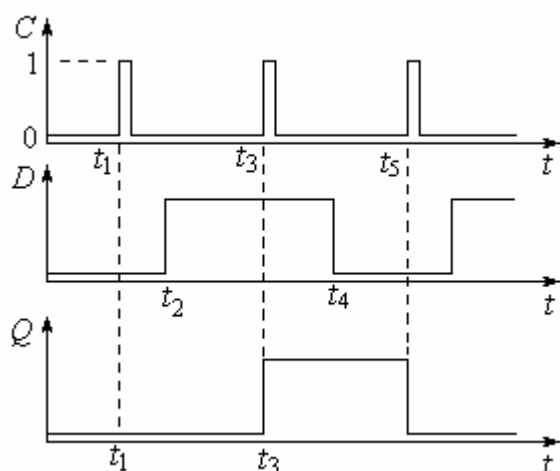


Рисунок 5.5 – Часова діаграма роботи D -тригера в роздільному запуску

Проте на входах і виході $D3$ нулі, через що стан $D5$ не змінюється. Отже $Q = 0$, а $\bar{Q} = 1$, тобто тригер знаходиться в нульовому стані.

Так інформаційний вхід $D = 0$ скидає тригер ($Q = 0$) тільки з надходженням фронту C . (У момент t_1 нульовий стан підтверджується).

Нехай в момент t_2 до входу D надійшов одиничний сигнал ($D = 1$).

Тригер на нього не реагує, бо в момент t_2 стан $C = 0$ запирає схеми $2 D2$ та $D3$. На їхніх виходах нулі, які не змінюють станів $D4, D5$. Проте при

$D = 1$ схема $D3$ підготовлена до спрацьовування і в момент t_3 фронтом C на її виході встановлюється одиниця, яка схемою $D5$ забезпечує $\bar{Q} = 0$. Тоді на обох входах $D4$ логічні нулі, через що $Q = 1$. Отже, при $D = 1$ з надходженням фронту C тригер переходить у стан $Q = 1$, а $\bar{Q} = 0$, тобто одиничний (встановлюється). Так, інформаційний вхід $D = 1$ встановлює тригер ($Q = 1$) тільки з надходженням фронту C .

Таким чином, щоб записати в D -тригер логічний нуль, треба до D -входу підвести нуль і подати на C -вхід фронт. Щоб записати логічну одиницю, слід до D -входу підвести одиницю і подати на C -вхід фронт.

Слід зауважити, що для роботи з D -тригером в роздільному запуску слід виконувати часові погодження надходження сигналів на його входи. Щоб копіювання стану входу D пройшло без помилок, необхідно установлювати рівні на вході D до надходження фронту (або зрізу) синхроімпульсу C .

Це означає, що всі зміни стану D -входу разом з перехідними процесами мають закінчитися за деякий час до приходу фронту (або зрізу) синхроімпульсу C . Цей час носить назву *часової підготовки*. Тому всі зміни рівнів на входах тригера можна починати не раніше закінчення цього часу.

5.1.3. D-тригер з лічильним запуском

У лічильному запуску D-тригер з кожним імпульсом на синхровході C змінює свій стан на протилежний. Це здійснюється з'єднанням входу D з інверсним виходом \overline{Q} .

Схема D-тригера з лічильним запуском та часова діаграма його роботи показані на рис. 5.6.

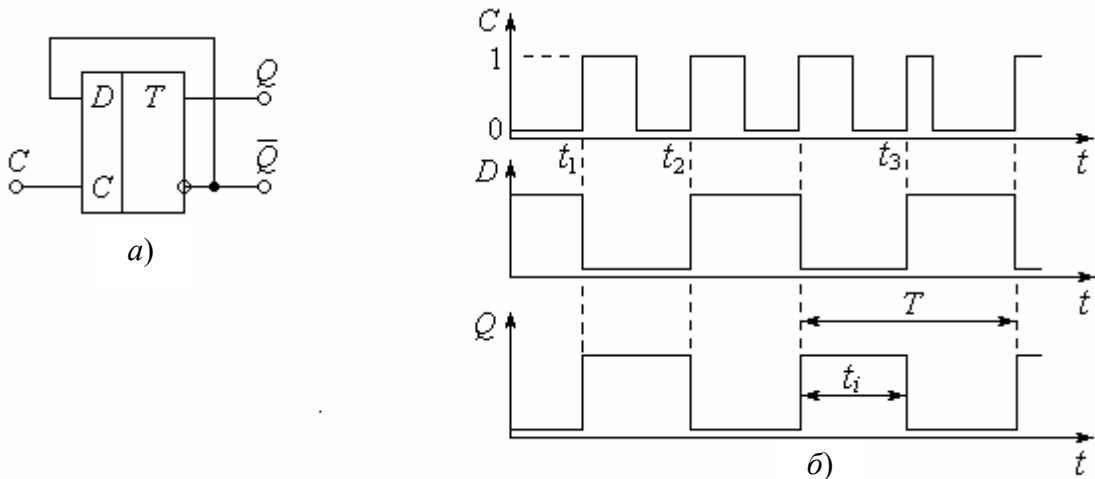


Рисунок 5.6. – D-тригер з лічильним запуском: а) схема; б) часова діаграма роботи

D-тригер з лічильним запуском працює наступним чином.

Нехай до моменту t_1 тригер перебував у нульовому стані ($Q = 0$, $\overline{Q} = 1$). Оскільки вхід D закорочений з інверсним виходом \overline{Q} , то в нульовому стані тригера $D = \overline{Q} = 1$, тобто стан входу D одиничний і готує тригер до взведення. В момент t_1 фронтом C тригер зводиться ($Q = 1$, $\overline{Q} = 0$).

Починаючи з моменту t_1 тригер в одиничному стані, через що $D = 0$, тобто стан входу D нульовий і готує тригер до скиду, який відбувається фронтом C у момент t_2 і т.д.

З діаграми роботи видно, що в лічильному запуску з кожним фронтом C стан тригера змінюється на протилежний.

Результатом роботи D-тригера з лічильним запуском є наступне:

- поділення частоти слідування вхідних імпульсів C на два;
- забезпечення щільності вихідних імпульсів, яка дорівнює двом.

Щодо поділення частоти на два, то з діаграми роботи видно, що період вихідних імпульсів Q вдвічі більший за період вхідних імпульсів C . Забезпечення ж щільності два пояснюється наступним.

Щільністю імпульсів є відношення їхнього періоду T до тривалості t_i :

$$N = \frac{T}{t_i}.$$

Як видно з діаграми, тривалість імпульсів t_i зберігається навіть тоді, коли щільність імпульсів C відрізняється від двох (момент t_3). Тому щільність двох вихідних імпульсів тригера з лічильним запуском гарантована.

5.2. Завдання для розрахунку

1. Наведіть умовне позначення заданого тригера.
2. Наведіть схему заданого тригера на логічних елементах.
3. Побудуйте в масштабі часову діаграму роботи заданого тригера.

5.3. Вихідні дані

Вибір тригера здійснюється за цифрами M і N залікової книжки:

- 1) якщо $(M+N) = 0...3$, необхідно виконати завдання для D -тригера з лічильним запуском;
- 2) якщо $(M+N) = 4...7$, необхідно виконати завдання для D -тригера з роздільним запуском;
- 3) якщо $(M+N) \geq 8$, необхідно виконати завдання для асинхронного RS -тригера.

5.4. Контрольні питання

1. Поясніть, що являє собою тригер.
2. Який тригер називається синхронним, а який – асинхронним.
3. Які входи тригера є інформаційними та керуючими.
4. Що являє собою RS -тригер, і на яких елементах його можна реалізувати.
5. Що являє собою D -тригер, і на яких елементах його можна реалізувати.
6. Поясніть роздільний запуск D -тригера.
7. Поясніть лічильний запуск D -тригера.

6. Лічильники імпульсів. Розробка послідовних двійкових лічильників

6.1. Ключові положення

Лічильники імпульсів – це пристрої, які виконують операцію підрахування числа імпульсів, що надійшли до їхніх входів.

У загальному випадку лічильником є пристрій, який може переходити з одного стану в інші під дією вхідних імпульсів, які належить рахувати. З надходженням вхідних імпульсів лічильник перебирає свої стани у визначеному для даної схеми порядку. Тому, якщо лічильник має рахувати до 10 імпульсів, то він повинен мати 10 різноманітних станів. При цьому кожний 10-й імпульс повинен повертати схему до початкового стану.

Параметри лічильника

Число станів є основним параметром лічильника і носить назву коефіцієнта перерахунку K_n або **модуля лічби M** .

Найпростішим лічильником є тригер з лічильним входом, який виконує лічбу імпульсів за модулем $M = 2$, тобто він має два стани 0 та 1, які змінюються по чергові під дією вхідних імпульсів.

У загальному виді модуль лічби двійкового лічильника визначається формулою

$$M = 2^m, \quad (6.1)$$

де m – число двійкових розрядів лічильника.

Отже, **модуль лічби** визначає число стійких станів лічильника (у тому числі і нульовий стан) або кількість імпульсів, яку треба підвести до входу лічильника, щоб він повернувся у початковий стан, утворюючи при цьому на своєму виході імпульс переповнення.

Поруч з модулем лічби лічильник характеризується його **місткістю**

$$K = M - 1, \quad (6.2)$$

тобто максимальним числом одиниць, яке він може накопичити (підрахувати).

Класифікація лічильників

У цифрових пристроях використовується значне число типів лічильників, які відрізняються цілою низкою параметрів.

Для заданого модуля лічби M кількість тригерів, яка необхідна для побудови лічильників, визначається з умови найближчого більшого цілого числа формулою

$$m = \text{int} [\log_2 M]. \quad (6.3)$$

Залежно від модуля лічби M лічильники бувають *двійковими* (за модулем $M = 2^m$) і з *довільним модулем* ($M \neq 2^m$), в яких число m округлене до більшого цілого числа. За цією класифікаційною ознакою лічильники можуть працювати у двійковому та іншому кодах.

За ціловим призначенням лічильники поділяють на три типи:

- підсумовувальні лічильники;
- віднімальні лічильники;
- реверсивні лічильники.

У **підсумовувальному лічильнику** з кожним вхідним імпульсом число, що містить лічильник, **зростає на одиницю**, а у **віднімальному** – **зменшується на одиницю**. Отже, підсумовувальний лічильник виконує прямий, а віднімальний – обернений підрахунок числа одиниць, що надійшли до його входу. **Реверсивні лічильники** працюють в режимі або прямої, або оберненої лічби.

За способом утворення сигналів переносу, лічильники поділяються на три групи: з *послідовним*, *паралельним* та *послідовно-паралельним переносом*. За цією ознакою лічильники відрізняються способами подачі вхідних імпульсів.

У *послідовному лічильнику* вхідні імпульси подаються тільки на вхід першого тригера, а у *паралельному* – одночасно на синхровходи тригерів усіх розрядів. *Послідовно-паралельні* лічильники будують за принципом послідовного з'єднання кількох паралельних лічильників.

6.2. Послідовні двійкові лічильники

Послідовні лічильники будуються, як правило, на базі декількох тригерів, кожен з яких працює як лічильник за модулем 2. При цьому послідовне з'єднання тригерів виконується таким чином, що вихід тригера i -го розряду підключається безпосередньо до лічильного входу наступного тригера $i + 1$. Послідовні лічильники будуються на базі D - або JK -тригерів.

На рис. 6.1 наведена схема послідовного підсумовувального лічильника, розрядні тригери якого виконані на базі синхронних D -тригерів, працюючих у лічильному режимі.

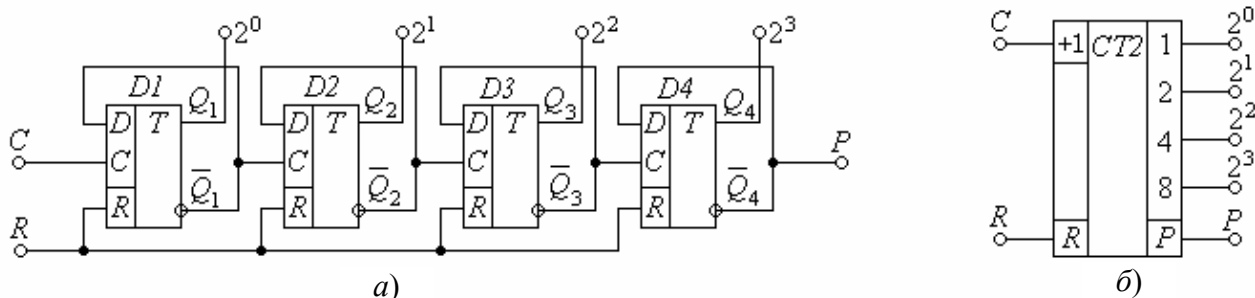


Рисунок 6.1. – Послідовний підсумовувальний лічильник на D -тригерах:

а) схема; б) умовне позначення

На схемі позначені: $CT2$ (англ. *Counter*) – двійковий лічильник; C – лічильний вхід; R – вхід скиду лічильника; P – вихід переповнення лічильника.

Лічильний режим роботи тригерів забезпечується з'єднанням інформаційного D -входу з інверсним виходом власного тригера.

Тригери, що входять до складу лічильників, повинні мати входи скиду R , які з'єднуються між собою, й утворюють вхід скиду лічильника R . Перед початком роботи або за необхідності на вхід скиду подається одиничний імпульс, за допомогою якого всі тригери скидаються, після чого треба забезпечити наявність на цьому вході нульового потенціалу.

Кожний тригер лічильника є двійковим розрядом, який характеризується так званим *ваговим* коефіцієнтом. Ваговий коефіцієнт визначається як 2^{n-1} , де n – порядковий номер тригера (розряду).

Так, перший тригер має ваговий коефіцієнт $2^0 = 1$, другий тригер з ваговим коефіцієнтом $2^1 = 2$, третій тригер має ваговий коефіцієнт $2^2 = 4$, четвертий $2^3 = 8$ і т.д.

Вхід C першого тригера носить назву *підсумовувального входу* лічильника.

Принцип дії підсумовувального лічильника ілюструє часова діаграма його роботи, яка показана на рис. 6.2 за умови, що наступний тригер запускається фронтом інверсного виходу \bar{Q} попереднього тригера.

Підсумовувальний лічильник працює наступним чином.

До початку лічби необхідно скинути лічильник, тобто установити всі тригери в нульовий стан. Це здійснюється подачею на вхід R короткочасного (інтервал моментів $t_1 \dots t_2$) одиничного імпульсу. При цьому всі тригери, незалежно від їхніх попередніх станів, скидаються. Вміст лічильника дорівнює нулю (табл. 6.1). Лише після скінчення імпульсу скиду t_2 можна починати лічбу, тобто подавати імпульси C .

З приходом першого фронту імпульсу лічби 1 встановлюється перший тригер $D1$, який є самим молодшим розрядом лічильника. На його виході Q_1 з'являється 1, а потенціал на інверсному виході \overline{Q}_1 змінюється з 1 на 0, тобто формується зріз. Тому стан тригера $D2$ не змінюється, бо тригер спрацьовує від фронту. На виходах лічильника Q_1, Q_2, Q_3 і Q_4 фіксується число 0001.

Другий вхідний імпульс своїм фронтом 2 скидає тригер $D1$. На виході \overline{Q}_1 тригера $D1$ з'являється 1, яка є так званим імпульсом переносу. При цьому фронт \overline{Q}_1 встановлює тригер $D2$. На виходах лічильника з'являється число 0010.

Фронт третього імпульсу встановлює перший тригер $D1$, не змінюючи при цьому одиничний стан другого тригера $D2$, тобто вміст лічильника дорівнює числу 0011.

З приходом четвертого імпульсу переходять у стан нуля обидва тригери $D1$ та $D2$, а виникаючий при цьому імпульс переносу \overline{Q}_2 встановлює тригер $D3$. Отже на виходах лічильника з'явиться число 0100.

Заповнення розрядів лічильника з кожним імпульсом буде продовжуватися доти, поки лічильник не відрахує максимальне число 1111 на п'ятнадцятому імпульсі, що надходить на вхід C першого тригера $D1$. При цьому всі тригери є встановленими.

Таблиця 6.1 – Стани чотирирозрядного підсумовувального лічильника

Номер вхідного імпульсу	Виходи				Число в лічильнику
	Q_4	Q_3	Q_2	Q_1	
0	0	0	0	0	0
1	0	0	0	1	1
2	0	0	1	0	2
3	0	0	1	1	3
4	0	1	0	0	4
5	0	1	0	1	5
6	0	1	1	0	6
7	0	1	1	1	7
8	1	0	0	0	8
9	1	0	0	1	9
10	1	0	1	0	10
11	1	0	1	1	11
12	1	1	0	0	12
13	1	1	0	1	13
14	1	1	1	0	14
15	1	1	1	1	15
16	0	0	0	0	0

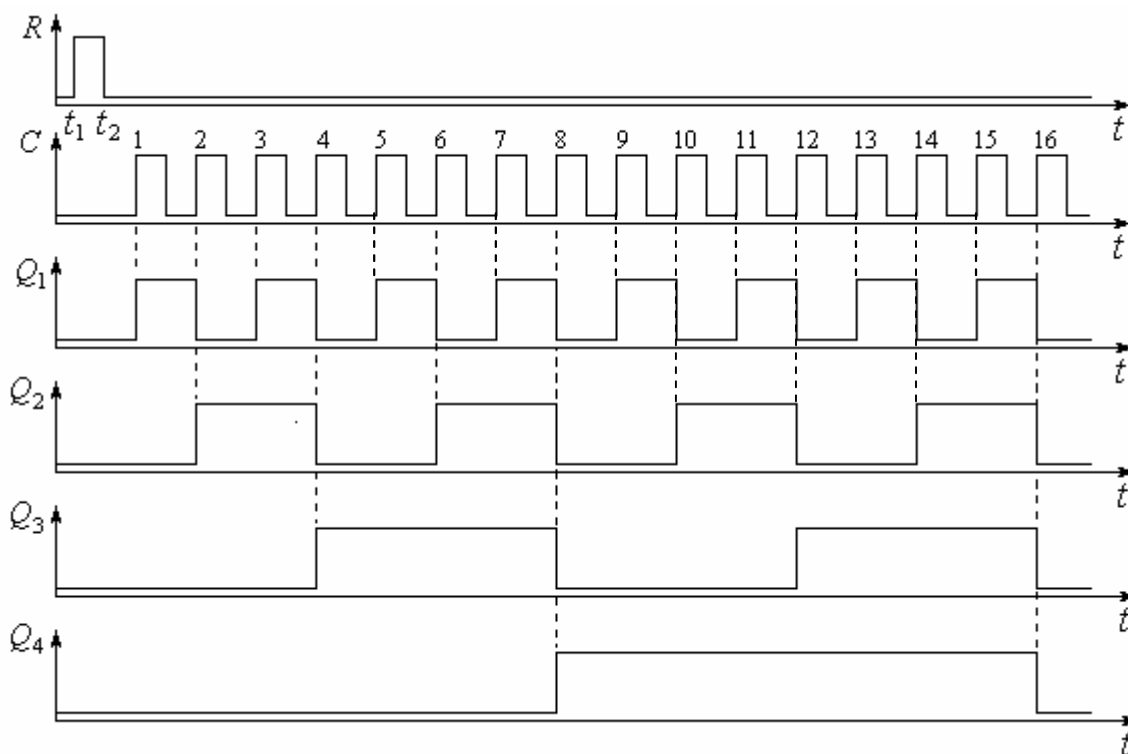


Рисунок 6.2 – Часова діаграма роботи чотирирозрядного підсумовувального лічильника

Шістнадцятий імпульс переводить своїм фронтом тригер $D1$ у нульовий стан, а імпульси переносу \overline{Q}_1 , \overline{Q}_2 та \overline{Q}_3 скидають тригери $D2$, $D3$ та $D4$, повертаючи лічильник у початковий стан 0000.

При поверненні тригера $D4$ у нульовий стан 16-м імпульсом на виході \overline{Q}_4 виникає так званий імпульс переповнення P , який призначений для встановлення наступного розряду $D5$ (якщо він є), чим фіксується лічильником число 10000, тобто 16.

З надходженням кожного вхідного імпульсу на підсумовувальний вхід лічильника його вміст збільшується на одиницю, як показано в таблиці станів (табл. 6.1).

За напрямом лічби лічильники бувають як *підсумовувальними*, так і *віднімальними*. Зміна напрямку лічби на протилежний називається *реверсом* лічби. На рис. 6.3 показана схема *віднімального чотирирозрядного двійкового лічильника*. Зіставляючи рис. 6.1 з рис. 6.3, переконуємося в тому, що схема віднімального лічильника (рис. 6.3) відрізняється від підсумовувального лише тим, що запуск наступного тригера здійснюється не з інверсного виходу \overline{Q}_i попереднього тригера, а з прямого Q_i .

Принцип дії віднімального лічильника ілюструє часова діаграма його роботи, яка показана на рис. 6.4.

Віднімальний лічильник працює наступним чином.

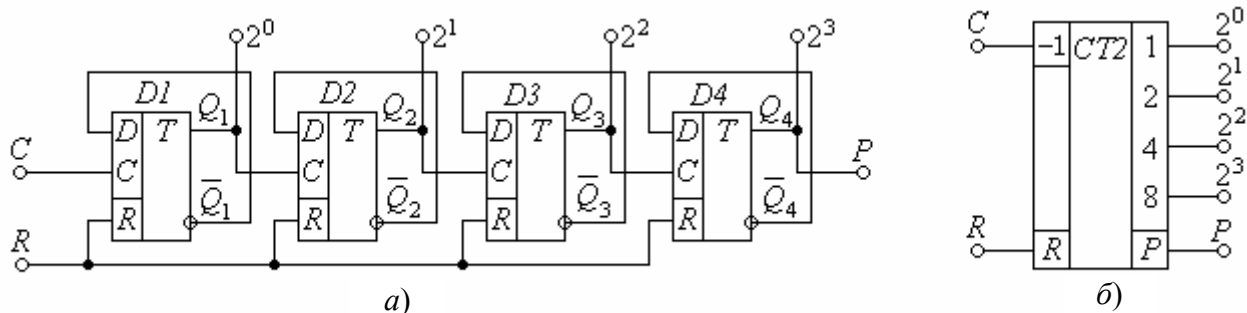


Рисунок 6.3. – Послідовний віднімальний лічильник на D -тригерах:
а) схема; б) умовне позначення

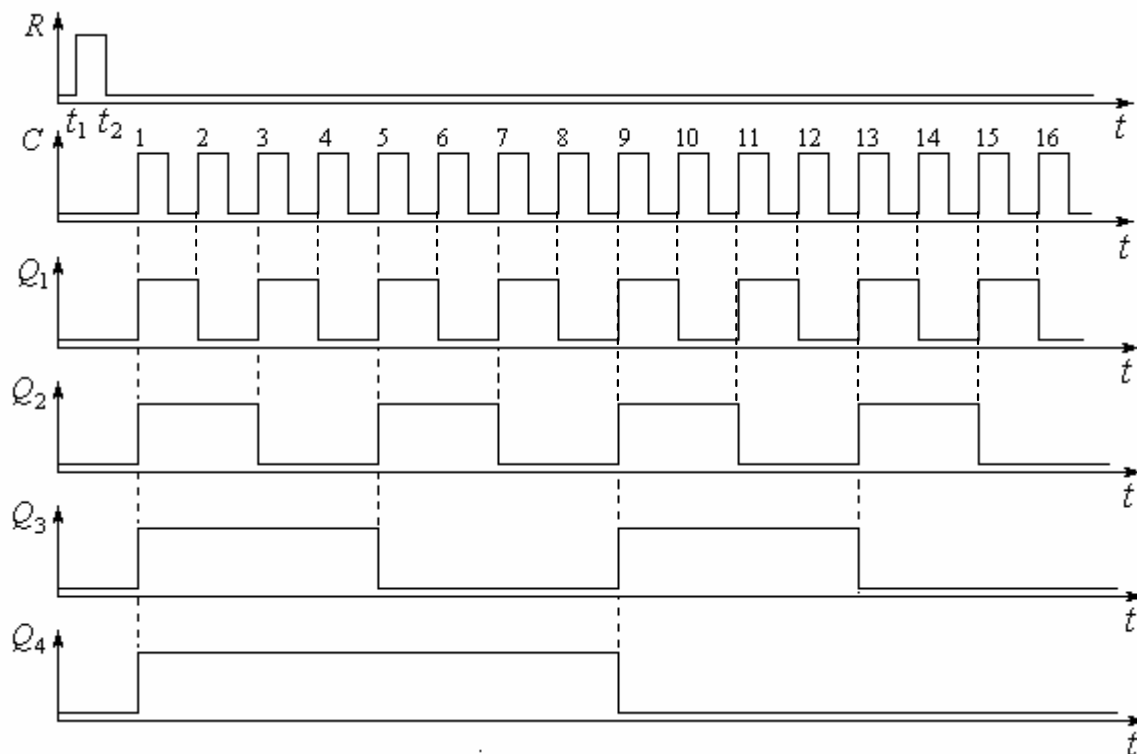


Рисунок 6.4 – Часова діаграма роботи чотирирозрядного віднімального лічильника

До початку лічби необхідно скинути лічильник, тобто установити всі тригери в нульовий стан. Це здійснюється подачею на вхід R короткочасного (інтервал моментів $t_1 \dots t_2$) одиничного імпульсу. При цьому всі тригери, незалежно від їхніх попередніх станів, скидаються. Лише після скінчення імпульсу скиду t_2 можна починати лічбу, тобто подавати імпульси C .

З приходом першого фронту імпульсу лічби 1 встановлюється перший тригер $D1$, який є самим молодшим розрядом лічильника.

З встановленням тригера $D1$ на його прямому виході Q_1 з'являється фронт, яким встановлюється наступний тригер $D2$. Одночасно фронт виходу Q_2 встановлює тригер $D3$ і в цей же самий момент надходження першого імпульсу фронтом Q_3 встановлюється четвертий тригер $D4$.

Таким чином, у віднімальному лічильнику з надходженням першого імпульсу встановлюються *всі* тригери (у нашому випадку – чотири). Вміст лічильника становить 1111, тобто 15. Так з урахуванням позичення двійкового числа 10000 виконується операція віднімання двійкових чисел $10000 - 0001 = 1111$, тобто $16 - 1 = 15$.

Походження числа 15 пояснюється математичною дією $16 - 1 = 15$, де 16 – число, яке позичене з наступного розряду з ваговим коефіцієнтом $2^5 = 16$.

Далі з кожним черговим вхідним імпульсом вміст лічильника зменшується на одиницю (табл. 6.2).

Другий вхідний імпульс C скине перший тригер $D1$. Інші тригери не спрацюють, бо на виході Q_1 є зріз. Вміст лічильника становить 1110, тобто $16 - 2 = 14$.

Вхідний імпульс 3 встановить тригер $D1$, фронт виходу Q_1 якого скине тригер $D2$. Інші тригери не спрацюють, бо на виході Q_2 зріз. В лічильнику залишиться число 1101, тобто $16 - 3 = 13$ і т.д.

З кожним вхідним імпульсом C вміст лічильника зменшується на одиницю.

Після 15 імпульсу C в лічильнику залишиться встановленим лише перший тригер $D1$. Вміст лічильника становить 0001.

16 імпульс скидає тригер $D1$, після чого лічильник обнуляється, а імпульс переповнення P передається в наступний розряд.

Таблиця 6.2 – Стани чотирирозрядного віднімального лічильника

Номер вхідного імпульсу	Виходи				Число в лічильнику
	Q_4	Q_3	Q_2	Q_1	
0	0	0	0	0	0
1	1	1	1	1	15
2	1	1	1	0	14
3	1	1	0	1	13
4	1	1	0	0	12
5	1	0	1	1	11
6	1	0	1	0	10
7	1	0	0	1	9
8	1	0	0	0	8
9	0	1	1	1	7
10	0	1	1	0	6
11	0	1	0	1	5
12	0	1	0	0	4
13	0	0	1	1	3
14	0	0	1	0	2
15	0	0	0	1	1
16	0	0	0	0	0

6.3. Завдання для розробки

1. Розробіть схему двійкового чотирирозрядного лічильника на D -тригерах.
2. Накресліть часову діаграму роботи лічильника.
3. Наведіть таблицю станів розрядів лічильника.

6.4. Вихідні дані

1. Якщо остання цифра номера залікової книжки N **парна**, то розроблюється підсумовувальний лічильник (0 – парна цифра).

2. Якщо остання цифра номера залікової книжки N **непарна**, то розроблюється віднімальний лічильник.

6.5. Контрольні питання

1. Що називається модулем лічби.
2. Як визначити кількість розрядів лічильника.
3. Який лічильник називається підсумовувальним.
4. Який лічильник називається віднімальним.
5. Який лічильник називається реверсивним.
6. Поясніть роботу підсумовувального лічильника на D -тригерах.
7. Поясніть роботу віднімального лічильника на D -тригерах.
8. В режимі якого запуску використовуються D -тригери при розробці лічильників.

7. Програмовані логічні матриці. Розробка шифратора та дешифратора

7.1. Ключові положення

Матрична схема або *логічна матриця* являє собою мережу ортогональних провідників, у перетинах яких можуть бути установлені напівпровідникові елементи: діоди або транзистори, що реалізують необхідну схему.

Для можливості програмування матриці діоди або транзистори підключаються до відповідних провідників матриці через легкоплавкі перемички. Під час програмування ці перемички або перепалюють, або залишають в залежності від схеми, яку треба реалізувати за допомогою матриці. Матричні схеми орієнтовані на реалізацію булевих функцій вузлів великих інтегральних схем.

Отже, з матричної структури шляхом її програмування отримують заданий комбінаційний пристрій. Тому такі структури називаються *комбінаційні програмовані логічні матриці* (ПЛМ).

ПЛМ, як правило, мають два схемотехнічних рівні: на першому з них утворюються потрібні кон'юнкції, а на другому – диз'юнкції. Обидві матриці з'єднуються каскадно.

Існують і *послідовнісні* ПЛМ, які у своєму складі містять певне число вбудованих елементів пам'яті. Такі ПЛМ характеризуються розрядністю регістра пам'яті.

Розглянемо програмовану логічну матрицю, схема якої показана на рис. 7.1 і містить матриці М1 та М2.

Матриця М1 має три входи x_1, x_2, x_3 , шість горизонтальних і чотири вертикальних шин. Горизонтальні шини x_1, x_2, x_3 в М1 є вхідними, а вертикальні $P_1 \dots P_4$ – вихідними.

Виходи P носять назву *ліній терм*.

Кожна вхідна шина x_1, x_2, x_3 зв'язана з однією горизонтальною шиною безпосередньо, а з іншою – через інвертор (шини $\bar{x}_1, \bar{x}_2, \bar{x}_3$).

Спосіб включення напівпровідникових елементів (наприклад, діодів) у перетинах, які позначені хрестиками, дозволяє реалізувати на будь-якому з виходів, будь-яку *кон'юнкцію* її вхідних змінних, тобто функцію І.

Матриця М1 працює як *дешифратор*, виходами якого є кон'юнктивні терми $P_1 \dots P_4$.

Дійсно, при появі *одиниці* (високого рівня напруги) на одному з входів x_i , на виході відповідного інвертора з'являється \bar{x}_i (рівень логічного нуля). Якщо перемички на обох горизонтальних лініях x_i та \bar{x}_i присутні, то високий потенціал лінії x_i закрийє “свій” діод і на відповідній вертикальній лінії терм буде високий рівень напруги приблизно $+E$, якщо на всіх інших горизонтальних лініях буде також рівень *логічної одиниці*.

Низький рівень лінії \bar{x}_i відкриє “свій” діод і практично весь струм вертикальної шини потече через горизонтальну лінію, залишаючи вертикальну шину без струму, що рівнозначно логічному нулю.

Зберегти високий рівень логічної одиниці на вертикальній шині P_N можна лише тоді, коли всі діоди на цій лінії будуть закриті, що можливо тільки за високих рівнів логічної одиниці на всіх горизонтальних лініях, до яких підключена вертикальна шина P_N .

Таким чином, на вертикальній лінії P_N реалізується кон’юнкція змінних. Матриця кон’юнкцій M1 має перемички в місцях, позначених хрестиками, і реалізує функції кон’юнкції за формулами:

$$\begin{aligned} P_1 &= \bar{x}_1 \bar{x}_2 \bar{x}_3; \\ P_2 &= x_1 x_3; \\ P_3 &= x_1 x_2; \\ P_4 &= x_2 x_3. \end{aligned} \quad (7.1)$$

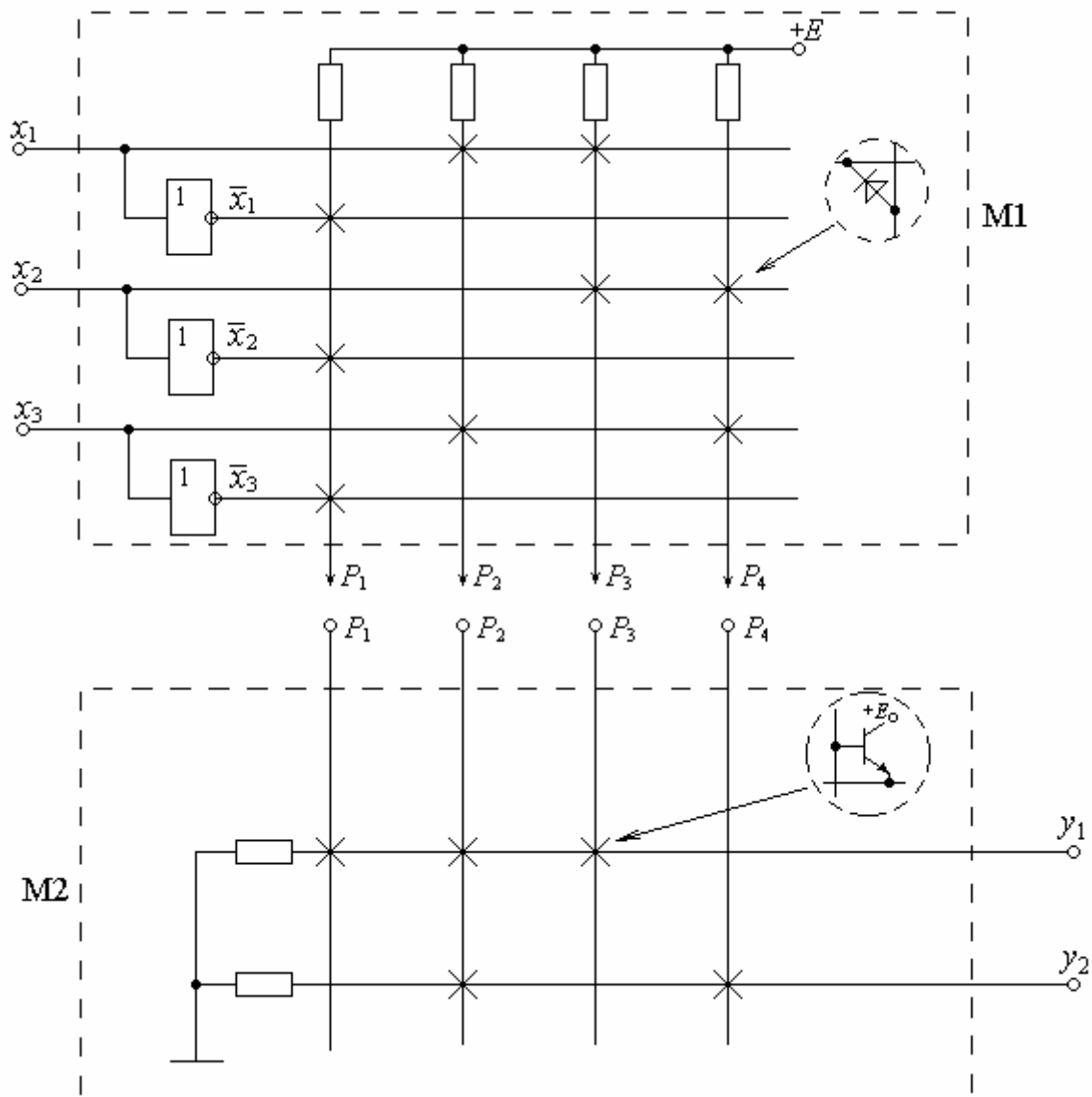


Рисунок 7.1 – Програмована логічна матриця:
M1 – матриця кон’юнкції; M2 – матриця диз’юнкції

Матриця М2 має чотири вертикальні $P_1 \dots P_4$ шини і дві горизонтальні. Спосіб включення транзисторів у перетинах шин дозволяє реалізувати на будь-якому з її виходів будь-яку диз'юнкцію (функцію АБО) вхідних змінних. У матриці М2 вхідними є вертикальні шини, а вихідними – горизонтальні, на якій показаний приклад реалізації елементарних диз'юнкцій, що описується математичним виразом

$$\begin{aligned} y_1 &= P_1 + P_2 + P_3; \\ y_2 &= P_2 + P_4. \end{aligned} \quad (7.2)$$

Дійсно, на матриці диз'юнкцій М2 транзистор на позначеному хрестиком перетині ортогональних ліній буде відкритим лише за наявності струму у вертикальній лінії, а за відсутності струму – закритий. Для матриці М2 характерно те, що на її горизонтальній лінії досить хоча б одного відкритого транзистора, щоб на виході y_j був високий рівень логічної одиниці. Тільки відсутність струмів на всіх вертикальних лініях забезпечує на ній логічний нуль, що відповідає операції диз'юнкції.

Отже, в наведеному прикладі ПЛМ (рис. 7.1) реалізується функція, яка описується формулами (7.2).

Якщо з'єднати обидві матриці М1 та М2, як показано на рис. 7.1, то отримана схема буде реалізувати систему булевих функцій

$$\begin{aligned} y_1 &= P_1 + P_2 + P_3 = \bar{x}_1 \bar{x}_2 \bar{x}_3 + x_1 x_3 + x_1 x_2; \\ y_2 &= P_2 + P_4 = x_1 x_3 + x_2 x_3. \end{aligned} \quad (7.3)$$

Побудова схем з матричною структурою зводиться до визначення точок перетину шин, де повинні бути включені напівпровідникові прилади.

Відповідним чином будь-яка система булевих функцій y_1, \dots, y_N вхідних змінних x_1, \dots, x_L може бути реалізована дворівневою матричною схемою, на першому рівні якої утворюються різні елементарні кон'юнкції P_1, \dots, P_B , а на другому – диз'юнкції y_1, \dots, y_N відповідних кон'юнкцій. В результаті побудова схеми з матричною структурою зводиться до визначення точок перетину шин, де повинні бути включені діоди або транзистори.

На рис. 7.2 показана дворівнева ПЛМ, яка складається з двох матриць: М1 та М2.

Матриця М1 має S входів і q виходів. Вона дозволяє реалізувати q елементарних кон'юнкцій P_1, \dots, P_q змінних x_1, \dots, x_S , які надходять на її входи.

Матриця М2 має q входів і t виходів. Вона дозволяє реалізувати t елементарних диз'юнкцій y_1, \dots, y_t змінних P_1, \dots, P_q , які надходять на її входи з виходів матриці М1.

Виходи матриці М1 з'єднані з входами матриці М2 й утворюють проміжні шини 1– q ПЛМ. ПЛМ, що має S входів, t та q проміжних шин називається ПЛМ (S, t, q) .

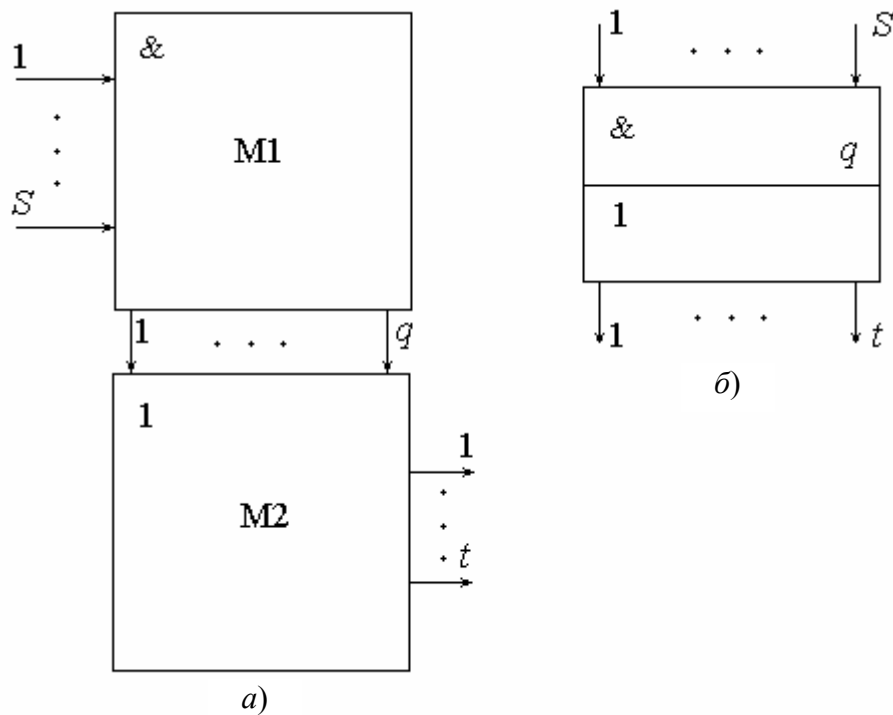


Рисунок 7.2 – Дворівнева ПЛМ: а) схема; б) умовне позначення

Подальша робота направлена на збільшення ефективності використання площі матриць ПЛМ. Завдяки значним успіхам інтегральної технології з'явилася можливість реалізації ВІС з “жорсткою” та “гнучкою” структурами. Більш зручними є *перепрограмовані логічні матриці* (ППЛМ). Це стандартні готові мікросхеми – напівфабрикати, в яких активні елементи на початковій стадії включені на всіх перетинах матриць. Такі ВІС програмують самі користувачі за допомогою спеціальних програматорів.

На базі ПЛМ можна будувати комбінаційні цифрові пристрої на досить простих принципах.

7.2. Завдання для розробки

1. Розробіть на базі ПЛМ комбінаційний пристрій: неповний шифратор $10 \dots 4$ або неповний дешифратор $4 \dots 10$, як зазначено у вихідних даних.

7.3. Вихідні дані

1. Пристрій для розробки обирається залежно від номера варіанта MN : якщо N – парна цифра, необхідно розробити схему шифратора; якщо N – непарна цифра, необхідно розробити схему дешифратора.

7.4. Виконання розробки

- 1) Складіть таблицю станів шифратора $10 \dots 4$ (або дешифратора $10 \dots 4$).
- 2) Запишіть систему булевих функцій для реалізації шифратора $10 \dots 4$ (або дешифратора $4 \dots 10$).
- 3) Визначте мінімальне число входів, терм та виходів для реалізації заданої схеми.
- 4) Наведіть розроблену схему ПЛМ.
- 5) Зазначте на схемі матриці $M1$ і $M2$.

7.5. Контрольні питання

1. Поясніть, що являють собою програмовані логічні матриці ПЛМ.
2. Поясніть, які функції виконує кожен рівень ПЛМ.
3. Розкажіть, що являє собою перепрограмована логічна матриця ППЛМ.
4. Розкажіть, що являє собою матрична структура.

Ф1. Напівпровідникові діоди. Випрямлячі. Розрахунок випрямляча

Ф1.1. Ключові положення

Напівпровідникові діоди (далі: діоди) мають односторонню провідність.

При подачі *прямої* напруги діод відкритий, і його *прямий* струм може бути необмежено великим. Чим менша пряма напруга, тим вища якість діода. Для ідеального діода з кремнію пряма напруга не перевищує 0,7 В. Пряма напруга в реальних діодах може дещо відрізнятися від 0,7 В в обидві сторони.

При подачі *зворотної* напруги діод закритий, його зворотний струм мізерно малий, чим він менший, тим вища якість діода. Зворотна напруга може бути скільки завгодно великою в межах електричної міцності діода.

Таким чином, діод пропускає струм тільки в одному напрямку. Тому діоди застосовують для перетворення двополярної змінної напруги в однополярну, тобто для випрямлення напруги або струму.

Найпростішим випрямлячем є однопівперіодний, який являє собою подільник напруги, у верхньому плечі якого включений діод, а в нижньому - опір навантаження, що живиться вихідною випрямленою напругою.

Схеми однопівперіодних випрямлячів з трансформаторним входом показані на рис Ф1.1: *а)* для позитивної випрямленої напруги; *б)* для негативної випрямленої напруги.

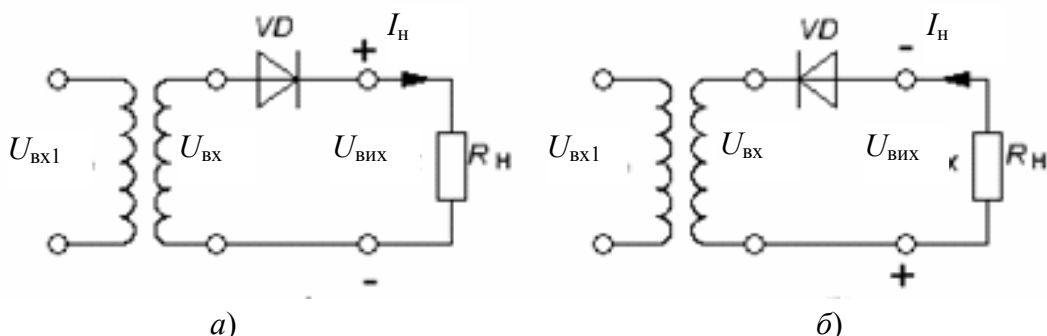


Рисунок Ф1.1 – Схеми однопівперіодних випрямлячів з трансформаторним входом:
а) для позитивної випрямленої напруги; *б)* для негативної випрямленої напруги

Розглянемо схему для позитивної випрямленої напруги (рис. Ф1.1, *а*).
Випрямляч працює таким чином.

R_n . Згідно з другим законом Кірхгофа для напруг у схемі справедливе рівняння:

$$U_{\text{BX}} = U_{\text{VD}} + U_{\text{ВНХ}}. \quad (\Phi 1.1)$$

Як впливає з рівняння (Ф1.1), за позитивної півхвилі вхідної напруги, яка для діода є прямою напругою, на діоді падає мізерно мала напруга $U_{\text{пр max}} \ll U_m$ вх, і тому до навантаження $R_{\text{н}}$ прикладена велика частина вхідної напруги U_m вх:

$$U_{\text{вих max}} = U_{m \text{ вх}} - U_{\text{пр max}} \approx U_{m \text{ вх}}. \quad (\Phi 1.2)$$

Негативна півхвиля вхідної напруги є для діода зворотною напругою і тому практично цілком падає на діоді, не надходячи до виходу, тобто $U_{m\text{ вх}} \approx U_{m\text{ зв}}$. Тому вихідна напруга близька до нуля:

$$U_{\text{вих max}} = U_{m \text{ вх}} - U_{m \text{ зв}} \approx 0. \quad (\Phi 1.3)$$

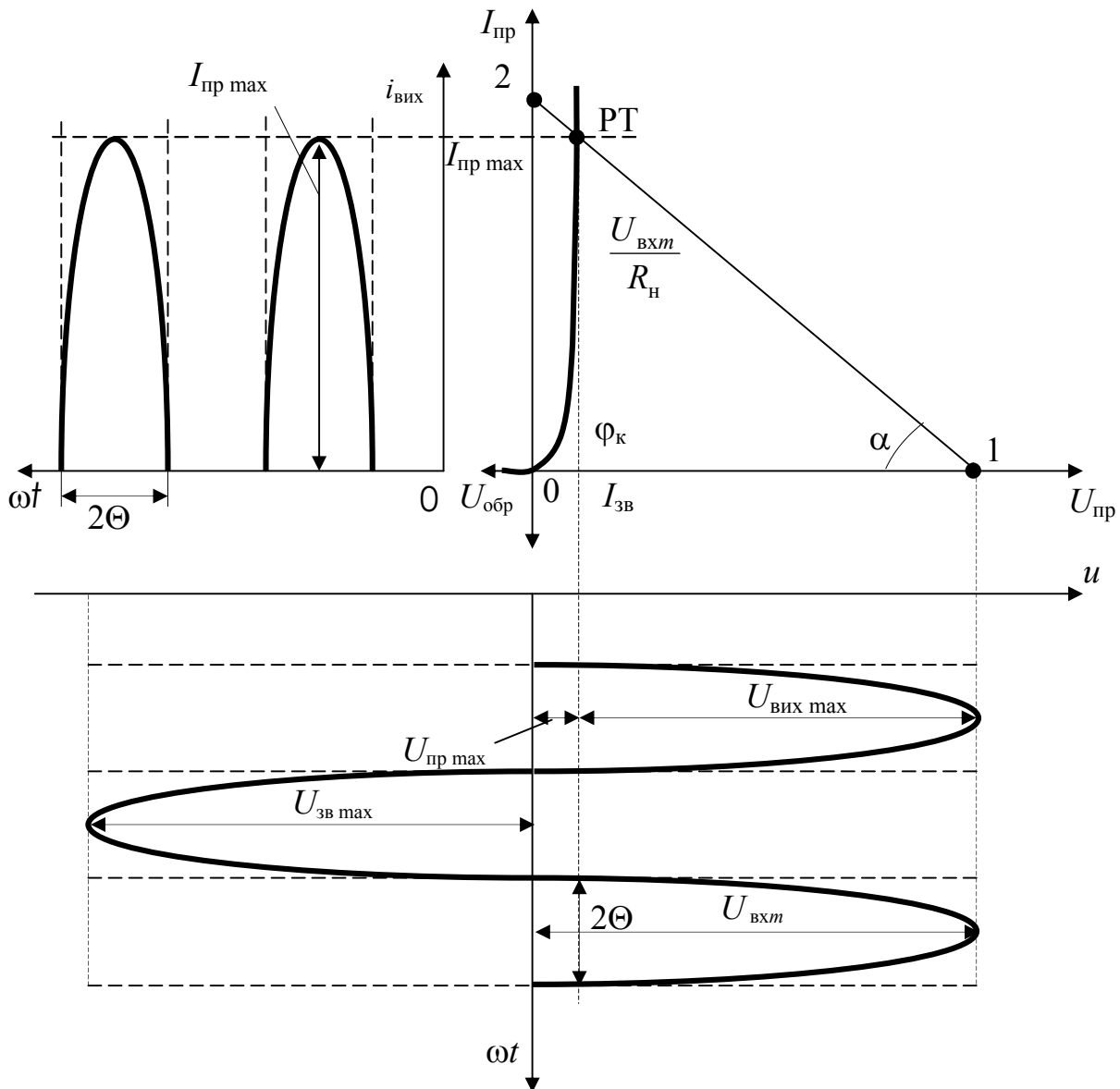


Рисунок Ф1.2 – Діаграма роботи однопівперіодного випрямляча

Таким чином, діод VD пропускає до навантаження R_n напругу тільки однієї полярності, тобто здійснює випрямлення.

Для наочного вивчення принципу дії випрямляча побудуємо діаграму його роботи.

Для цього знайдемо рівняння *навантажувальної прямої*. При подачі позитивної півхвилі вхідна напруга $U_{вх}$ розподіляється між діодом VD і опором навантаження R_H :

$$U_{вх} = U_{пр} + I_H \cdot R_H = U_{пр} + I_{пр} \cdot R_H, \quad (\Phi 1.4)$$

де $U_{пр}$ – пряма напруга на діоді VD ;

$I_H = I_{пр}$ – струм навантаження, рівний прямому струму діода.

Поділимо рівняння (Ф1.4) на R_H та знайдемо струм діода $I_{пр}$, отримаємо:

$$I_{пр} = \frac{U_{вх}}{R_H} - \frac{U_{пр}}{R_H}. \quad (\Phi 1.5)$$

Вираз (Ф1.5) є *рівнянням лінії навантаження*. Оскільки у системі координат ($I_{пр}$, $U_{пр}$) рівняння (Ф1.4) першого ступеня, то лінія навантаження є прямою, і тому називається *навантажувальною прямою*.

Лінія навантаження «1-2» (рис. Ф1.2) будується по двох точках 1 і 2 перетину з осями координат наступним чином.

Точка 1: підставляємо у вираз (Ф1.4) рівняння вісі абсцис: $I_{пр} = 0$, звідки отримуємо $U_{вх} = U_{пр}$ і відкладаємо $U_{пр} = U_{вхm}$, де $U_{вхm}$ – амплітуда вхідної напруги.

Точка 2: підставляємо у вираз (Ф1.4) рівняння вісі ординат: $U_{пр} = 0$, звідки отримуємо співвідношення $I_{пр} = \frac{U_{вх}}{R_H}$, в яке підставляємо $U_{вх} = U_{вхm}$.

Через точки 1 і 2 проводимо пряму лінію, яка є *лінією навантаження*.

Перетин лінії навантаження з ВАХ визначає робочу точку РТ, яка задає режим діода, тобто всю сукупність напруг і струмів елементів схеми. Так, точки 1 і 0 визначають амплітуду вхідної напруги $U_{вхm}$. Робоча точка РТ є межею між напругою на діоді $U_{пр max}$ і напругою на R_H , тобто вихідною напругою $U_{вих max}$.

Для розрахунку випрямляча основними заданими параметрами є опір навантаження R_H і випрямлена напруга на ньому $U_{вих max}$.

Необхідно скласти схему випрямляча, вибрати тип діода, визначити амплітуди вхідної напруги, вхідного струму, прямої і зворотної напруг.

Тип діода вибираємо за вхідним струмом $I_{вх max}$ і зворотною напругою $U_{мзв}$ в даній схемі рис. Ф1.1, а:

$$I_{вх max} = I_{H max} = \frac{U_{вих max}}{R_H}. \quad (\Phi 1.6)$$

Розраховане за формулою (Ф1.6) значення струму $I_{H max}$ не повинно перевищувати номінальне значення струму діода $I_{ном}$, яке дане у довіднику для кожного діода:

$$I_{H max} \leq I_{ном}. \quad (\Phi 1.7)$$

Оскільки вхідна напруга $U_{вх}$ розподіляється між діодом VD і опором навантаження R_H , то амплітуда вхідної напруги дорівнює їх сумі:

$$U_{вх m} = U_{пр max} + U_{вих max}, \quad (\Phi 1.8)$$

де $U_{пр max} \approx 0,7 \text{ В}$ – пряма напруга на діоді.

Амплітуда вхідної напруги $U_{m \text{ вх}}$ не повинна перевищувати максимально припустимого значення зворотної напруги $U_{зв \text{ макс}}$, яка є паспортним даним для кожного діода.

Зворотну напругу діода вибираємо з 20% запасом з нерівності:

$$1,2U_{m \text{ вх}} \leq U_{обр \text{ макс}}, \quad (\Phi 1.9)$$

де $U_{m \text{ вх}}$ – амплітуда вхідної напруги.

За проекціями РТ на вісі координат визначаємо розраховані параметри випрямляча.

Проекція РТ на ось абсцис визначає:

- максимальне значення прямої напруги на діоді $U_{пр \text{ макс}}$;
- максимальне значення вихідної напруги (на опорі R_n):

$$U_{вих \text{ макс}} = U_{вхm} - U_{пр \text{ макс}}.$$

Проекція РТ на ось ординат визначає максимальне значення струму в навантаженні $I_{н \text{ макс}} = I_{пр \text{ макс}}$.

Амплітуда зворотної напруги на діоді $U_{звm}$ практично дорівнює амплітуді вхідної напруги $U_{вхm}$, оскільки цілком падає на діоді, тому вихідна напруга на опорі R_n дорівнює нулю.

Результати розрахунку відображає часова діаграма роботи однопівперіодного випрямляча на рис. $\Phi 1.3$, де u_d – напруга на діоді.

Слід звернути увагу на те, що випрямлення досягається не за будь-якого опору навантаження R_n . Якщо опір R_n порівняний зі зворотним опором діода ($R_n \approx R_{зв}$), то зворотна півхвиля буде лише розподілятися між R_n і $R_{зв}$, тобто частково виділятися і на опорі R_n , і на діоді, але випрямлення не буде.

Ф1.2. Завдання для розрахунку

1. Наведіть схему однопівперіодного випрямляча позитивної напруги.
2. За довідником оберіть тип діода.
3. Наведіть у масштабі діаграму роботи випрямляча.
4. Визначте амплітуди вхідної напруги, вхідного струму, прямої та зворотної напруги.
5. Наведіть в масштабі часову діаграму роботи випрямляча: епюри вхідної напруги, напруги на діоді й вихідної напруги, звертаючи увагу на фази. (Епюру вхідної напруги розмістіть зверху).

Ф1.3. Вихідні дані

1. Максимальне значення вихідної напруги $U_{вих \text{ макс}} = (5 + N) \text{ В}$.
2. Опір навантаження $R_n = (200 + 10 \cdot M) \text{ Ом}$.
(N – остання; M – передостання цифри номера залікової книжки).

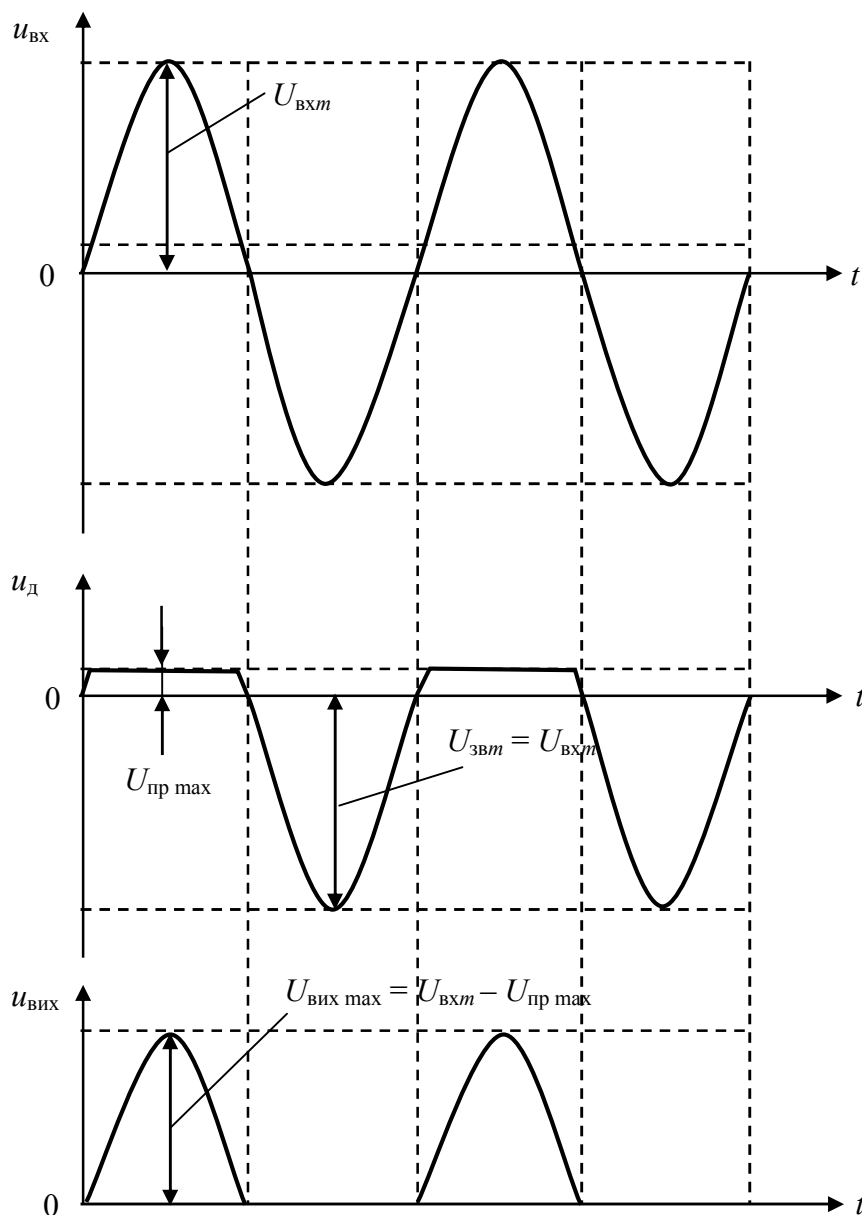


Рисунок Ф1.3 – Часова діаграма роботи однопівперіодного випрямляча позитивної напруги (рис. Ф1.1,а)

Ф1.4. Виконання розрахунку

1. На рис. Ф1.4 наведена схема однопівперіодного випрямляча позитивної випрямленої напруги.

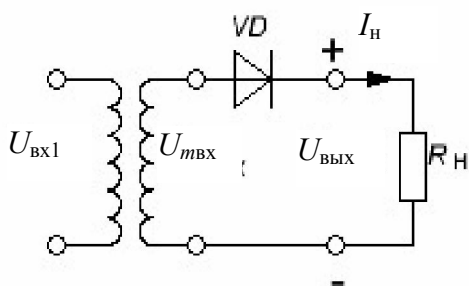


Рисунок Ф1.4 – Схема однопівперіодного випрямляча позитивно випрямленої напруги

2. За заданими значеннями вихідної напруги $U_{\text{вих max}}$ та опором навантаження R_H визначаємо максимальне значення прямого струму $I_{\text{пр max}}$, який протікає через діод,

$$I_{\text{пр max}} = \frac{U_{\text{вих max}}}{R_H}.$$

3. Вважаючи, що максимальне значення прямої напруги на діоді $U_{\text{пр max}} = 1$ В, визначаємо амплітуду зворотної напруги, прикладеної до діода.

$$U_{зв\ m} = U_{вих\ max} + U_{пр\ max}.$$

4. Діод вибираємо за довідником із запасом за граничними параметрами, для цього значення $I_{пр\ max}$ і $U_{зв\ m}$ збільшимо на 20%:

$$I_{пр} = 1,2 \cdot I_{пр\ max},$$

$$U_{зв} = 1,2 \cdot U_{зв\ m}.$$

5. За розрахованими значеннями $I_{пр}$ і $U_{обр}$ з довідника вибираємо діод, для параметрів якого виконуються наступні нерівності:

$$I_{пр\ макс} \geq I_{пр} \quad \text{і} \quad U_{зв\ макс} \geq U_{зв}.$$

6. Для вибраного діода за довідником визначаємо падіння напруги $U_{пр\ VD}$.

7. Визначаємо вхідну напругу $U_{m\ вх}$ випрямляча

$$U_{m\ вх} = U_{вих\ max} + U_{пр\ VD}.$$

8. Будуємо часову діаграму роботи випрямляча (рис. Ф1.3) в масштабі. Тривалість періода при цьому вибирається довільно.

Ф1.5. Контрольні питання

1. Поясніть принцип роботи випрямляча.
2. Наведіть співвідношення амплітуд вхідної та вихідної напруг випрямляча.
3. Накресліть схеми випрямлячів для отримання позитивно та негативно випрямленої напруги.
4. Поясніть, чому дорівнює пряма й зворотна напруги на діоді.

Ф2. Цифрові інтегральні мікросхеми. Логічні функції бульового базису

Ф2.1. Ключові положення

Цифровими інтегральними мікросхемами (ЦІС) називають мікросхеми, в яких вхідні і вихідні сигнали описуються абстрактними символами «1» і «0». Значення «0» і «1» є символічними (умовними) і не відповідають чисельним значенням напруги, які виражаються у вольтах. Наприклад, при використанні вихідної напруги ключового каскаду рівнем логічного «0» може служити напруга на колекторі насиченого транзистора $U_{ке\ нас}$, рівнем логічної «1» – напруга на колекторі замкненого транзистора $E_{ж}$ (або навпаки, залежно від того, якими символами попередньо домовилися позначати рівні $U_{ке\ нас}$ і $E_{ж}$). Залежно від полярності (+ чи –) напруги живлення розрізняють два види логіки: позитивну і негативну.

Сучасні логічні елементи та цифрові пристрої виконуються на основі інтегральних мікросхем і зазвичай використовують позитивну логіку.

Основні поняття

Логічна змінна x – змінна, що набуває два значення: «істинно» – 1 і «хибно» – 0.

Логічна функція y – логічна (залежна) змінна, значення якої є функцією однієї або декількох (незалежних) змінних, набуває тільки два значення: 1 і 0.

Таблиця істинності – таблиця, в якій задані значення логічної функції для всіх можливих значень незалежних змінних.

Логічний елемент – електронна схема, що виконує найпростіші логічні операції з логічними величинами.

Позитивна логіка – подання у логічних елементах значення 1 високим потенціалом, 0 – низьким потенціалом. В іншому випадку – негативна логіка.

Логічний базис – набір типів логічних елементів, з'єднання яких дозволяє реалізувати довільну логічну функцію.

Логічна схема – структурна модель цифрового пристрою, що реалізує задану логічну функцію.

Розрізняють два основні класи цифрових пристроїв (ЦП): комбінаційні і послідовні. У *комбінаційних пристроях* певному поєднанню вхідних сигналів відповідає певний вихідний сигнал. У *послідовних пристроях* вихідний сигнал залежить як від вхідних сигналів в поточний момент, так і від стану схеми в попередній момент. Ці пристрої містять поряд з комбінаційними схемами елементи пам'яті (наприклад, тригери), які зберігають попередній стан до приходу вхідних сигналів у поточний момент.

У комбінаційних пристроях широко застосовуються такі цифрові пристрої: суматори, шифратори і дешифратори, мульти- і демультиплексори, перетворювачі кодів та інші. У послідовних пристроях широко використовуються тригери, на їх основі будують регістри, лічильники, елементи пам'яті та інші.

Проектування логічних пристроїв і вибір найбільш оптимальних варіантів їх побудови здійснюється з використанням алгебри логіки або алгебри Буля, розробленої у середині XIX століття ірландським математиком Дж. Булем. В алгебрі Буля використовується двійкова змінна x , яка задовольнить умові $x = 1$, якщо $x \neq 0$ і $x = 0$, якщо $x \neq 1$. Таким чином, в алгебрі логіки різні логічні вирази можуть мати тільки два значення: «істинне» (позначають 1) чи «хибне» (позначають 0).

В алгебрі логіки використовуються функції виду $y = f(x_1, x_2, \dots, x_n)$, де сама функція і її аргументи можуть набути тільки два дискретних значення. Якщо є n аргументів (логічних змінних), то вони утворюють 2^n можливих логічних наборів з 1 і 0, а функцій y можна утворити 2^{2^n} . Для запису чисел в алгебрі логіки використовується двійкова система числення. Двійкова система числення, як і десяткова, відноситься до позиційних систем і є системою з основою 2.

Набір з трьох логічних функцій, які називаються НЕ, І, АБО є булевим базисом. За допомогою законів алгебри логіки можна отримати різні логічні функції, використовуючи ці найпростіші функції.

Ф2.1.1. Функція логічного заперечення НЕ

Найпростішою логічною функцією одного аргумента є **функція логічного заперечення або інверсії**, рівняння якої записується формулою (Ф2.1):

$$y = \bar{x}. \quad (\text{Ф2.1})$$

Логічний елемент, який виконує цю функцію, називається **інвертором або схемою НЕ**.

Умовне позначення інвертора показано на рис. Ф 2.1,а, а на рис. Ф 2.1,б – електромеханічна реалізація інвертора.

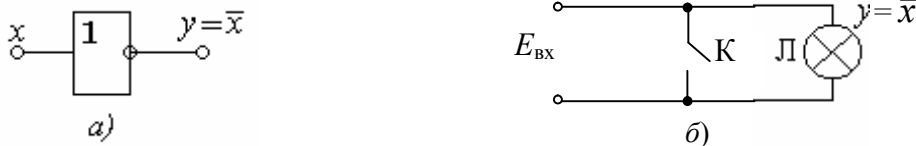


Рисунок Ф 2.1 – Схема НЕ (інвертор): а) умовне позначення; б) електромеханічна реалізація

Функцію інверсії виконують ключі, виконані на біполярних або польових транзисторах.

У формулі Ф 2.1 інверсія позначена рисою зверху, а в схемі рис. Ф2.1,а інверсія показана кружечком на виході схеми. Такі позначення інверсії використовуються і надалі, причому, інверсія може виконуватися як на вході, так і на виході схеми.

Логічна функція інверсії, як і будь-яка інша логічна функція, описується, так званою, **таблицею істинності**. *Таблиця істинності* – це таблиця, в якій задані значення логічної функції y для всіх можливих значень незалежних змінних: x_1, x_2, x_3, \dots . Логічні незалежні змінні і логічна функція набувають тільки два значення: лог. «0» і лог. «1».

Таблиця істинності логічної функції НЕ (заперечення) надана в табл. Ф2.1. Вона має найпростіший вигляд, тому що містить одну незалежну змінну x , яка набуває тільки два значення: лог. «0» і лог. «1».

Таблиця Ф 2.1 –
Таблиця істинності
логічної функції НЕ

x	y
0	1
1	0

Роботу схеми логічного заперечення (інвертора) пояснює часова діаграма роботи, яка показана на рис. Ф2.2, з якої

випливає наступне.

Вхідний сигнал x складається з послідовності логічних нулів «0» і одиниць «1». Вихідний сигнал також набуває значення логічних нулів «0» і одиниць «1», але **інверсних**. Якщо на вході логічний нуль $x = 0$, то на виході

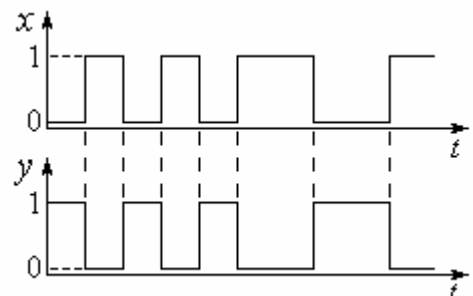


Рисунок Ф2.2 – Часова діаграма роботи схеми НЕ

логічна одиниця $y = 1$ і, навпаки, якщо на вході схеми $x = 1$, то на виході логічний нуль $y = 0$.

Ф2.1.2. Функція логічного множення І

Функція І двох або багатьох аргументів виконує операцію *логічного множення (або кон'юнкції)* й записується формулою (Ф2.2):

$$y = x_1 \wedge x_2 \wedge \dots \wedge x_n = x_1 \cdot x_2 \cdot \dots \cdot x_n. \quad (\text{Ф2.2})$$

Функція І набуває значення логічної «1» тоді і тільки тоді, коли всі її аргументи x_1, x_2, \dots, x_n рівні 1.

Умовне позначення логічного елемента 2І (кон'юнктора) показано на рис. Ф 2.3, а (цифра 2 вказує число двох входів).

У релейно-контактній техніці функція І реалізується послідовним увімкненням двох (K_1, K_2) або більшої кількості (за числом аргументів n) замикаючих контактів, що керуються сигналами-аргументами x_n (рис. Ф2.3, б).

Лампа Л буде світитися ($y = 1$) тільки тоді, коли і контакт K_1 , і контакт K_2 будуть замкнені, тобто будуть знаходитися у одиничному стані. Якщо хоча б один з контактів буде в нульовому стані (розімкненим), то $y = 0$, тобто лампа світитися не буде.

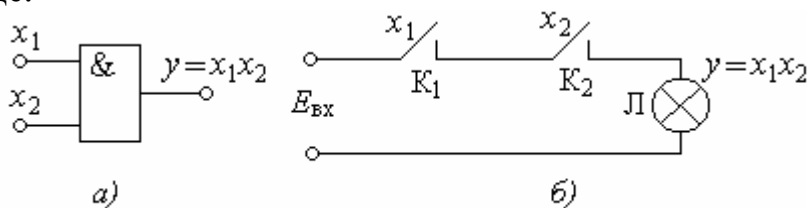


Рисунок Ф2.3 – Схема 2І (двовходовий кон'юнктор): а) умовне позначення; б) електромеханічна реалізація

Роботу кон'юнктора, як і будь-якої логічної схеми, відображає таблиця істинності (табл. Ф2.2).

Таблиця Ф2.2 – Таблиця істинності логічної функції 2І

x_2	x_1	y
0	0	0
0	1	0
1	0	0
1	1	1

Часова діаграма роботи логічної схеми 2І показана на рис. Ф2.4. На рис. Ф2.4: x_1 і x_2 – вхідні сигнали; y – вихідний сигнал.

Часова діаграма наочно ілюструє алгоритм роботи схеми 2І, який впливає з таблиці істинності.

Дійсно, рівень логічної 1 на виході y буде тільки і тільки тоді, коли 1 на вході x_1 , 1 на вході x_2 діють логічні одиниці, тобто $x_1 = 1$; $x_2 = 1$. Згідно з цим логічним висловлюванням схему назвали 2І. Збіг

логічних одиниць на входах x_1 , і x_2 спостегірається в інтервалах моментів $t_1 - t_2$; $t_3 - t_4$ і $t_5 - t_6$. Протягом решти часу, коли на одному вході $x_1 = 0$ або на вході $x_2 = 0$, або обидва входи нульові ($x_1 = 0$; $x_2 = 0$) на виході схеми буде логічний нуль: $y = 0$.

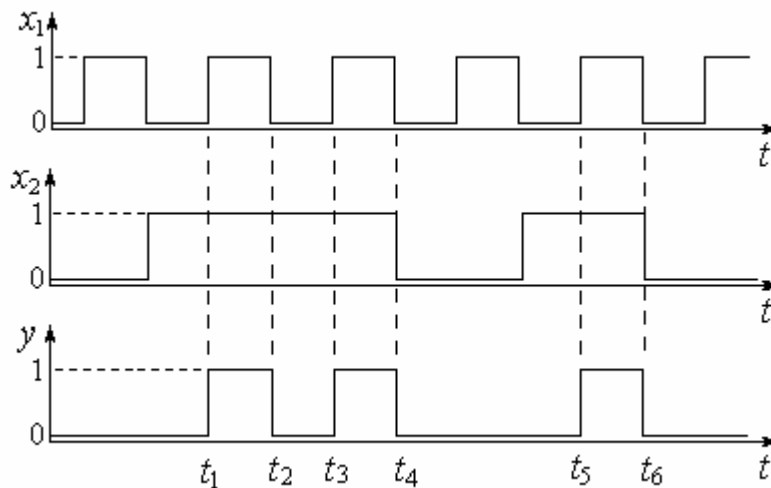


Рисунок Ф2.4 – Часова діаграма роботи схеми 2І

Ф2.1.3. Функція логічного додавання АБО

Функція АБО двох або багатьох аргументів x_n виконує операцію *логічного складання (або диз'юнкцію)* й записується формулою (Ф2.3):

$$y = x_1 \vee x_2 = x_1 + x_2. \quad (\text{Ф2.3})$$

Функція АБО набуває значення логічної одиниці «1» тоді, коли хоча б один з аргументів x_n дорівнює одиниці. Знак “ \vee ” означає *логічне*, а не *алгебраїчне* складання.

Так, логічне складання дає $y = x_1 \vee x_2 \vee \dots \vee x_n = 1 + 1 + \dots + 1 = 1$. Умовне позначення логічного елемента 2АБО показано на рис. Ф2.5,а.

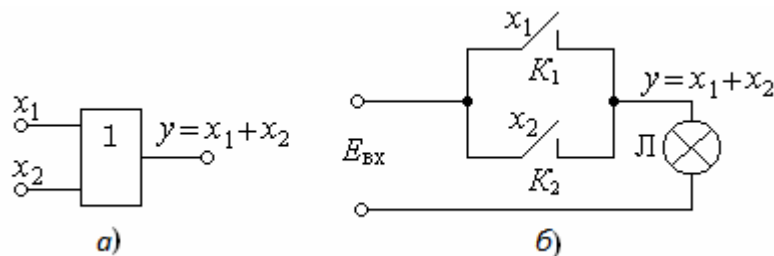


Рисунок Ф2.5 – Схема 2АБО (двовходовий диз'юнктер): а) умовне позначення; б) електромеханічна реалізація

У релейно-контактній техніці функція АБО реалізується паралельним увімкненням двох (K_1, K_2) або більшої кількості (за числом аргументів n) замикаючих контактів, керованих сигналами-аргументами x_n (рис. Ф2.5,б).

Лампа L буде світитися ($y = 1$) тоді, коли хоча б один контакт: або K_1 ($x_1 = 1$), або K_2 ($x_2 = 1$), або обидва ($x_1 = 1; x_2 = 1$) будуть замкнені, тобто будуть знаходитися в одиничному стані ($y = 1$). Лампа L буде погашеною ($y = 0$) тільки тоді, коли всі контакти будуть розімкнені (у нульовому стані), тобто $x_1 = 0; x_2 = 0$. Тому цю схему назвали 2АБО.

Роботу схеми 2АБО відображає таблиця істинності (табл. Ф2.3).

Таблиця Ф2.3 – Таблиця істинності схеми 2АБО

x_2	x_1	y
0	0	0
0	1	1
1	0	1
1	1	1

Роботу схеми 2АБО ілюструє часова діаграма (рис. Ф 2.6), з якої випливає, що достатньо хоча б на одному з входів x_1 або x_2 мати 1, щоб на виході сигнал y дорівнював 1. Тільки тоді, коли на обох входах $x_1 = 0$; $x_2 = 0$ (інтервали часу $t_2 - t_3$, $t_4 - t_5$, $t_6 - t_7$, $t_8 \dots$), на виході $y = 0$.

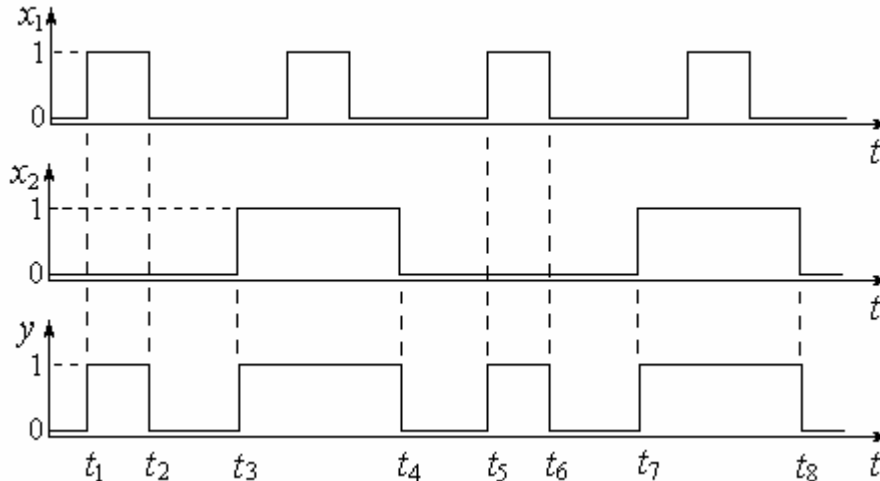


Рисунок Ф2.6 – Часова діаграма роботи схеми 2АБО

Ф2.1.4. Комбіновані логічні функції

Кожна з розглянутих функцій булевого базиса набуває значень логічного «0» або логічної «1» залежно від аргументів x_n , які входять до складу даної функції.

З логічних елементів, що реалізують найпростіші функції НЕ, І, АБО можна побудувати більш складні функції шляхом послідовного виконання функціональних залежностей, які зв'язують пари змінних.

Наприклад, потрібно отримати функцію 2АБО-НЕ. Вона створюється з двох булевих функцій 2АБО і НЕ. Схемотехнічно така задача вирішується шляхом послідовного з'єднання логічних елементів 2АБО і НЕ. Це з'єднання реалізує **функцію 2АБО-НЕ, що носить назву стрілки Пірса**, й умовно позначається, як показано на рис. Ф2.7,б.

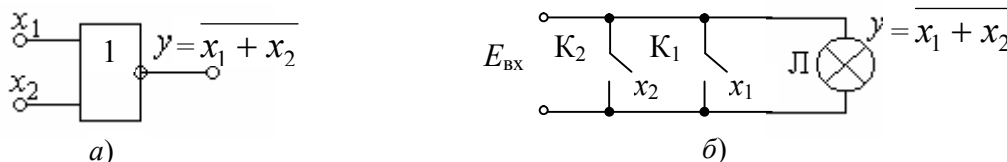


Рисунок Ф2.7 – Двовходова схема 2АБО-НЕ: а) умовне позначення; б) електромеханічна реалізація

Роботу схеми 2АБО-НЕ описує таблиця істинності (табл. Ф2.4).

Таблиця Ф2.4 – Таблиця істинності логічної функції 2АБО-НЕ

x_2	x_1	y
0	0	1
0	1	0
1	0	0
1	1	0

Коли або $x_1 = 1$, або $x_2 = 1$, або обидва аргументи одиничні, то значення функції нульові $y = 0$.

Якщо порівняти роботу схем 2АБО (рис. Ф2.6) й 2АБО-НЕ (рис. Ф2.8), то можна побачити, що вся різниця полягає лише у інверсії вихідного сигналу y .

Аналогічно можна отримати логічну функцію 2І-НЕ за допомогою двох логічних функцій булевого базиса 2І і заперечення НЕ. **Функція 2І-НЕ носить назву елемента Шеффера** (рис. Ф2.9).

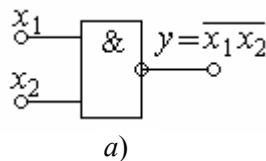


Рисунок Ф2.9 – Двовходова схема 2І-НЕ: а) умовне позначення; б) електромеханічна реалізація

Принцип дії схеми пояснює часова діаграма роботи (рис. Ф2.8).

Якщо обидва входи нульові ($x_1 = 0$ та $x_2 = 0$), то значення функції одиничне $y = 1$.

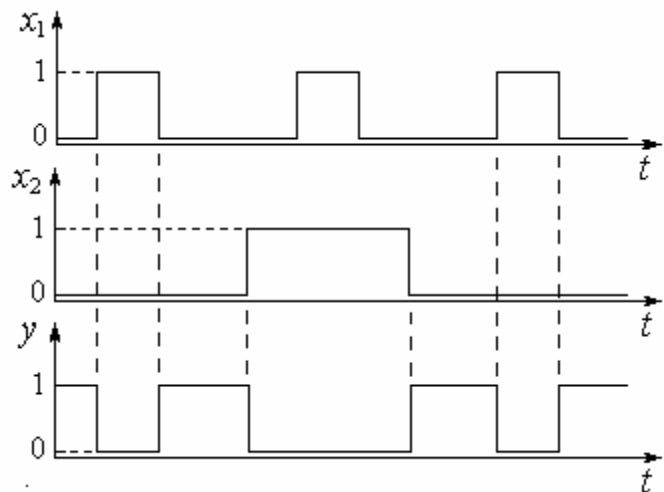
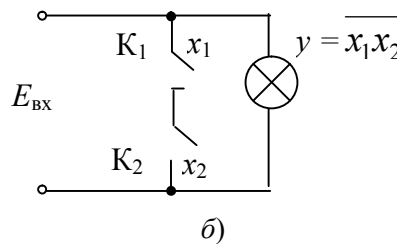


Рисунок Ф2.8 – Часова діаграма роботи схеми 2АБО-НЕ



Таблиця Ф2.5 – Таблиця істинності логічної функції 2І-НЕ

x_2	x_1	y
0	0	1
0	1	1
1	0	1
1	1	0

Елемент Шеффера створюється послідовним з'єднанням двох логічних елементів, що реалізують функції 2І і НЕ. Тому таблиця істинності функції 2І-НЕ (табл. Ф2.5) є проінвертованою таблицею істинності функції 2І (табл. Ф2.2).

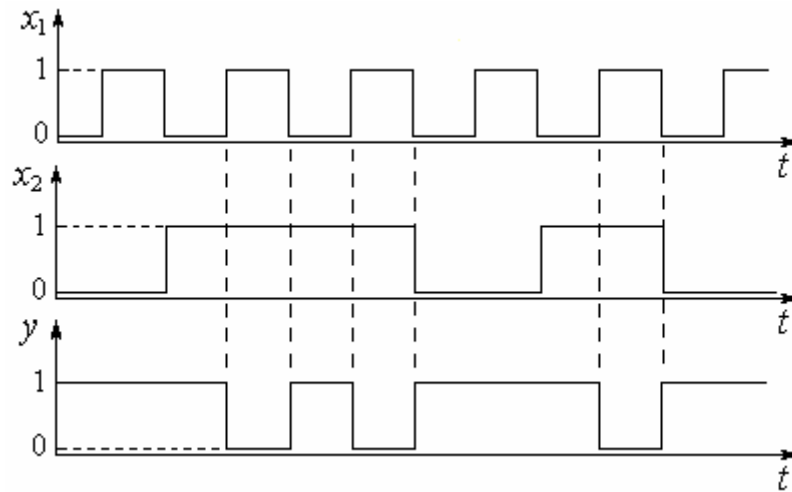


Рисунок Ф2.10 – Часова діаграма роботи схеми 2I-НЕ

Часова діаграма роботи схеми 2I-НЕ (рис. Ф2.10) отримується інверсією вихідного сигналу у логічної схеми 2I (см. рис. Ф2.4).

З діаграми роботи (рис. Ф2.10) видно наступне.

Якщо обидва вхідні сигнали одиничні ($x_1 = 1$ і $x_2 = 1$), то значення вихідного сигналу дорівнюють нулю: $y = 0$. Якщо хоча б один з вхідних сигналів дорівнює нулю, то значення вихідного сигналу дорівнює одиниці: $y = 1$.

Ф2.2. Завдання для розрахунку

1. Дайте умовне позначення логічного елемента, який виконує задану логічну функцію.
2. Запишіть задану логічну функцію у вигляді алгебраїчного виразу.
3. Складіть таблицю істинності заданої логічної функції.
4. Накресліть у масштабі часову діаграму роботи заданого логічного елемента.

Ф2.3. Вихідні дані

1. Вибір логічної функції здійснюється за цифрами M і N залікової книжки. Якщо номери залікової книжки відповідає зазначеним значенням, то
 - $(M+N) = 0 \dots 2$ – виконуйте завдання для логічної функції НЕ;
 - $(M+N) = 3 \dots 5$ – виконуйте завдання для логічної функції 2АБО;
 - $(M+N) = 6 \dots 8$ – виконуйте завдання для логічної функції 2І;
 - $(M+N) = 9 \dots 11$ – виконуйте завдання для логічної функції 2АБО-НЕ;
 - $(M+N) \geq 12$ – виконуйте завдання для логічної функції 2І-НЕ.
2. Дані для побудови часових діаграм:
 - рівень логічного нуля: $U^0 = (0,2 + 0,05 \cdot N)$ В;
 - рівень логічної одиниці: $U^1 = (5 + 0,1 \cdot M)$ В.

Ф2.4. Контрольні питання

1. Які сигнали називають цифровими.
2. Яка система числення називається двійковою.
3. Що являє собою логічна функція.

4. Який набір логічних функцій є повним.
5. Які існують форми подання логічних функцій.
6. Що являє собою логічна функція НЕ.
7. Що являє собою логічна функція І.
8. Що являє собою логічна функція АБО.
9. Яка функція називається стрілкою Пірса.
10. Яка функція називається елементом Шеффера.

Ф3. Мультиплексори та демультиплексори

Ф3.1. Ключові положення

Мультиплексори

Мультиплексори здійснюють комутацію одного з декількох інформаційних входів x_i до одного виходу y . Мультиплексори мають декілька інформаційних входів, адресні входи, вхід дозволу мультиплексування (стробуючий вхід) та один вихід.

Кожному з інформаційних входів мультиплексора відповідає номер, який називається адресою і подається двійковим числом до адресних входів.

Очевидно, що число інформаційних входів $n_{\text{інф}}$ і число адресних входів $n_{\text{адр}}$ зв'язані співвідношенням: $n_{\text{адр}} = 2^{n_{\text{інф}}}$. Для пояснення роботи мультиплексора надано таблицю його станів (табл. Ф3.1).

Таблиця Ф3.1 – Стани мультиплексора 4-1

Входи	Адреса		Виходи DC				Керуюч. вхід	Вихід
x_i	a_1	a_0	z_0	z_1	z_2	z_3	E	y
X	X	X	X	X	X	X	0	0
x_0	0	0	1	0	0	0	1	x_0
x_1	0	1	0	1	0	0	1	x_1
x_2	1	0	0	0	1	0	1	x_2
x_3	1	1	0	0	0	1	1	x_3

Мультиплексор працює наступним чином.

Дозвіл на спрацьовування мультиплексора в цілому визначається станом керуючого входу E . При $E = 0$, незалежно від стану входів адреси a_2 та a_1 (в табл. Ф3.1 позначено хрестиками X), мультиплексор не спрацьовує. Якщо ж $E = 1$, то робота мультиплексора дозволяється. Тому надалі розглядаються тільки чотири нижні рядки табл. 3.1.

Виходячи з табл. Ф3.1, отримуємо логічний вислів мультиплексора

$y = E (x_0 \cdot z_0 + x_1 \cdot z_1 + x_2 \cdot z_2 + x_3 \cdot z_3) = E (x_0 \cdot \bar{a}_1 \cdot \bar{a}_0 + x_1 \cdot \bar{a}_1 \cdot a_0 + x_2 \cdot a_1 \cdot \bar{a}_0 + x_3 \cdot a_1 \cdot a_0)$, (Ф3.1), в якому z_0, z_1, z_2, z_3 – виходи дешифратора 2-4 DC .

З рівняння (Ф3.1) випливає, що для виконання демультиплексора 4-1 необхідні: дешифратор 2-4 DC , який дешифрує адреси, чотири логічних елементи 4І, які надають інформацію до виходу про надходження вхідного

сигналу зазначеної адреси, один логічний елемент 4АБО та один логічний елемент 2І, що дає дозвіл на спрацьовування мультиплексора.

На рис. Ф3.1 представлений варіант схеми мультиплексора 4-1, який виконує комутацію від чотирьох джерел сигналу x_0, x_1, x_2, x_3 , до одного виходу y .

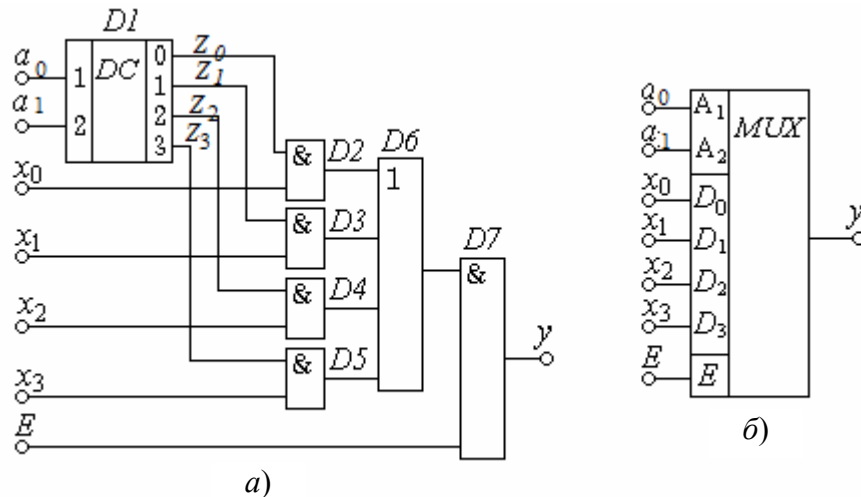


Рис. Ф3.1 – Мультиплексор 4-1: а) схема; б) умовне позначення

На рис. Ф3.1, б позначено *MUX* (англ. *Multiplexer*) – мультиплексор.

Мультиплексор працює наступним чином.

Комутація єдиного з усіх входів до виходу здійснюється тому, що логічні елементи 2І – $D2 \dots D5$ виконують роль ключів. Такий ключ буде відкритий якщо обидва його входи одиничні. Оскільки з усіх виходів дешифратора адреси $D1$ тільки один одиничний, за будь-якої адреси відкрита тільки одна зі схем $D2 \dots D5$.

При адресному числі 00 стан адресних входів $a_1 = 0$ та $a_0 = 0$. Підставляючи ці значення в (Ф3.1), отримуємо $y = x_0$, тобто до виходу передається тільки інформація x_0 . Це пояснюється тим, що рівень логічної одиниці встановлюється тільки на виході z_0 дешифратора $D1$, а на всіх інших виходах $D1$ він нульовий. Тому лише логічний елемент $D2$ має дозвіл на спрацьовування. При цьому на виході мультиплексора буде інформація $y = x_0$ (або 0, або 1).

При адресному числі 01 $a_1 = 0$ та $a_0 = 1$. Підставляючи ці значення у (Ф3.1), отримуємо $y = x_1$, тобто до виходу передається тільки інформація x_1 . Це пояснюється тим, що рівень логічної одиниці встановлюється тільки на виході z_1 дешифратора $D1$, а на всіх інших виходах $D1$ він нульовий. Тому лише логічний елемент $D3$ має дозвіл на спрацьовування. При цьому на виході мультиплексора буде інформація $y = x_1$ (або 0, або 1) і т.д.

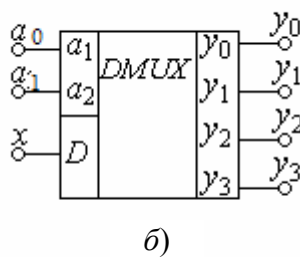
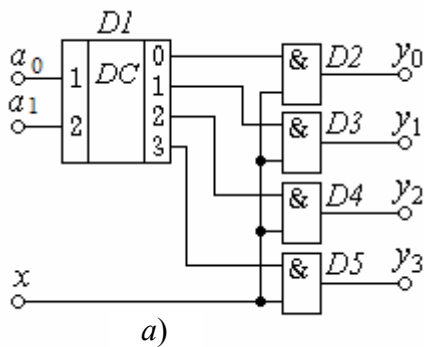
При комутації багаторозрядних слів використовують декілька мультиплексорів, виходи яких з'єднуються за схемою АБО. Для цієї мети випускаються декілька однотипних мультиплексорів в одному корпусі.

Демультимплексори

Демультимплексори здійснюють комутацію одного інформаційного входу до одного з декількох виходів, адреса якого задана. Демультимплексори мають один інформаційний вхід, декілька виходів та адресні входи.

Таким чином, на приймальному кінці мультимплексованої магістралі потрібно виконати зворотну операцію – *демультимплексування*.

Демультимплексор можна реалізувати за тією ж схемою, що й для мультимплексора (рис. Ф3.1), якщо всі інформаційні входи x_0, x_1, x_2, x_3 з'єднати в один вхід x (рис. Ф3.2).



Варіант побудови схеми демультимплексора 1-4 на базі дешифратора $D1$ та логічних елементів $2І$ $D2...D5$ показаний на рис. Ф3.2.

Рис. Ф3.2 – Демультимплексор 1-4:
а) схема; б) умовне позначення

На рис. Ф3.2 позначено: *DMUX* (англ. *Demultiplexer*) – демультимплексор.

Входи дешифратора a_1, a_2 є адресними. Тому в залежності від адресного числа лише на одному з виходів дешифратора з'являється логічна одиниця, яка дає дозвіл до спрацювання лише одного з чотирьох логічних елементів $D2...D5$. На інші входи кожної схеми 2І надходить шина вхідного сигналу x . Вхідна інформація відтворюється на виході одного з чотирьох логічних елементів $D2...D5$, який отримав дозвіл відповідно адресному входу.

Виходячи з цього, отримуємо логічний вислів демультимплексора:

$$\begin{aligned} y_0 &= x \cdot \bar{a}_1 \cdot \bar{a}_0, \\ y_1 &= x \cdot \bar{a}_1 \cdot a_0, \\ y_2 &= x \cdot a_1 \cdot \bar{a}_0, \\ y_3 &= x \cdot a_1 \cdot a_0. \end{aligned} \quad (\text{Ф3.2})$$

Для пояснення роботи демультимплексора надано таблицю його станів (табл. Ф3.2)

Демультимплексор працює наступним чином.

Підставляючи в (Ф3.2) з табл. Ф3.2 адресу $a_1 = 0; a_0 = 0$, переконуємося в тому, що тільки $y_0 = x$, тобто вхідний сигнал x діє тільки на одному виході y_0 . Це пояснюється тим, що при адресі $a_1 = 0; a_0 = 0$ тільки вихід 0

Таблиця Ф3.2 – Стани демультимплексора 1-4

Адресні входи		Виходи			
a_1	a_0	y_0	y_1	y_2	y_3
0	0	x	0	0	0
0	1	0	x	0	0
1	0	0	0	x	0
1	1	0	0	0	x

дешифратора $D1$ одиничний. Тому для вхідного сигналу x відкрита тільки схема $D2$.

При адресі $a_1 = 0$; $a_0 = 1$ таким самим чином отримуємо $y_1 = x$ і т.д. Стани виходів для інших адрес видно з табл. Ф3.2.

Ф3.2. Завдання для розробки

1. Наведіть умовне позначення і схему мультиплексора $4 \dots 1$ (або демультимплексора $1 \dots 4$) (див. вихідні дані) при роботі з дешифратором адреси 2-4.
2. Зазначте потенціали входів та виходів дешифратора адреси, які відповідають заданому варіанту.
3. Заштрихуйте логічні схеми, на виході яких буде з'являтися вхідний сигнал.

Ф3.3. Вихідні дані

1. Необхідно розробити логічні пристрої залежно від номера варіанта MN :
якщо N – парна цифра: розробіть схему мультиплексора;
якщо N – непарна цифра: розробіть схему демультимплексора.
2. Адреса посилки відповідає цифрі $M / 3$.

Ф3.4. Контрольні питання

1. Розкажіть, які цифрові пристрої називають мультиплексорами та для чого вони призначені.
2. Розкажіть, які цифрові пристрої називають демультимплексорами та для чого вони призначені.
3. Поясніть, чи обов'язково у схемах мультиплексора й демультимплексора включати дешифратор адреси.
4. Поясніть, чому адреса посилки надходить у двійковому коді.
5. Поясніть необхідність наявності керуючого входу E .

ЗМІСТ

ВСТУП.	3
1. Пасивні компоненти. Резистивний подільник напруги.	
Розрахунок подільника.....	4
1.1. Ключові положення.	4
1.2. Завдання для розрахунку.....	6
1.3. Вихідні дані.....	6
1.4. Виконання розрахунку.....	7
1.5. Контрольні питання.....	7
2. Біполярні транзистори. Підсилювач на біполярному транзисторі.....	8
2.1. Ключові положення	8
2.2. Діаграма роботи підсилювача зі спільним емітером.....	12
3. Розрахунок підсилювача на біполярному транзисторі зі спільним емітером.....	14
3.1. Завдання для розрахунку.....	14
3.2. Вихідні дані.....	15
3.3. Виконання розрахунку.....	15
3.5. Контрольні питання.	18
4. Інтегральні мікросхеми. Операційний підсилювач. Розрахунок каскадів на операційних підсилювачах.....	19
4.1. Ключові положення.	19
4.2. Операційні підсилювачі.....	20
4.3. Розрахунок каскадів на операційних підсилювачах.....	26
4.3.1. Інвертуючий підсилювач напруги.	26
4.3.2. Неінвертуючий підсилювач напруги.	29
4.3.3. Інвертуючий суматор.....	32
5. Послідовнісні пристрої. Тригери.	35
5.1. Ключові положення.	35
5.1.1 Асинхронний RS–тригер.....	37
5.1.2. D–тригер.....	39
5.1.3. D–тригер із лічильним запуском.	41
5.2. Завдання для розрахунку.....	42
5.3. Вихідні дані.....	42
5.4. Контрольні питання.	42
6. Лічильники імпульсів. Розробка послідовних двійкових лічильників.....	42
6.1. Ключові положення.	42
6.2. Послідовні двійкові лічильники	46
6.3. Завдання для розробки.....	48
6.4. Вихідні дані.....	48
6.5. Контрольні питання.	48
7. Програмовані логічні матриці. Розробка шифратора та дешифратора.....	49
7.1. Ключові положення.	49
7.2. Завдання для розробки.....	52
7.3. Вихідні дані.....	52
7.4. Виконання розробки.	52
7.5. Контрольні питання.....	53
Ф1. Напівпровідникові діоди. Випрямлячі. Розрахунок випрямляча.....	53
Ф1.1. Ключові положення.	53
Ф1.2. Завдання для розрахунку.....	56

Ф1.3. Вихідні дані	56
Ф1.4. Виконання розрахунку.	57
Ф1.5. Контрольні питання.....	58
Ф2. Цифрові інтегральні мікросхеми. Логічні функції бульового базису.....	58
Ф2.1. Ключові положення.	58
Ф2.1.1. Функція логічного заперечення НЕ.....	60
Ф2.1.2. Функція логічного множення І	61
Ф2.1.3. Функція логічного додавання АБО.	62
Ф2.1.4. Комбіновані логічні функції	63
Ф2.2. Завдання для розрахунку.	65
Ф2.3. Вихідні дані	65
Ф2.4. Контрольні питання.	65
Ф3. Мультиплексори та демультиплексори.....	66
Ф3.1. Ключові положення..	66
Ф3.2. Завдання для розробки	69
Ф3.3. Вихідні дані	69
Ф3.4. Контрольні питання.	69
Список літератури.....	71

Список літератури

1. Воробйова О.М. Електроніка та мікросхемотехніка: підручник / О.М. Воробйова, І.П. Панфілов, М.П. Савицька, Ю.В. Флейта. – Одеса: ОНАЗ ім. О.С. Попова, 2015. – С. 298.
2. Воробйова О.М. Основи схемотехніки: підручник / О.М. Воробйова, В.Д. Іванченко. – [2-ге вид.]. – Одеса: Фенікс, 2009. – С. 388.
3. Воробьева Е. М. Основы схемотехники: конспект лекцій. В 2-х частях / Е.М. Воробьева, В.Д. Иванченко. – Одесса: ОНАС им. А.С. Попова, 2012. – Часть 1. – С. 228.
4. Воробьева Е. М. Основы схемотехники: конспект лекцій. В 2-х частях / Е.М. Воробьева, В.Д. Иванченко. – Одесса: ОНАС им. А.С. Попова, 2012. – Часть 2. – С. 136.
5. Панфілов І.П. Компонентна база радіоелектронної апаратури: навч. посіб. Модуль 1 / Панфілов І.П., Савицька М.П., Флейта Ю.В.. – Одеса: ОНАЗ ім. О.С. Попова, 2014. – С. 180.
6. Панфілов І.П. Компонентна база радіоелектронної апаратури: навч. посіб. Модуль 2 / Панфілов І.П., Савицька М.П., Флейта Ю.В.. – Одеса: ОНАЗ ім. О.С. Попова, 2014. – С. 188.
7. Панфилов И.П. Компонентная база радиоэлектронной аппаратуры: учеб. пособ. Модуль 1 / Панфилов И.П., Савицкая М.П., Флейта Ю.В.. – Одесса: ОНАС им. А.С. Попова, 2012. – С. 180.
8. Панфилов И.П. Компонентная база радиоэлектронной аппаратуры: учеб. пособ. Модуль 2 / Панфилов И.П., Савицкая М.П., Флейта Ю.В. – Одесса: ОНАС им. А.С. Попова, 2012. – С. 192.

Навчально-методичне видання

Олена Михайлівна Воробйова,
Маргарита Павлівна Савицька,
Юрій Вікторович Флейта,
Лариса Олексіївна Альошина

Методичний посібник
для практичних занять
та виконання комплексного завдання
з дисципліни «Електроніка та мікросхемотехніка»

Редактор Кодрул Л.А.
Комп'ютерна верстка Гардиман Ж.А.

Підписано до друку
Формат 60/90/16. Гарнітура Таймс.
Ум. др. арк. 4,5.
Тираж 50 прим. Зам. №

Віддруковано з готового оригінал-макета
в РВЦ ОНАЗ ім. О.С. Попова
м. Одеса, вул. Ковалевського, 5, тел. 7050-494