

Міністерство освіти і науки України
Національний університет „Львівська політехніка”
Кафедра “Електронних обчислювальних машин”



ЛАБОРАТОРНИЙ ПРАКТИКУМ
з дисципліни
МОДЕЛЮВАННЯ КОМП'ЮТЕРНИХ СИСТЕМ

Звіт з Лабораторної роботи №1

на тему:

“Інсталяція та ознайомлення з середовищем розробки Ознайомлення
зі стендом Elbert V2-Spartan 3A FPGA.”

Варіант 1

Виконав:
ст. гр. КІ-201
Абросімов А.С.
Перевірив:
Козак Н. Б.

ЛАБОРАТОРНА РОБОТА №1 Інсталяція та ознайомлення з середовищем розробки
Ознайомлення зі стендом Elbert V2-Spartan 3A FPGA.

Мета роботи:

Етапи роботи:

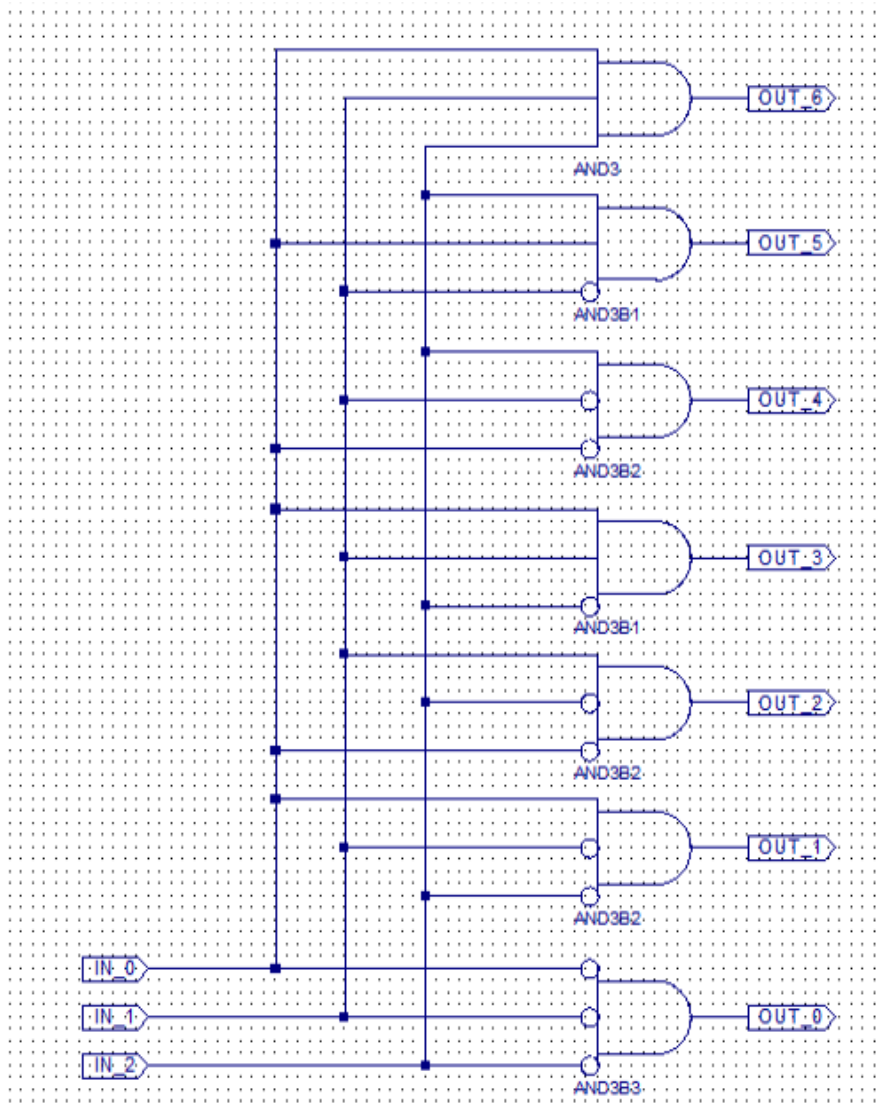
1. Створення облікового запису на www.xilinx.com
2. Інсталяція Xilinx ISE та отримання ліцензії.
3. Побудова дешифратора 3->7 за допомогою ISE WebPACK™ Schematic Capture та моделювання його роботи за допомогою симулятора ISim.
4. Генерування файла та тестування за допомогою стенда Elbert V2 – Spartan 3A FPGA.

Виконання:

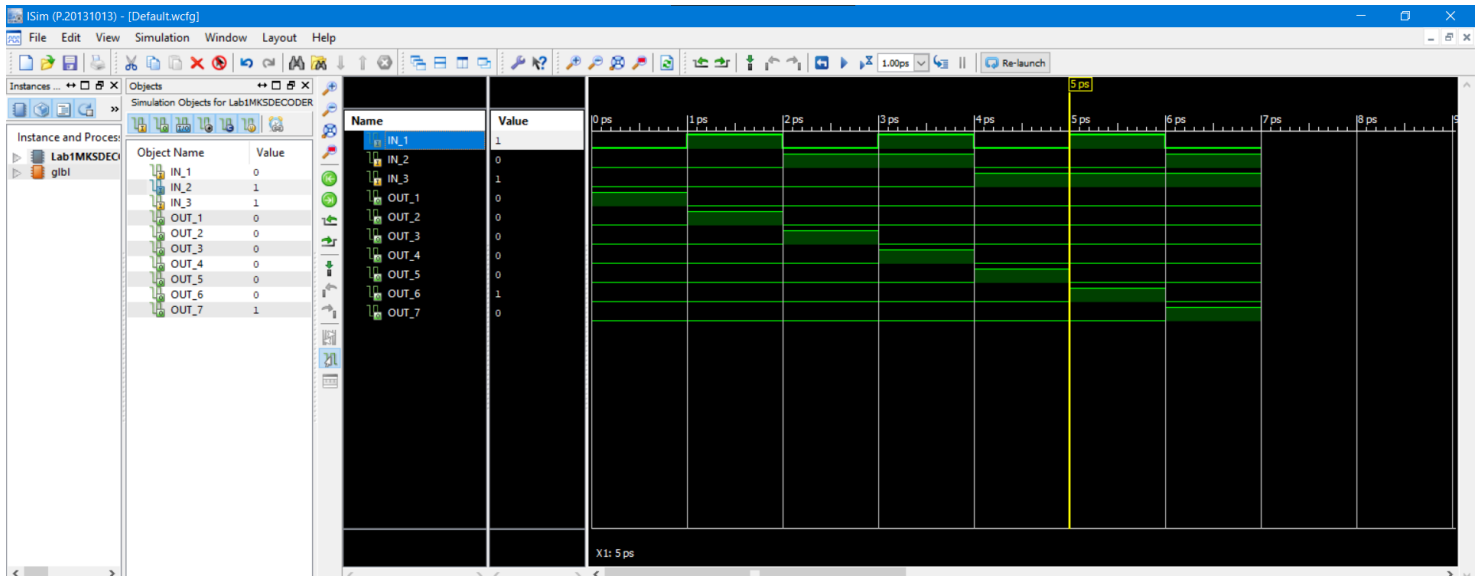
Виконавши 1,2 пункти цієї роботи приступаємо до пункту 3:

3.

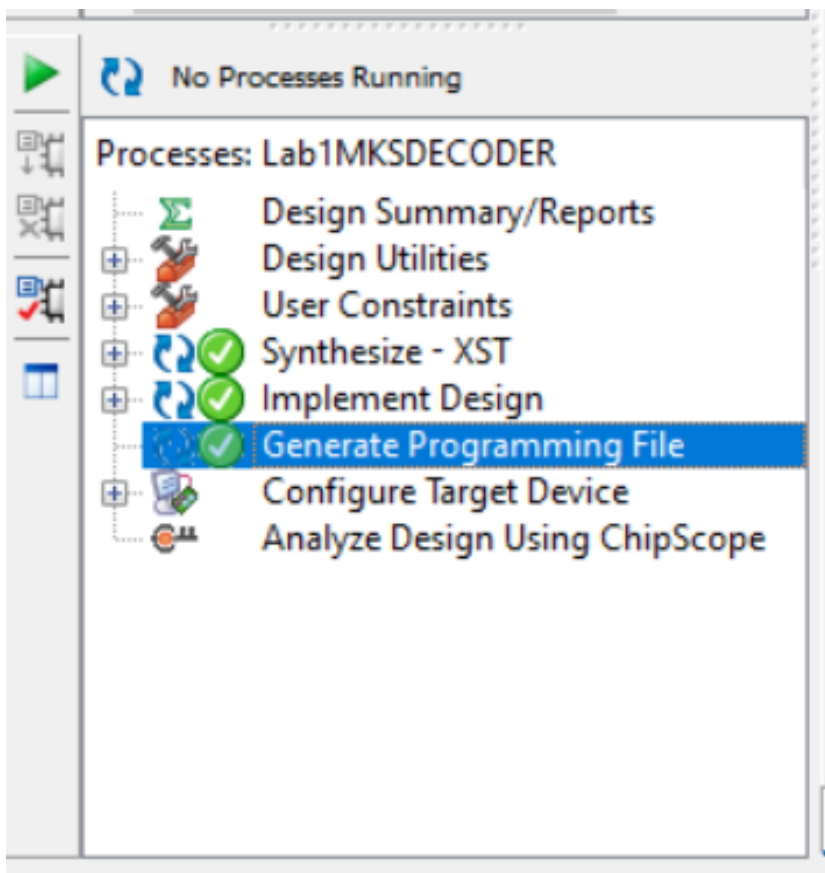
Використовуючи компоненти з бібліотеки реалізую схему згідно завдання. На малюнку нижче зображена моя схема дешифратора 3-> 7

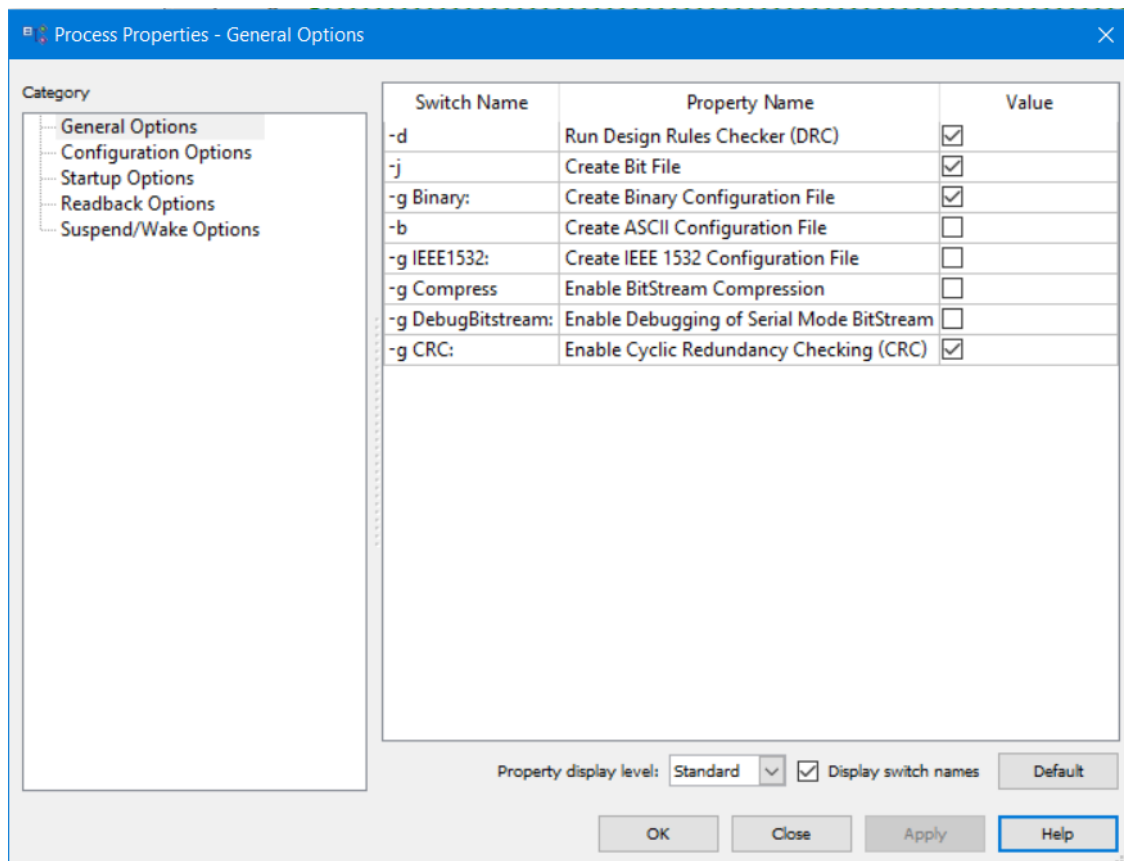


Результат проведення симуляцій для всіх можливих значень зображено нижче

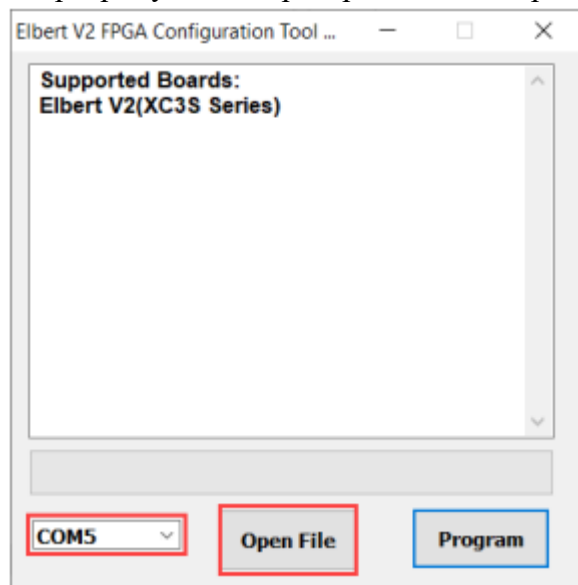


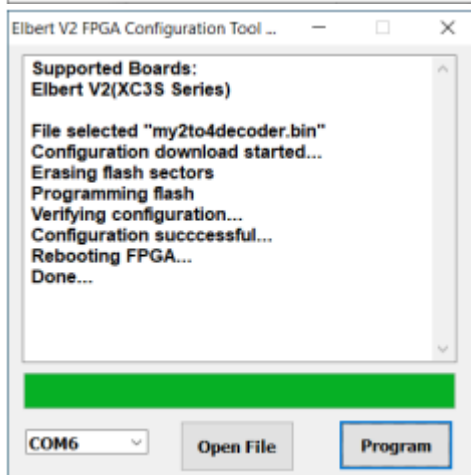
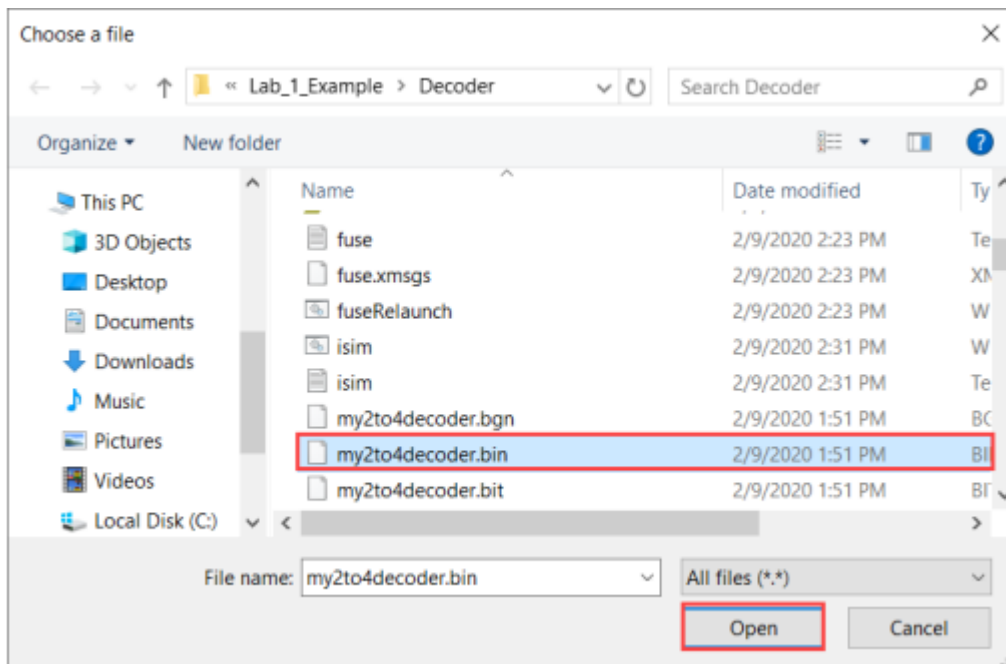
4. У параметрах процесу Generate Programming File активував опцію Create Binary Configuration File, послідовно запустив процеси Synthesize-XST, Implement Design, Generate Programming File та переконався, що вони виконалися успішно.





Запрограмував лабораторний стенд отриматиме ВІТ файлом:





Висновок: під час виконання даної лабораторної роботи я ознайомився з середовищем розробки Xilinx ISE, стендом Elbert V2 - Spartan 3A FPGA, реалізував схему дешифратора 3 на 7 та провів моделювання його роботи в симуляторі Isim та згенерував файли прошиття.