# FPGA寄存器说明

## 概述：

ARM通过SPI接口访问M\_FPGA，速率为固定100kbps。

ARM向M\_FPGA发送4个字节的控制字，并读回一个字节的返回值，共5个字节的SPI读写。

不论M\_FPGA还是多个S\_FPGA，均通过访问M\_FPGA实现。其中M\_FPAG的寄存器返回值可直接由SPI读取，S\_FPGA的寄存器的返回值在数据路径的数据包包尾部分。

控制字为4字节，1字节设备号，1字节逻辑模块号（含读写方式），1字节寄存器地址，1字节数据。返回值为1个字节数据。

## 设备号：

共1个字节，DEV\_ID，表示接受控制的不同设备。

0x0 : M\_fpga

0x1-0xEF ：S\_FPGA

0xF0-0xFE ：保留。

0xFF：广播(对全部的S\_FPGA)

## 逻辑模块号：

逻辑模块号为1个字节，其中高2位为读写方式，低6位为逻辑模块号。逻辑模块为FPGA内部功能相对独立的代码，可等同于寄存器地址的高半部分。对于M\_FPGA和S\_FPGA，不同的模块号对应的内部功能模块不同。

* 模块ID[7:6]:

00- singel read

10 singel write

* M\_FPGA模块ID[5:0]：

0x32：commu模块，M\_FPGA对ARM的数据包传送模块。

0x33：fetch模块，M\_FPGA对S\_FPGA的数据包接受模块。

0x34：repkg模块，M\_FPGA对数据包的重组模块。

* S\_FPGA模块ID[5:0]

0x1:control\_top控制器

0x2:syn\_top同步器接收模块

0x11：ad1\_top模块

0x12：ad2\_top模块

0x13：ad3\_top模块

0x1E：ep\_top外参模块

0x20：dsp\_top，滤波等数据处理模块

0x21：pack\_top，数据成包模块。

0x22：commu，数据包传送模块。

## M\_FPGA:

* 0x32：commu\_m\_top
* 0x33：fetch
* 0x34：repkg

## S\_FPGA:

* 0x1:control\_top控制器

0x0 RO dev\_id

0x10 WR dev\_id

* 0x2:syn\_top
* 0x11：ad1\_top

0x0 RO mod\_id

0x20 WR cfg\_sample

0x40 WR cfg\_ad\_tp

0x44-46 WR cfg\_tp\_base

0x47 WR cfg\_tp\_step

* 0x20: dsp\_top
* 0x21: pack\_top
* 0x22: commu\_top

0x0 RO mod\_id

0x10 RW cfg\_numDev

0x14 RW cfg\_sendEn

0x30 WO cmd\_retry