

挑战课题报告

20302010059-孙姝然

microbench截图

```
accuracy:100.00%
accuracy:99.83%
accuracy:100.00%
accuracy:99.83%
accuracy:100.00%
accuracy:99.83%
accuracy:100.00%
accuracy:99.83%
accuracy:100.00%
* Passed.
  min time: 32 ms [53871]
=====
MicroBench PASS      60452 Marks
                   vs. 100000 Marks (i7-7700K @ 4.20GHz)
Total time: 956 ms
[src/cpu/cpu-exec.c:393,cpu_exec] nemu: HIT GOOD TRAP at pc = 0x0000000080004fe8
[src/cpu/cpu-exec.c:394,cpu_exec] trap code:0
```

内容

Read_Latency = 1 的 data RAM，和read_latency=0 的meta RAM。两级 Memory 流水段，data RAM 大小为 64KB，meta RAM 大小 < 2 KB。

DCache改动

- 增加一个flag (late_read_cnt)，控制data_ok在读取命中的后一周置1
- 在flush状态下，增加read_buffer数组，率先遍历cache line，记录下要通过cbus写回的数据，接着根据传输协议，控制数组index传输数据
- 每隔 2^{25} 个周期，打印累计命中率。

流水线改动

memory分为两个流水段。m1：给出dreq，完成writedata m2:一周延迟的read给出数据，完成readdata。
harzard：与load指令相关的写后读冲突增加一周阻塞，在m1与m2阶段均类似原本的memory设置阻塞信号。其他写后读冲突增加一个转发的出发点。