

Übung 02: RISC-V Assembly

Einführung in die Rechnerarchitektur

Niklas Ladurner

School of Computation, Information and Technology
Technische Universität München

26. Oktober 2024

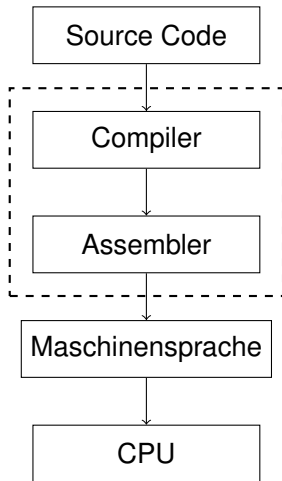


TUM Uhrenturm

Keine Garantie für die Richtigkeit der Tutorfolien.
Bei Unklarheiten/Unstimmigkeiten haben VL/ZÜ-Folien recht!

Abstraktionsebenen

- Code in einer Hochsprache (C, Java, ...) ist lediglich eine Abstraktion
- Compiler: Hochsprache → Assemblersprache
- Assembler: Assemblercode → Maschinensprache (1:1 Übersetzung)
- Maschinensprache ist plattformspezifisch!
- ISA: „Bedienungsanleitung“ einer CPU
- RISC vs. CISC



- eine von vielen Assemblersprachen
- Datenwortbreite: 32 Bit (4 Byte)
- Little-Endian-Architektur
- 32 Register, einige davon mit spezieller Funktion
- grundlegende Instruktionen auf 32 Bit begrenzt → Konstanten müssen zusammengebastelt werden
- Immediates sind 12 Bit lang (sign-extended)



Fragen?

- „H02 — Festkommarechnung“ bis 03.11.2024 23:59 Uhr
- Vorüberlegungen zu Festkommarechnung auf Mitschrift WS 23/24

- Zulip: „ERA Tutorium - Do-1600-1“ bzw. „ERA Tutorium - Fr-1500-2“
- ERA-Moodle-Kurs
- ERA-Artemis-Kurs
- Einführung Fixpunktarithmetik, Alternative
- Übersicht an RISC-V-Instruktionen

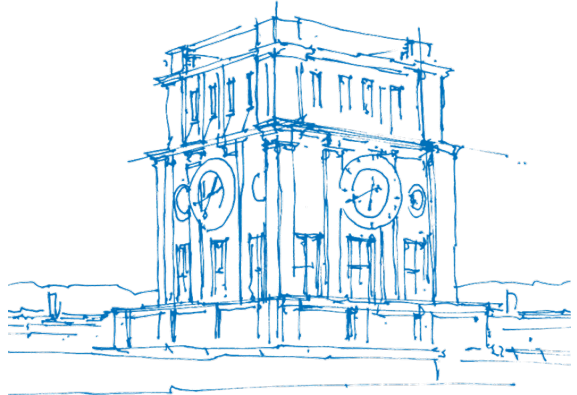
Übung 02: RISC-V Assembly

Einführung in die Rechnerarchitektur

Niklas Ladurner

School of Computation, Information and Technology
Technische Universität München

26. Oktober 2024



TUM Uhrenturm