

ERA-Übungsblatt 08

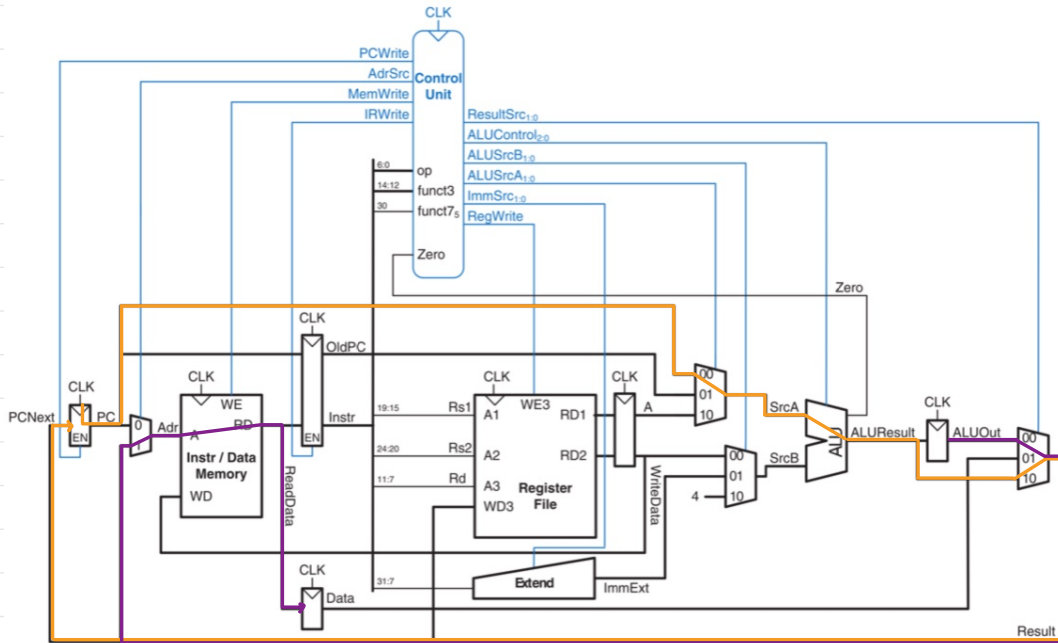
1. a,b,c,d) siehe ML, Website und Mitschrift WS 23/24

2. a,b,c) siehe ML und Website

3. a) siehe ML und Mitschrift WS 23/24

b) Für den Multi-Cycle-Prozessor betrachten wir nicht mehr die "längste" Instruction, sondern die "längsten" Zustände. Diese sind (da ALU und Memory die größten Delays haben):

- Fetch (berechnet $PC+4 \rightarrow$ verwendet ALU) •
- MemRead (liest aus Speicher) •



In der Grafik sind jeweils die kritischen (=längsten) Pfade eingezeichnet. Damit:

- $t_{FetchMC} = t_{RegRead} + t_{mux} + t_{ALU} + t_{mux} + t_{RegSetup} + t_{dec} = 285 \text{ ps}$
- $t_{MemReadMC} = t_{RegRead} + t_{mux} + t_{mux} + t_{MemRead} + t_{RegSetup} + t_{dec} = 375 \text{ ps}$

bei jedem Zustandswechsel muss die Control Unit (t_{dec}) die Signale neu setzen

$$t_{MC} = \max \{t_{FetchMC}, t_{MemReadMC}\} = 375 \text{ ps}$$

c) Beim Single-Cycle-Prozessor benötigt jede Instruction gleich lange (1 Taktzyklus)
 $\Rightarrow t_{Progc} = 10^{11} \cdot t_{sc} = 10^{11} \cdot 750 \text{ ps} = 75 \text{ s}$

Beim Multi-Cycle-Prozessor ist die Ausführungszeit einer Instruction abhängig von der Anzahl an Zuständen für diese Instruction

$$\begin{aligned} \Rightarrow t_{Progc} &= 10^{11} \cdot t_{MC} \cdot (0,25 \cdot 5 + 0,1 \cdot 4 + 0,1 \cdot 3 + 0,02 \cdot 4 + 0,52 \cdot 4) \\ &= 10^{11} \cdot 375 \text{ ps} \cdot 4,14 \approx 158 \text{ s} \end{aligned}$$

Der MC-Prozessor ist also deutlich langsamer!

d) siehe ML

4. siehe ML