

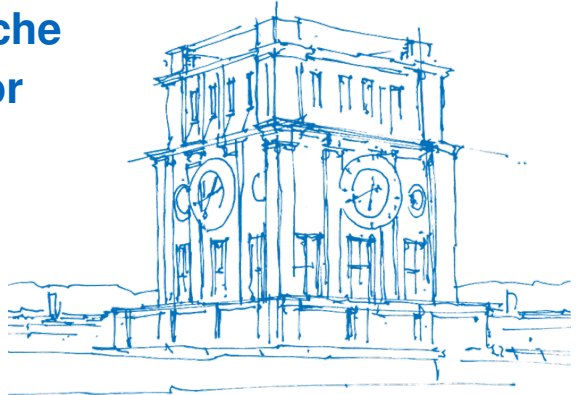
Übung 08: Maschinensprache und Single-Cycle-Prozessor

Einführung in die Rechnerarchitektur

Niklas Ladurner

School of Computation, Information and Technology
Technische Universität München

6. Dezember 2024



TUM Uhrenturm

t1p.de/era2425



home.in.tum.de/~ladu/



Keine Garantie für die Richtigkeit der Tutorfolien.
Bei Unklarheiten/Unstimmigkeiten haben VL/ZÜ-Folien recht!

RISC-V Instruktionstypen

- R-Typ: Register-Register-Operationen (bspw. `add`, `sub`, `sll`)
- I-Typ: kleine Immediates (12 Bit) und Ladebefehle (bspw. `jalr`, `lw`, `ori`)
- S-Typ: Speicherbefehle (bspw. `sw`, `sh`)
- B-Typ: Branches (bedingte Sprünge) (bspw. `beq`, `blt`, `bgtu`)
- U-Typ: große Immediates (20 Bit) (bspw. `lui`, `auipc`)
- J-Typ: Jumps (unbedingte Sprünge) (`jal`)
- R4-Typ: Floating-Point-Operationen, für ERA nicht relevant

- RV32: Instruktionsgröße von 32 Bit (compressed instructions 16 Bit)
- Übersetzung in CISC-Architekturen aufwendiger (vgl. IA-32: 2552 Seiten Instruction Reference)
- Instruktionen selben Typs werden haben gleiches Instruktionslayout
- alle benötigten Tabellen sind in der Klausur gegeben

31:25		24:20		19:15		14:12		11:7		6:0		
funct7		rs2		rs1		funct3		rd		op		R-Type
imm _{11:0}				rs1		funct3		rd		op		I-Type
imm _{11:5}		rs2		rs1		funct3		imm _{4:0}		op		S-Type
imm _{12,10:5}		rs2		rs1		funct3		imm _{4:1,11}		op		B-Type
imm _{31:12}								rd		op		U-Type
imm _{20,10:1,11,19:12}								rd		op		J-Type
fs3	funct2	fs2	fs1	funct3		fd		op		R4-Type		
5 bits	2 bits	5 bits	5 bits	3 bits		5 bits		7 bits				

(Quelle: Vorlesungsmaterialien ERA)

xor t2, t1, t0

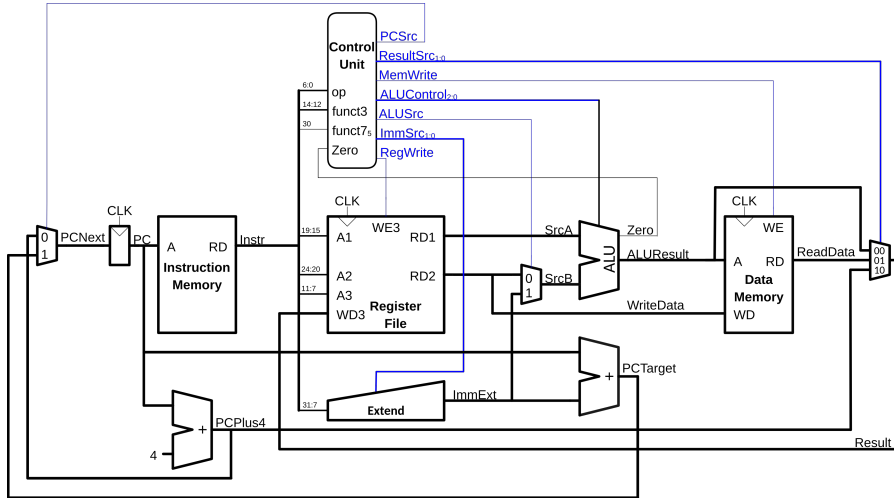
op	funct3	funct7	Type	Instruction
0110011 (51)	100	0000000	R	xor rd, rs1, rs2

31:25	24:20	19:15	14:12	11:7	6:0	
funct7	rs2	rs1	funct3	rd	op	R-Type

1. xor \rightarrow R-Typ
2. t0 \rightarrow x5 (rs2), t1 \rightarrow x6 (rs1), t2 \rightarrow x7 (rd)
3. funct7, funct3, op aus Tabelle ablesen

$$(00000000\ 00101\ 00110\ 100\ 00111\ 0110011)_2 = 0x005343B3$$

RISC-V Single-Cycle-Prozessor



(Quelle: Vorlesungsmaterialien ERA)

Fragen?

- „H08 — Single-Cycle-Prozessorerweiterung“ bis 15.12.2024 23:59 Uhr
- Erweiterung des einfachen Single-Cycle-Prozessors
- `xor` (R-Typ) und `jalr` (I-Typ)
- Oft auch Prozessorerweiterung als Klausuraufgabe!

- Zulip: „ERA Tutorium - Do-1600-1“ bzw. „ERA Tutorium - Fr-1500-2“
- ERA-Moodle-Kurs
- ERA-Artemis-Kurs
- Prozessor-Assets (kein offizielles Material!)
- RISC-V Assembler

Übung 08: Maschinensprache und Single-Cycle-Prozessor

Einführung in die Rechnerarchitektur

Niklas Ladurner

School of Computation, Information and Technology
Technische Universität München

6. Dezember 2024



TUM Uhrenturm