

Übung 07: Maschinensprache und Prozessorschaltbild

Einführung in die Rechnerarchitektur

Niklas Ladurner

School of Computation, Information and Technology
Technische Universität München

2. Dezember 2023



TUM Uhrenturm

Durchzählen!

Keine Garantie für die Richtigkeit der Tutorfolien: Bei Unklarheiten/Unstimmigkeiten haben VL/ZÜ-Folien Recht!

RISC-V Instruktionstypen

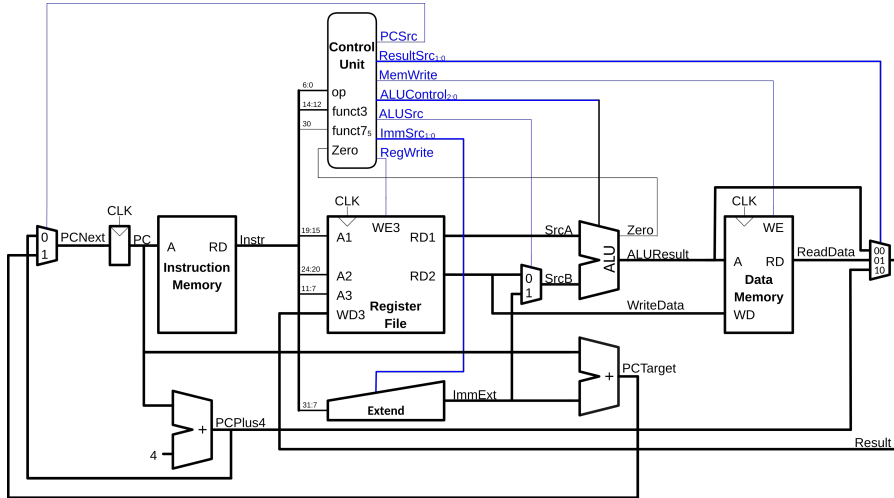
- R-Typ: Register-Register-Operationen (bspw. add, sub, sll)
- I-Typ: kleine Immediates (12 Bit) und Ladebefehle (bspw. jalr, lw, ori)
- S-Typ: Speicherbefehle (bspw. sw, sh)
- B-Typ: Branches (bedingte Sprünge) (bspw. beq, blt, bgtu)
- U-Typ: große Immediates (20 Bit) (bspw. lui, auipc)
- J-Typ: Jumps (unbedingte Sprünge) (jal,)

Übersetzung Machinencode ↔ Assembly

- Jeder Instruktionstyp wird in 32 Bit enkodiert
- Bei CISC ist eine solche Übersetzung sehr aufwendig (verschiedene Tabellen etc.)
- RISC-V: 1:1 als Binärzahl im passenden Format schreiben → entspricht Enkodierung

31:25		24:20		19:15	14:12	11:7	6:0	
funct7		rs2		rs1	funct3	rd	op	R-Type
imm _{11:0}				rs1	funct3	rd	op	I-Type
imm _{11:5}		rs2		rs1	funct3	imm _{4:0}	op	S-Type
imm _{12,10:5}		rs2		rs1	funct3	imm _{4:1,11}	op	B-Type
imm _{31:12}						rd	op	U-Type
imm _{20,10:1,11,19:12}						rd	op	J-Type
fs3	funct2	fs2	fs1	funct3		fd	op	R4-Type
5 bits	2 bits	5 bits	5 bits	3 bits		5 bits	7 bits	

RISC-V Single-Cycle-Prozessor



(Quelle: Vorlesungsmaterialien ERA)

Fragen?

- H07 - RISC-V Single bis 10.12.2023 23:59 Uhr
- Erweiterung des RISC-V-Prozessors, mögliche Klausuraufgabe
-

- Zulip: „ERA Tutorium - Mi-1600-MI4“ bzw. „ERA Tutorium - Fr-1100-MW2“
- Logisim Evolution

Übung 07: Maschinensprache und Prozessorschaltbild

Einführung in die Rechnerarchitektur

Niklas Ladurner

School of Computation, Information and Technology
Technische Universität München

2. Dezember 2023

