

Übung 06: Arithmetische und sequentielle Schaltungen

Einführung in die Rechnerarchitektur

Niklas Ladurner

School of Computation, Information and Technology
Technische Universität München

6. April 2024



TUM Uhrenturm

<https://t1p.de/wr875>



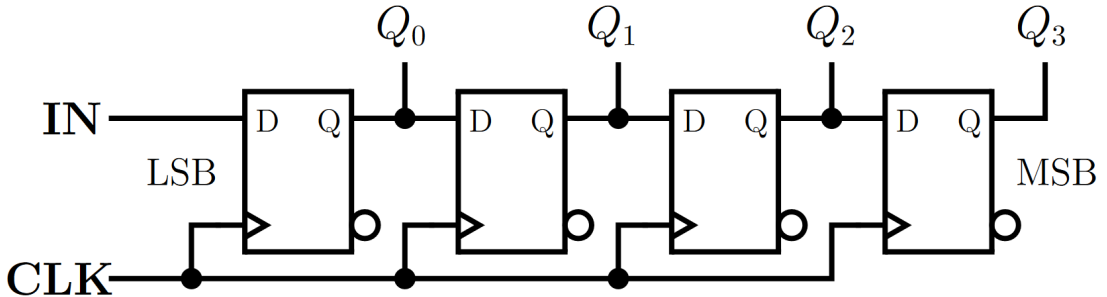
Durchzählen!

Keine Garantie für die Richtigkeit der Tutorfolien: Bei Unklarheiten/Unstimmigkeiten haben VL/ZÜ-Folien Recht!

Besondere Schaltungselemente

- Multiplexer: Leitet Eingang abhängig von Steuersignal durch
- ALU (arithmetic logic unit): Recheneinheit eines Prozessors
- Latches: Speichereinheit für 1 Bit
- Flip-Flops: Taktflankengesteuertes Latch
- D-Latch: Data-Eingang und Enable-Eingang

- Kombinatorische Schaltung: Ausgang ausschließlich durch die Eingänge bestimmt, keine Rückkopplung, keine Abhängigkeit von vorherigen Zuständen
- Sequentielle Schaltung: Ausgang abhängig von Eingängen und vorherigem Schaltungszustand, wichtig bspw. für Zähler, Speicher, etc.



(Das Schieberegister in der Artemis-Hausaufgabe schaut natürlich ein wenig anders aus)

Fragen?

- H06 - Serieller Multiplizierer bis 03.12.2023 23:59 Uhr
- Implementierung von Teilaufgaben in verschiedenen Schaltplänen!
- Erklärung Algorithmus siehe hier

- Zulip: „ERA Tutorium - Mi-1600-MI4“ bzw. „ERA Tutorium - Fr-1100-MW2“
- Schieberegister
- Multiplizierer
- Logisim Evolution

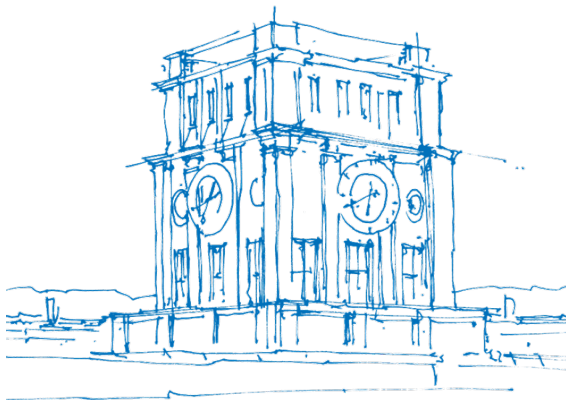
Übung 06: Arithmetische und sequentielle Schaltungen

Einführung in die Rechnerarchitektur

Niklas Ladurner

School of Computation, Information and Technology
Technische Universität München

6. April 2024



TUM Uhrenturm