

Übung 08: Automaten und Multi-Cycle-Prozessor

Einführung in die Rechnerarchitektur

Niklas Ladurner

School of Computation, Information and Technology
Technische Universität München

10. Dezember 2023



TUM Uhrenturm

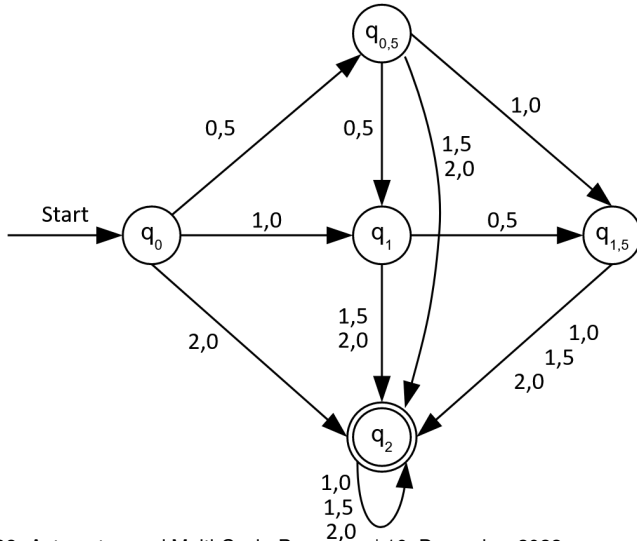
Durchzählen!

Keine Garantie für die Richtigkeit der Tutorfolien: Bei Unklarheiten/Unstimmigkeiten haben VL/ZÜ-Folien Recht!

Endliche Automaten

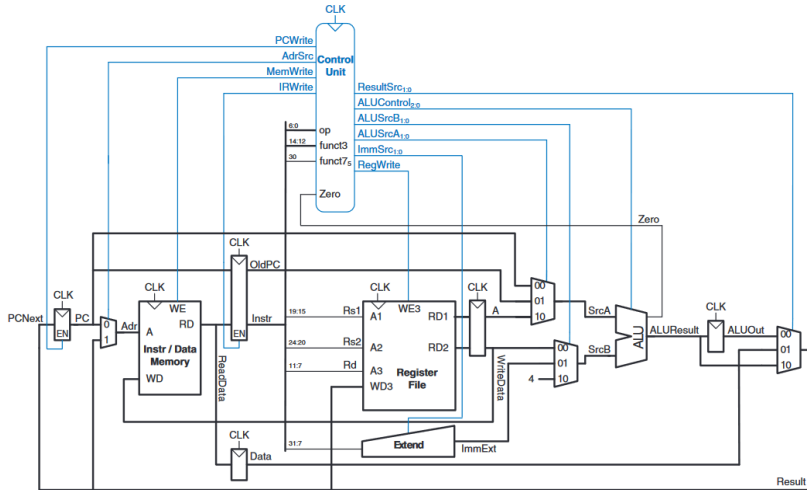
- Repräsentiert Funktion einer sequentiellen Schaltung (sequentiell: von Zuständen abhängig)
- Mathematische Beschreibung als 6-Tupel $(I, O, S, s_0, \delta, \lambda)$
- Als Diagramm: Zustände \rightarrow Kreise, Übergänge \rightarrow Verbindungen, Bedingungen \rightarrow Kantenbeschriftungen
- One-Hot-Kodierung: Genau 1 FF ist auf 1 \rightarrow aktueller Zustand, einfach aber verschwenderisch
- Binärkodierung: FFs zusammen bilden Binärzahl des aktuellen Zustands, spart FFs aber komplexer

Zustand	One-Hot-Enkodierung	Binärenkodierung
S_0	0001	00
S_1	0010	01
S_2	0100	10
S_3	1000	11



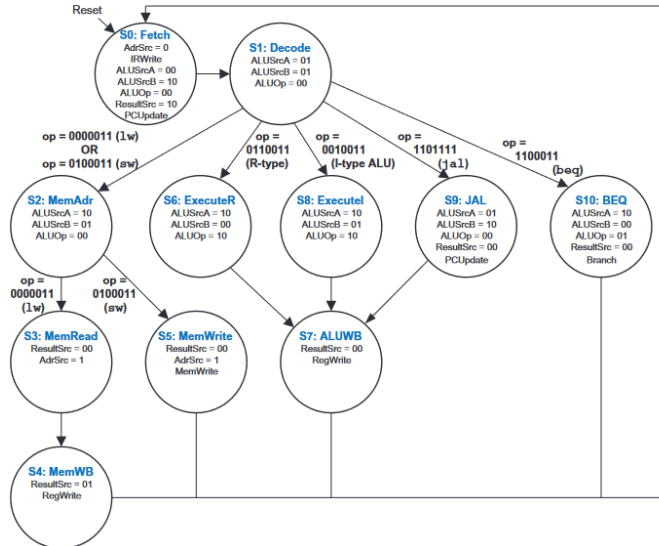
- Aufteilung einer Instruktion in mehrere Schritte
- kürzere kritische Pfade in den einzelnen Teilschritten → höhere Taktfrequenz möglich
- allerdings benötigt eine Instruktion jetzt auch mehrere Taktzyklen!
- komplexeres Steuerwerk, da Zustandsautomat umgesetzt werden muss
- (in der Praxis haben sich MC-Prozessoren nicht durchgesetzt)

RISC-V Multi-Cycle-Prozessor



(Quelle: Vorlesungsmaterialien ERA)

RISC-V Multi-Cycle-Prozessor: Zustandsautomat



Fragen?

- H08 - RISCv Multi bis 17.12.2023 23:59 Uhr
- ziemlich aufwendig, aber größtenteils nur Übertragen von Daten aus den Referenztabellen

- Zulip: „ERA Tutorium - Mi-1600-MI4“ bzw. „ERA Tutorium - Fr-1100-MW2“
- Logisim Evolution
- Referenztabelle (offizielle Tabellen sind auf den Übungsblättern)

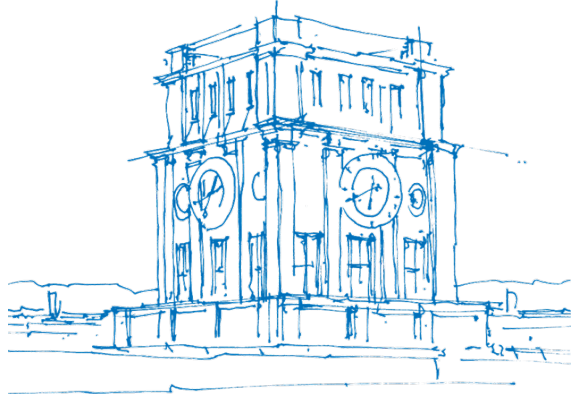
Übung 08: Automaten und Multi-Cycle-Prozessor

Einführung in die Rechnerarchitektur

Niklas Ladurner

School of Computation, Information and Technology
Technische Universität München

10. Dezember 2023



TUM Uhrenturm