

# Übung 02: RISC-V Assembly

## Einführung in die Rechnerarchitektur

**Niklas Ladurner**

School of Computation, Information and Technology  
Technische Universität München

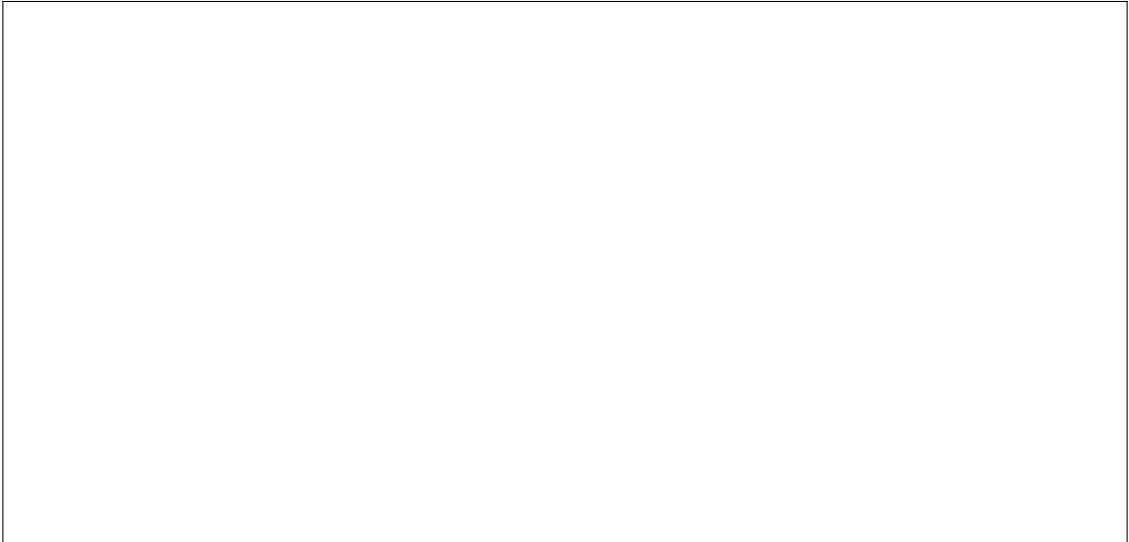
6. April 2024



*TUM Uhrenturm*

Keine Garantie für die Richtigkeit der Tutorfolien: Bei Unklarheiten/Unstimmigkeiten haben VL/ZÜ-Folien Recht!

- Code in höheren Sprachen (C, Java, ...) ist lediglich eine Abstraktion
- Kompilierung in Assemblersprache, 1:1 Übersetzung in Binärcode
- ISA: „Bedienungsanleitung“ einer CPU
- RISC vs. CISC



- eine von vielen Assemblersprachen
- Offener Ansatz, für Lehre daher interessant
- 32 Register, einige davon mit spezieller Funktion
- meisten Grundbefehle auf 32 Bit begrenzt → Konstanten müssen zusammengebastelt werden

Fragen?

# Quiz

- H02-Festkommarechnung bis 05.11.2023 23:59 Uhr
- Vorüberlegungen zu Festkommarechnung



- Zulip: „ERA Tutorium - Mi-1600-MI4“ bzw. „ERA Tutorium - Fr-1100-MW2“
- ERA-Moodle-Kurs
- ERA-Artemis-Kurs
- Einführung Fixpunktarithmetik, Alternative
- RISC-V-Spezifikation

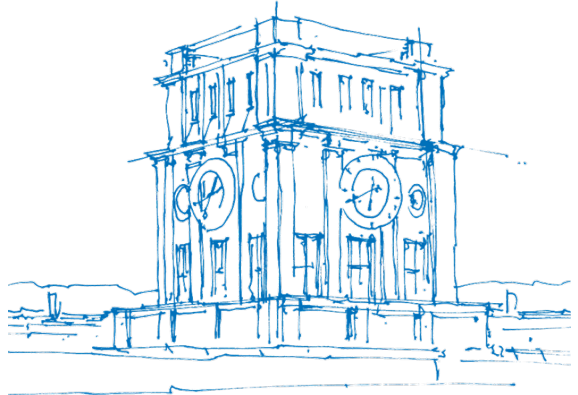
# Übung 02: RISC-V Assembly

## Einführung in die Rechnerarchitektur

**Niklas Ladurner**

School of Computation, Information and Technology  
Technische Universität München

6. April 2024



*TUM Uhrenturm*