School of Computation, Information and Technology
Technische Universität München

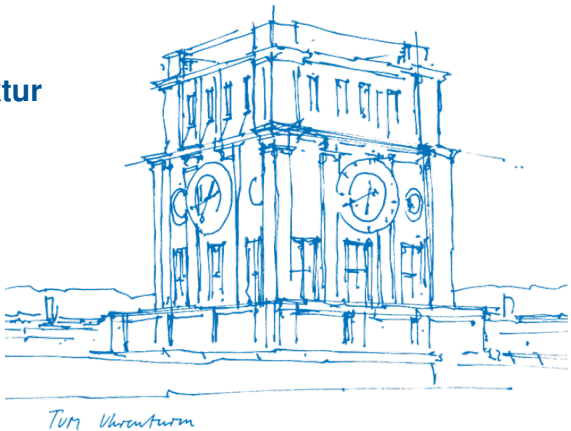
Übung 04: x86-Assembly

Grundlagenpraktikum Rechnerarchitektur

Niklas Ladurner

School of Computation, Information and Technology
Technische Universität München

10. Mai 2024



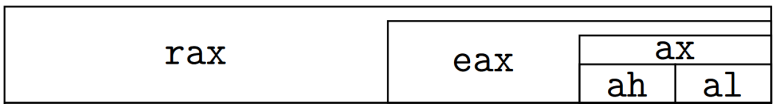
Keine Garantie für die Richtigkeit der Tutorfolien: Bei Unklarheiten/Unstimmigkeiten haben VL-Folien Recht!

Organisatorisches

- Für den ASM-Teil wird wieder die alte Praktikumswebsite verwendet (siehe Links)
- Anmeldung mit eurer TUM-Kennung (gxXXxxx)
- noch 4 Wochen mit Aufgaben, danach Projektphase
- Notenbonus-Grenze von 75% wird über *alle* Wochen hinweg berechnet

x86-64 Basics

- CISC-Architektur, 64 Bit (8 Byte Register), weit verbreitet
- nur 16 GP-Register!
- 32 Bit sign extended Immediates (mov verwendet 64 Bit!)
- kein Unterschied zwischen Instruktionsbezeichnungen für reg/reg vs reg/imm wie in RISC-V
- Aufteilung der Register in Teilregister (8B, 4B, 2B, 1B, 1B):



- Schreiben von 4B-Register löscht obere Bits!

Grundlegende Befehle

- `mov dst, src`
- `add/sub dst, src` (erster Operand sowohl src als auch dst)
- arithmetische Operationen setzen Flags, Sprünge/Branches überprüfen Flag-Register
- `cmp` entspricht `sub`, setzt aber nur Flags
- `test` entspricht `and`, setzt aber nur Flags
- Speicherzugriff (explizite Größenangabe): `add dword ptr [rax], 1`
- Warum funktioniert `mov eax, [edx]` ohne explizite Zugriffsgröße?

Stack

- kein explizites Schreiben an sp wie in RISC-V notwendig
- `push`, `pop` ändert sp automatisch
- Rücksprungadresse wird auch automatisch abgespeichert/wiederhergestellt: `call` und `ret`
- 16-Byte-Alignment vor Funktionsaufrufen wie in RISC-V

Fragen?

Links

- Zulip: „GRA Tutorium - Gruppe 20“ bzw. „GRA Tutorium - Gruppe 22“
- „Praktikumswebsite“
- x86 instruction reference by Félix Cloutier
- Bit Hacks
- x86 ASM Guide

School of Computation, Information and Technology
Technische Universität München

Übung 04: x86-Assembly

Grundlagenpraktikum Rechnerarchitektur

Niklas Ladurner

School of Computation, Information and Technology
Technische Universität München

10. Mai 2024