Universidade Federal Fluminense
Disciplina: Arquitetura de Computadores
Professor: Leandro Santiago
Projeto - Simulador do RISC-V

Simulador do RISC-V

Desenvolva um programa (C, Python ou Javascript) que simule o comportamento do RISC-V com pipelining. O programa deve receber como entrada um arquivo contendo o código binário de um programa (ou arquivo .asm) e executá-lo, exibindo, a cada ciclo:

a) Qual instrução está rodando em cada um dos 5 estágios do RISC-V;

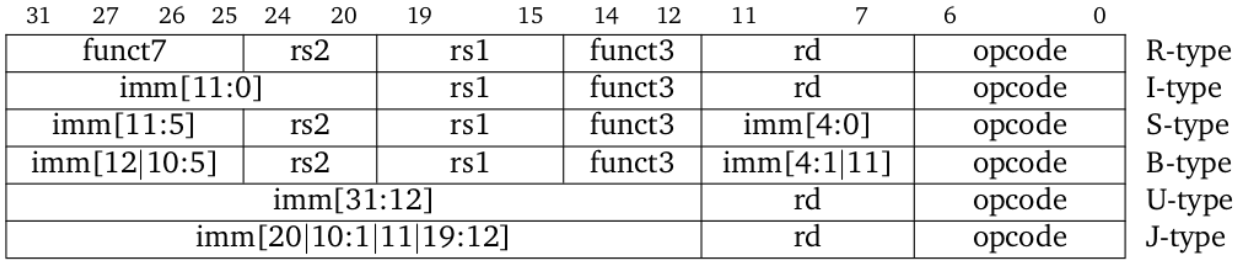
b) O valor armazenado em cada um dos 32 registradores do RISC-V ;

c) O conteúdo da memória (em hexadecimal) do endereço X ao Y.

Observação para implementação com RISC-V: Programa desenvolvido com RISC-V deve rodar no simulador RARS e deve utilizar **macros** para modularizar o código. As informações exibidas a cada ciclo indicadas nos itens a) à c) devem ser escritas num arquivo de saída com o nome **saida.out** para não poluir o terminal. No caso do item c), não precisa imprimir todos os 1000 bytes, somente as posições de memória que contém posições preenchidas, indicando o endereço da memória e o conteúdo do endereço.

O simulador deve comportar as seguintes instruções no formato do ISA do RISC-V 32 bits:

Instrução	Tipo
ADD	R
SUB	R
MUL	R
DIV	R
REM	R
XOR	R
AND	R
OR	R
SLL	R
SRL	R
ADDI	I
LW	I
SW	S
BEQ	B
BNE	B
BGE	B
BLT	B
J	J
JAL	J
JALR	I



O banco de registradores deve ser implementado por um vetor R de 32 posições inteiras (para facilitar a implementação), numeradas de 0 a 31.

Você pode conferir mais detalhes da especificação da arquitetura de 32 bits do RISC-V no link: `https://riscv.org/specifications/ratified/`.

A memória de dados será um vetor M de bytes com, no máximo 1000 posições.

O pipeline simulado deve ter as seguintes caracteríticas básicas:

- Instruções J, JALR, JAL, BEQ, BLT, BGE e BNE fazem o desvio no estágio 2 (ID). Sendo assim, deveria existir um stall de 1 ciclo para garantir o funcionamento correto. Você não precisa implementar o stall na versão básica. Isto será feito pelo programador, com uma instrução de NOP logo após as instruções de desvio, ou usando a técnica de delay slot.

- Na versão original não teremos forwarding e nem detecção de hazards. NOPs devem ser inseridos pelo programador para garantir o funcionamento correto do programa.

EXTRAS: Implementar também as seguintes opções no simulador (que podem ser ativadas/desativadas em linha de comando):

a) Implementar o mecanismo de previsão de desvio de 2 bits, incluindo o flush do pipe em caso de desvios previstos incorretamente

b) Implementar todos os forwards possíveis. No caso de dependências entre instruções de LW e outras que precisam do resultado do LW no estágio EX, deveria existir um stall de 1 ciclo para garantir o funcionamento correto. Caso não exista unidade de detecção de hazards, o stall será feito pelo programador, com uma instrução de NOP logo após as instruções de desvio, ou escalonando uma instrução para ocupar o lugar da bolha.

c) Implementar unidade de detecção de hazards de dados. Caso não exista unidade de fowarding, todos os hazards de dados devem ser detectados (gerando bolhas). Caso exista unidade de forward, somente detecte os hazards de dados não tratados por forwarding.

O projeto pode ser feito em grupo de até 4 alunos e a entrega do trabalho deve ser feita enviando um arquivo compactado contendo:

a) O código fonte do simulador com todos os arquivos associados

b) O binário e fonte dos programas em assembly usados para teste

c) Um ppt com uma apresentação sobre o projeto

d) Um arquivo README.txt descrevendo como utilizar o simulador