

Disciplina: INF01058 - Circuitos Digitais
Professor: Mateus Grellert

Laboratório 4: Divisor de Frequência

Objetivo:

Projetar e simular um divisor de frequência utilizando circuitos sequenciais elementares.

Instruções:

Como vimos em aula, os circuitos digitais possuem, além de unidades combinacionais, elementos sequenciais que permitem armazenar o estado intermediário dos sinais de um componente. A introdução do estado permite descrevermos circuitos que realizam operações em passos (como algoritmos). Utilizamos um sinal especial chamado de *clock* (sinal de relógio) para discretizar os passos das operações no tempo. Na prática, esse sinal de clock passa a ser o sinal de controle dos *flip-flops*.

O sinal de *clock* é gerado por circuitos geradores especiais chamados osciladores. A saída de um oscilador é um pulso que transiciona entre os estados 0 e 1 em um período fixo (t_{clk}), gerando uma frequência de oscilação equivalente a $1/t_{clk}$, medida em Hertz (F_{clk}).

No entanto, é bastante comum desenvolvermos circuitos que trabalham a diferentes taxas de processamento, com passos que levam mais tempo do que t_{clk} dependendo dos elementos lógicos que compõem cada circuito. Nesses casos, podemos desenvolver o que chamamos de **divisores de frequência**, isto é, circuitos que geram divisores da frequência inicial F_{clk} , permitindo que mais de um sinal de *clock* seja disponibilizado para os componentes. A Fig. 1 apresenta como um divisor de *clock* pode ser implementado através de *flip-flops* tipo D, e a Fig. 2 apresenta as formas de onda resultantes.

Fig. 1 - Circuito divisor de *clock* utilizando um *flip-flop* tipo D.

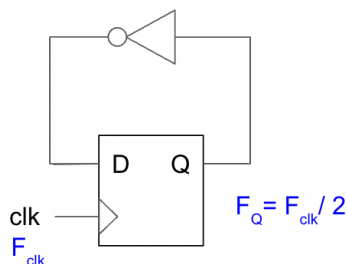
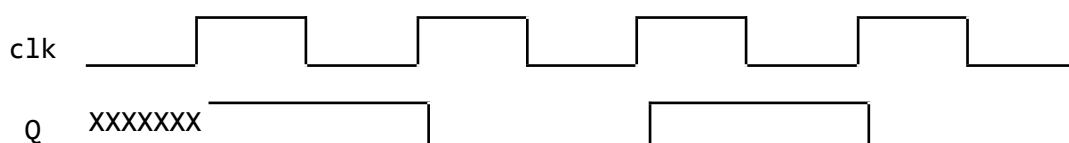
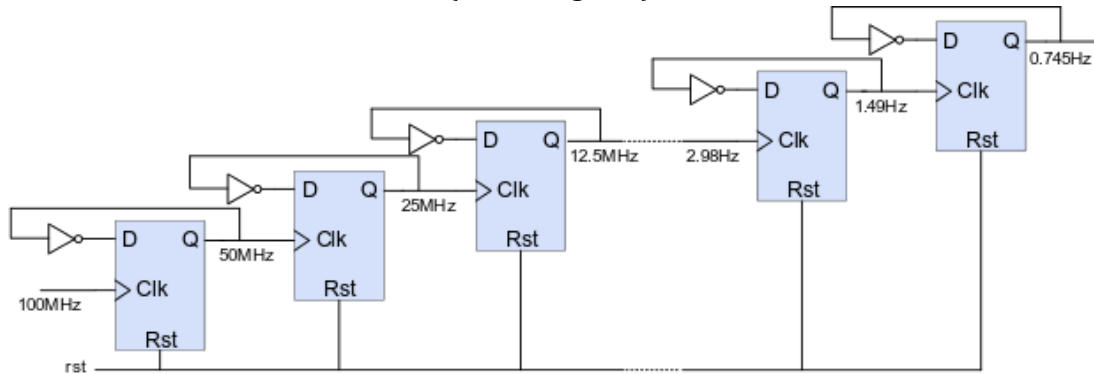


Fig. 2 - Diagrama de forma de onda do circuito demonstrado na Fig. 1.



Esse comportamento pode ser propagado para gerar diferentes divisores da frequência inicial através da conexão de diversos flip-flops em cascata, conforme mostrado na Fig. 3.

Fig. 3 - Circuito divisor de *clock* utilizando *flip-flops* tipo D em cascata.
(Fonte: Digilent).



Sua tarefa para este laboratório é implementar um divisor de clock que recebe um sinal inicial de clock com frequência de 50 MHz e gera um sinal de saída equivalente a 0,745 Hz (pouco mais de 1s por ciclo).

Avaliação:

Cada dupla deverá apresentar os dois circuitos solicitados, funcionando corretamente, com simulações em forma de onda. O prazo para a apresentação desta atividade é a aula de laboratório seguinte.

No dia da apresentação, os alunos devem saber:

- Consumo de recursos em área (número de LUTs e registradores)
- Atraso crítico do circuito
- Realizar simulação com atraso do circuito

Entrega no Moodle:

Arquivo ZIP com padrão de nome **cartao1_cartao2.zip** contendo SOMENTE:

- Pasta com projeto do Quartus (incluindo arquivos e diretórios criados pela ferramenta).
- Captura de tela da simulação em forma de onda (pode ficar dentro da pasta do projeto Quartus).