

实验十一：触发器（二）实验报告

一、实验目的

1. 掌握 74LS74（D 触发器）的引脚排列及功能
2. 掌握同步时序电路的设计方法

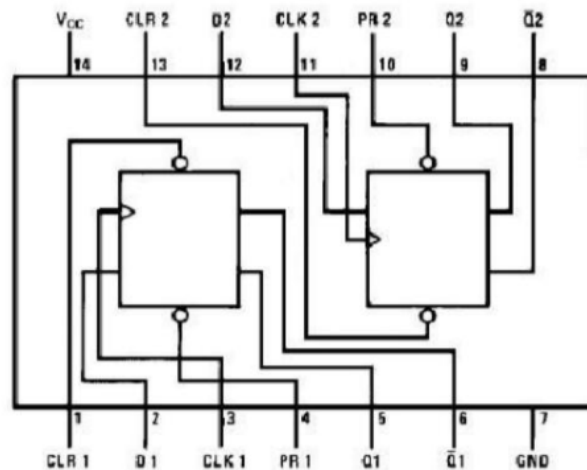
二、实验原理

1. 74LS74 芯片的管脚图

74ls74概述

74LS74这个集成块是一个双D触发器，其功能比较的多，可用作寄存器，移位寄存器，振荡器，单稳态，分频计数器等功能。除此之外，像数字电路总的集成块的用途都是相当的多，根据情况灵活的运用。

74ls74引脚图及功能



2. 74LS74 芯片的真值表

74ls74真值表

输入				输出	
S_D	R_D	CP	D	Q_{n+1}	Q_{n+1}
0	1	x	x	1	0
1	0	x	x	0	1
0	0	x	x	φ	φ
1	1	\uparrow	1	1	0
1	1	\uparrow	0	0	1
1	1	\downarrow	x	Q_n	Q_n

3. 同步时序逻辑电路的设计方法

- 1) 逻辑抽象，得出电路的状态转换图或状态转换表
- 2) 状态化简
- 3) 状态分配
- 4) 选定触发器的类型，求出电路的三个方程
- 5) 根据得到的方程画出电路逻辑图
- 6) 检查设计的电路是否能够自启动

4. 同步计数器的设计

- 1) 同步计数器中，时钟脉冲输入时各个触发器的翻转是同时发生的
- 2) 同步计数器的设计方式有两种：
 - a. 一种是控制输入端的状态，每当 CLK 信号到来时，使该翻转的哪些触发器的输入控制端有效，其余的无效
 - b. 另一种使控制时钟信号，每次计数脉冲到来时，只能加在该翻转

的那些触发器的 CLK 输入端上，同时所有触发器的输入控制端都设置为有效。

三、 实验仪器

实验箱、74LS74(D 触发器)、导线若干

四、 实验内容

1. 按照 42 页表 3-6 对 74LS74 的功能进行静态测试
2. 利用 74LS74 设计异步四进制加法计数器
3. 设计同步五进制加法计数器和减法计数器
4. 设计异步五进制加法计数器和减法计数器

五、 实验结果

1. 74LS74 的功能的静态调试

2. 74LS74 设计异步四进制计数器

有了上节课的设计经验，这次的设计变得容易了些：

- 1) 由于是异步的时序电路，所以我们将第一个 D 触发器的 CLK 接在单脉冲提供上升沿触发
- 2) 然后将第一个 D 触发器的 D 和反相输出 $Q1'$ 接在第二个触发器的 CLK 上
- 3) 然后两个触发器的输出 $Q2$ $Q1$ 便构成了四进制计数器

3. 设计同步五进制加法计数器

使用两片 74LS74 芯片（实际使用三个 D 触发器）来完成设计

当状态为 100 时下一个状态跳转为 000

通过输出的 Q 来反馈控制 D 的变化

六、 实验收获

1. 掌握了 74LS74 的功能和引脚图
2. 提高了同步和异步时序电路的设计能力