

# 实验九： D 触发器和累加器实验报告

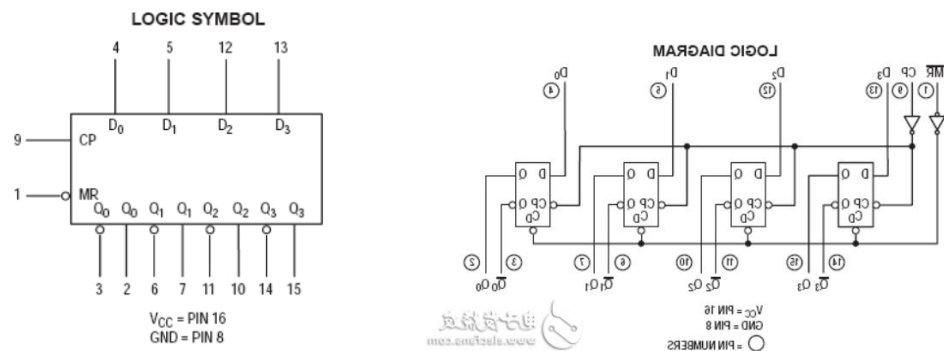
## 一、 实验目的

1. 掌握 D 触发器 74LS175 的引脚排列及功能
2. 尝试将 74LS175 和 74LS181 组合成一个累加器

## 二、 实验原理

### 1. 74LS175 引脚排列图及内部结构图

74ls175管脚功能和内部结构图



我们可以知道其中包含了四个 D 型触发器

### 2. 74LS175 的真值表

输入						输出			
$R_D$	$CP$	$1D$	$2D$	$3D$	$4D$	$1Q$	$2Q$	$3Q$	$4Q$
L	×	×	×	×	×	L	L	L	L
H	↑	$1D$	$2D$	$3D$	$4D$	$1D$	$2D$	$3D$	$4D$
H	H	×	×	×	×	保持			
H	L	×	×	×	×	保持			

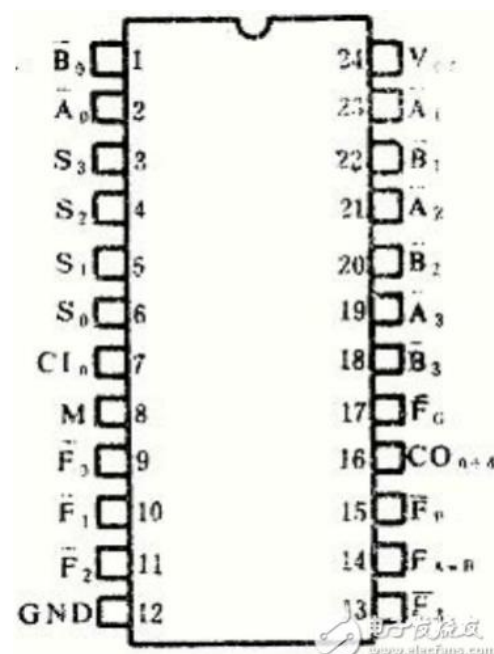
我们可以知道在时钟信号的上升沿部分，输出的次态与输入一致

即： $Q_{n+1} = D$

### 3. 74LS181 S3-S0 对应功能

方式					M=1 逻辑运算	M=0 算术运算	
S3	S2	S1	S0		逻辑运算	CN=1 (无进位)	CN=0 (有进位)
0	0	0	0		$F = /A$	$F = A$	$F = A \text{ 加} 1$
0	0	0	1		$F = / (A+B)$	$F = A+B$	$F = (A+B) \text{ 加} 1$
0	0	1	0		$F = (/A)B$	$F = A+/B$	$F = (A+/B) \text{ 加} 1$
0	0	1	1		$F = 0$	$F = \text{负} 1 \text{ (补码形式)}$	$F = 0$
0	1	0	0		$F = / (AB)$	$F = A \text{ 加 } A(/B)$	$F = A \text{ 加 } A/B \text{ 加} 1$
0	1	0	1		$F = /B$	$F = (A+B) \text{ 加 } A/B$	$F = (A+B) \text{ 加 } A/B \text{ 加} 1$
0	1	1	0		$F = A \oplus B$	$F = A \text{ 减 } B \text{ 减} 1$	$F = A \text{ 减 } B$
0	1	1	1		$F = A/B$	$F = A (/B) \text{ 减} 1$	$F = A (/B)$
1	0	0	0		$F = /A+B$	$F = A \text{ 加 } AB$	$F = A \text{ 加 } AB \text{ 加} 1$
1	0	0	1		$F = / (A \oplus B)$	$F = A \text{ 加 } B$	$F = A \text{ 加 } A \text{ 加} 1$
1	0	1	0		$F = B$	$F = (A+/B) \text{ 加 } AB$	$F = (A+/B) \text{ 加 } AB \text{ 加} 1$
1	0	1	1		$F = AB$	$F = AB \text{ 减} 1$	$F = AB$
1	1	0	0		$F = 1$	$F = A \text{ 加 } A$	$F = A \text{ 加 } A \text{ 加} 1$
1	1	0	1		$F = A+/B$	$F = (A+B) \text{ 加 } A$	$F = (A+B) \text{ 加 } A \text{ 加} 1$
1	1	1	0		$F = A+B$	$F = (A+/B) \text{ 加 } A$	$F = (A+/B) \text{ 加 } A \text{ 加} 1$
1	1	1	1		$F = A$	$F = A \text{ 减} 1$	$F = A$

### 4. 74LS181 引脚图及对应功能



#### 引出端符号

A0~A3运算数输入端（低电平有效）

B0~B3运算数输入端（低电平有效）

CIn进位输入端COn+4进位输出端

F0~F3运算输出端（低电平有效）

FA-B比较输出端

FG进位产生输出端（低电平有效）

FP进位传输输出端（低电平有效）

M工作方式控制

S0~S3功能选择

### 三、 实验仪器

实验箱，74LS181 芯片，74LS175 芯片，导线若干

#### 四、 实验内容

1. 静态测试 D 触发器 74LS175 的功能，要求四位同时测试
2. 按第 38 页图 3-7 连接累加器电路，验证功能（使用 74LS175, 74LS181）。首先认真阅读题目，仔细理解题目要求和意义。实验时，手动控制器运算累加速度，使其累加结果从零开始，每次 +1，知道累加结果溢出。

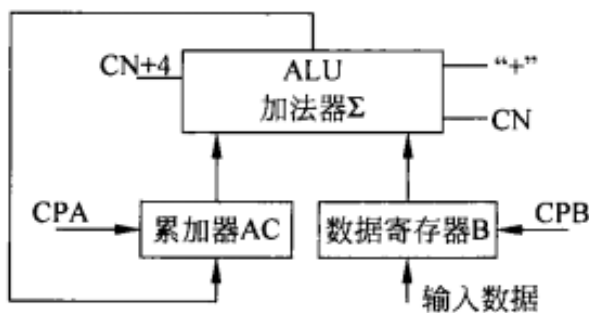


图 3-7 加法器逻辑框图

#### 五、 实验结果

1. 74LS175 功能验证
  2. 74LS175 和 74LS181 组合为累加器（使用单脉冲作为时钟信号）
- 具体的实现思路：

根据图 3-7 加法器的逻辑框图，我们使用 74LS175 作为累加器和数据寄存器，使用 74LS181 的加法运算单元来实现加法器。

我们将 74LS175 的 CP 端（也就是时钟信号输入端）接在单脉冲实现手动累加。将 74LS175 的输出端 Q3-Q0 分别接入 74LS181 的 A3-A0 (B3-B0 也可)，然后 B3-B0 (A3-A0) 接入 0001 表示从 1 开始累加。由于累加的前一个状态对其下一个状态有影响，所以将 74LS181 输出

的 F3-F0 接回 74LS175 的 D3-D0，同时将 Q3/-Q0/接入实验箱上方的显示灯观察累加的状态。其余端口按照 74LS175 和 74LS181 的要求连接好，即可实现手动按单脉冲来实现累加器的每次+1 的功能。

## 六、实验收获

1. 了解了 74LS175, 74LS181 的管脚图和功能实现
2. 提高了尝试通过分析逻辑框图，将几种芯片组合实现具体功能的分析能力
3. 提高了数字逻辑实验的动手能力和思考能力