

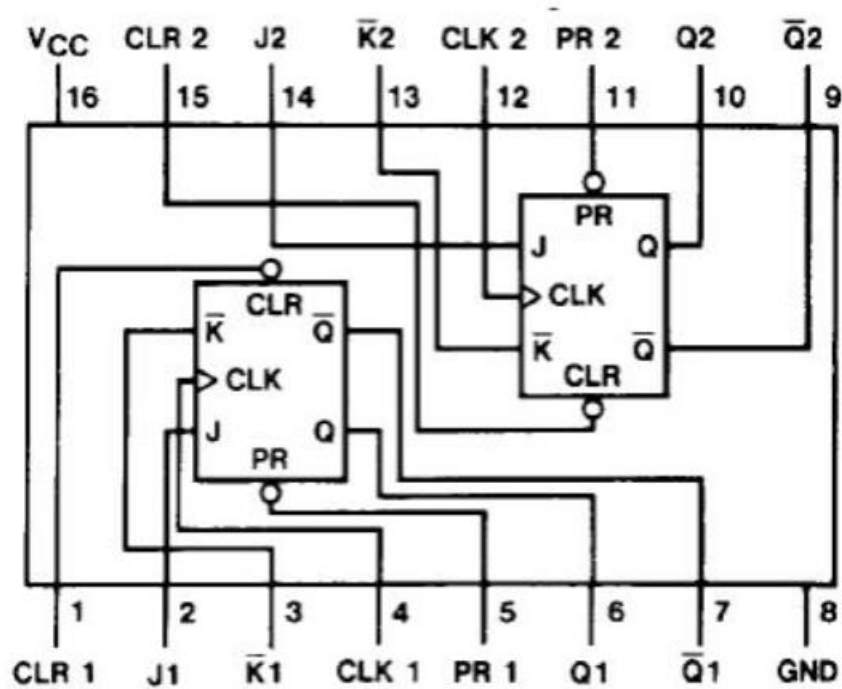
实验十：触发器（一）

一、 实验目的

1. 掌握 74LS109（JS 触发器）的引脚排列和功能
2. 掌握异步和同步时序电路的设计方法，使用 74LS109 设计异步和同步的四进制加法计数器

二、 实验原理

74LS109引脚图及功能



741s109功能表

Inputs					Outputs	
PR	CLR	CLK	J	\bar{K}	Q	\bar{Q}
L	H	X	X	X	H	L
H	L	X	X	X	L	H
L	L	X	X	X	H*	H*
H	H	\uparrow	L	L	L	H
H	H	\uparrow	H	L	TOGGLE	
H	H	\uparrow	L	H	Q0	$\bar{Q}0$
H	H	\uparrow	H	H	H	L
H	H	L	X	X	Q0	$\bar{Q}0$

三、 实验仪器

实验箱、74LS109 芯片（JK 触发器）、导线若干

四、 实验内容

1. 认真领悟 41 页“时序电路的设计与测试”
2. 分别改变 CD 和 SD，观察 Q 的状态
3. 对 74LS109 的功能的静态测试
4. 使用 JK 触发器设计一个异步四进制加法计数器
5. 使用 JK 触发器设计一个同步四进制加法计数器

五、 实验结果

1. 74LS109 静态测试

2. 实现异步四进制加法计数器

具体方法：将两个 JK 触发器的 JK 都调成 10，然后将第二个 JK 触发器的 CLK 输入接在第一个 JK 触发器的输出 Q 上，第一个 JK 触发器的 CLK 接在单脉冲按钮处，两个触发器的 Q/ 作为显示输出，便能实现四进制加法计数器

六、实验收获

1. 掌握了 74LS109（JK 触发器）的使用方法
2. 学着尝试设计同步或者异步的时序电路