

Trabajo Práctico CLP

Carrera de Especialización en Sistemas Embebidos

Laura Moreno

Octubre 2025

Introducción

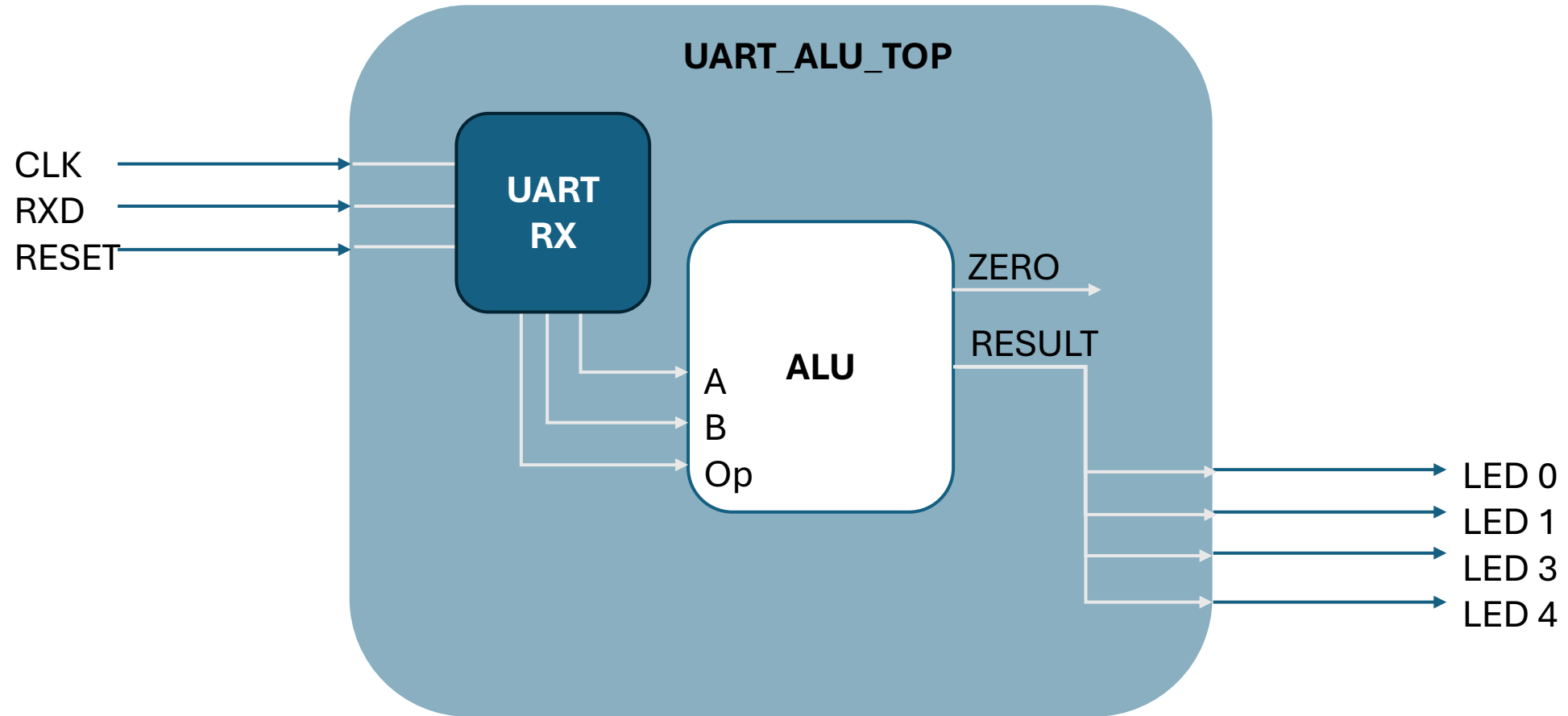
- Este proyecto implementa una **ALU** (unidad aritmética lógica) **de 4 bits**, empleando **VHDL** como lenguaje de descripción de hardware.
- El diseño fue verificado mediante **simulaciones y validado** en la placa **Arty Z7-10**, utilizando **UART** como interfaz de entrada y **leds** como interfaz de salida.

Limitaciones

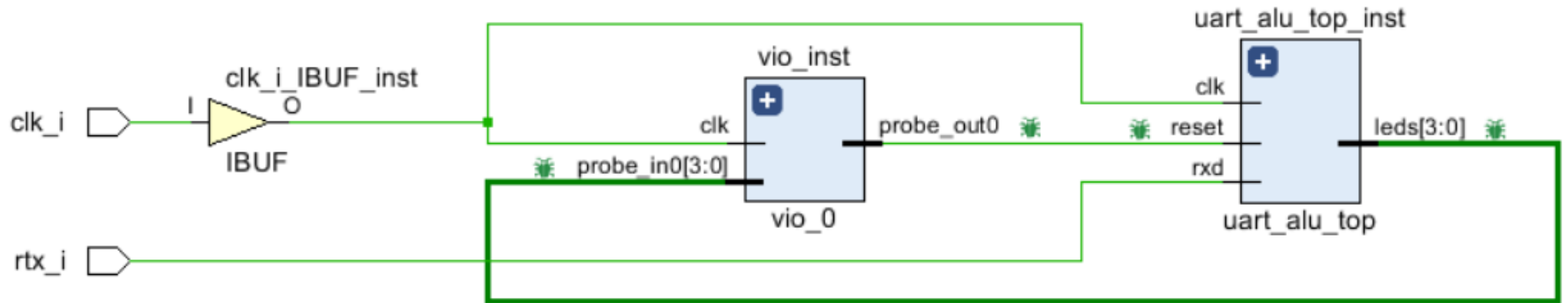
- Ancho de palabra fijo: 4 bits (con signo)
- Sin control de errores en UART
- Interfaz de usuario limitada
- Ausencia de retroalimentación al transmisor
- Operaciones limitadas

Operación	Código Op
+	0
-	1
AND	2
OR	3
XOR	4
NOT	5
<<	6
>>	7

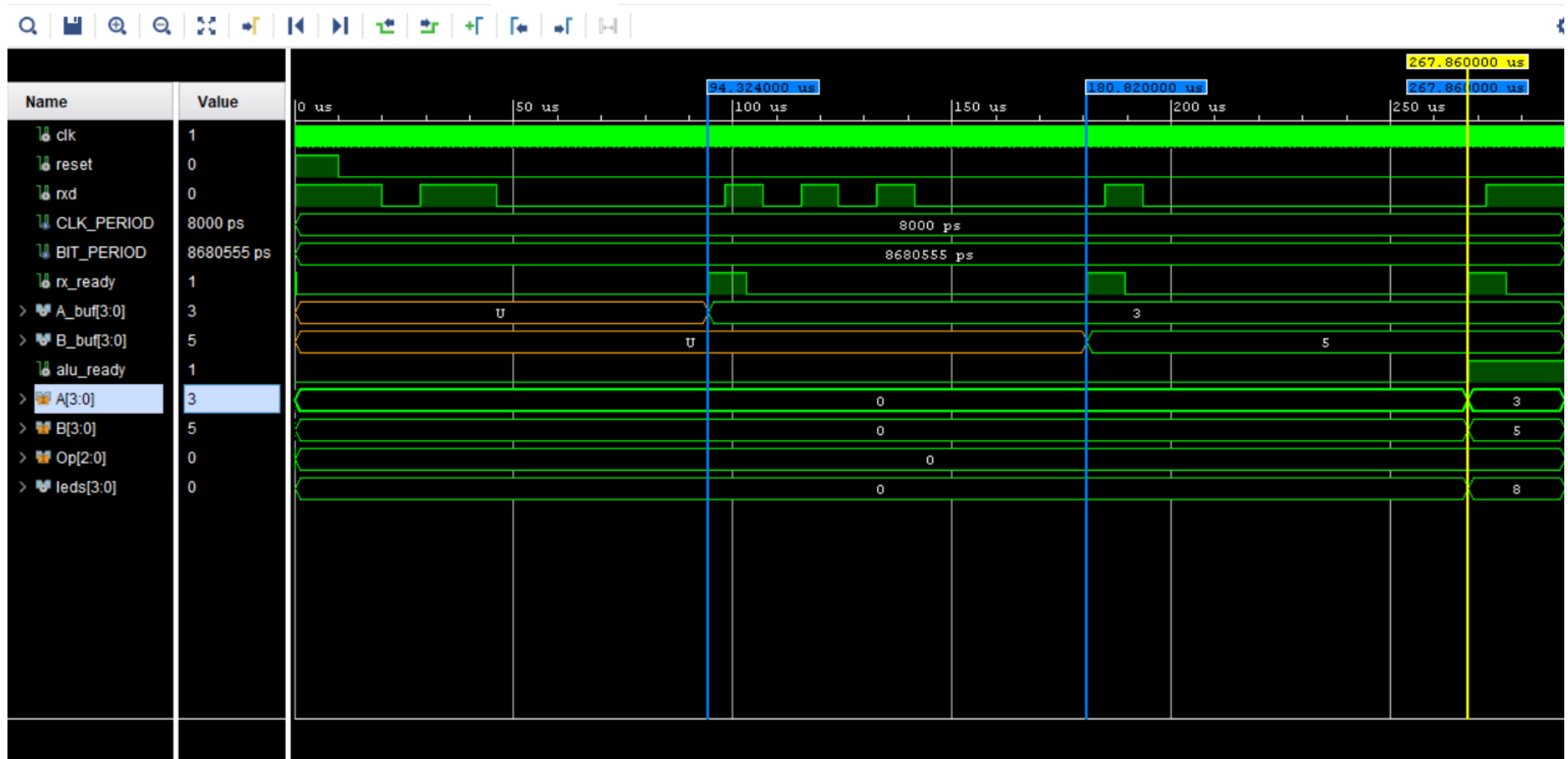
Diagrama de bloques



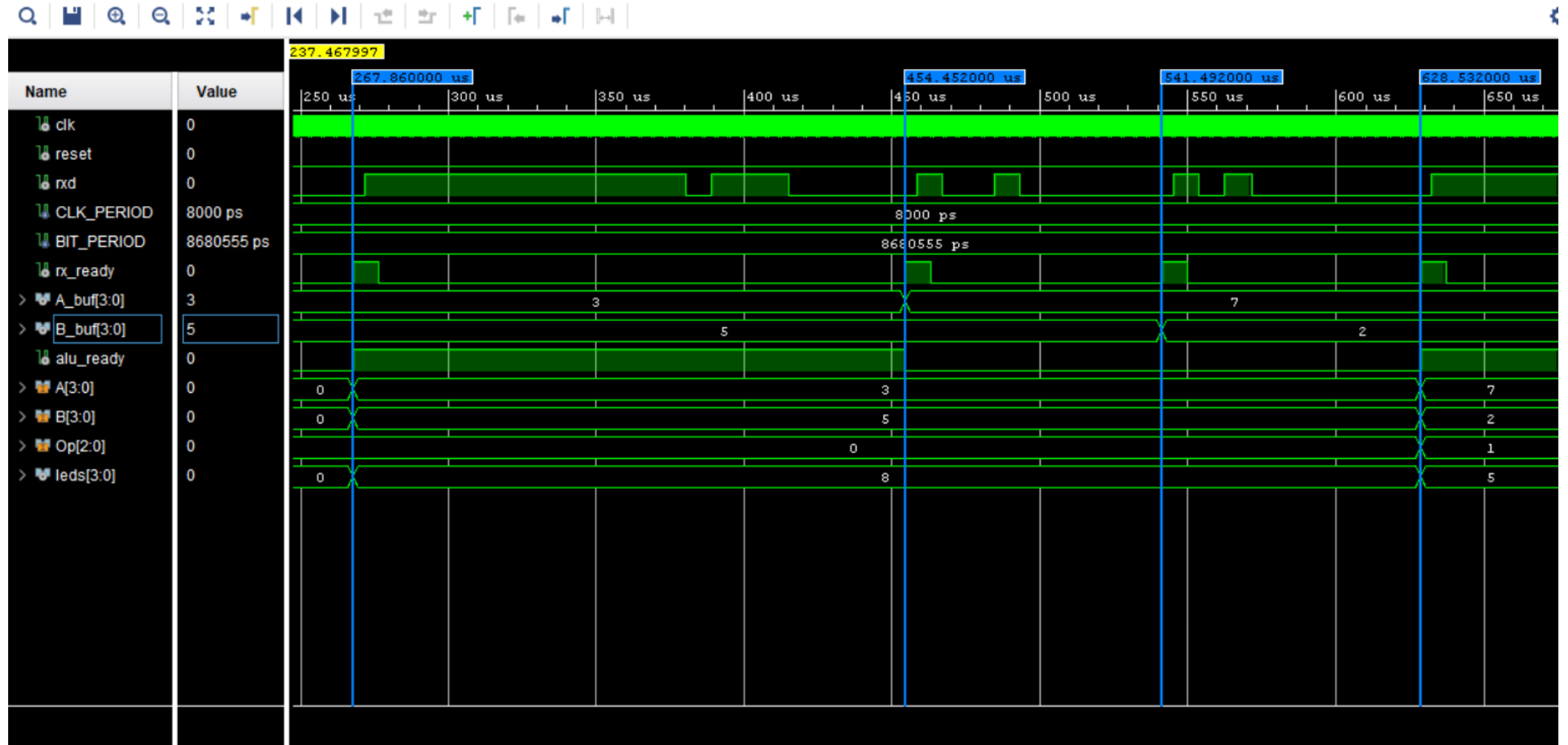
Esquemático Vivado



Simulación Suma
















Simulación Resta



DEMO

Utilizado el Hardware Manager de Vivado con conexión al servidor remoto

Tabla de uso de recursos

Hierarchy						
Name	^	Slice LUTs (17600)	Slice Registers (35200)	F7 Muxes (8800)	Bonded IOB (100)	BUFGCTRL (32)
▼ N uart_alu_top_VIO	1	159	319	3	2	1
 dbg_hub (dbg_hub_CV)		0	0	0	0	0
▼  uart_alu_top_inst (uart_alu_top)		49	53	3	0	0
▼  UartRX (uart_rx)		37	26	0	0	0
 meta_harden_rxd_i0 (meta_harden)		0	2	0	0	0
 uart_baud_gen_rx_i0 (uart_baud_gen)		8	8	0	0	0
 uart_rx_ctl_i0 (uart_rx_ctl)		29	16	0	0	0
▼  vio_inst (vio_0)		110	266	0	0	0
▼  inst (vio_0_vio_v3_0_18_vio)		110	266	0	0	0
 DECODER_INST (vio_0_vio_v3_0_18...		21	49	0	0	0
 PROBE_IN_INST (vio_0_vio_v3_0_18...		10	34	0	0	0
▼  PROBE_OUT_ALL_INST (vio_0_vio_v3...		2	6	0	0	0
 G_PROBE_OUT[0].PROBE_OUT0_I...		1	2	0	0	0
 U_XSDB_SLAVE (vio_0_xsdb_v1_0_...		77	161	0	0	0

Gracias