

第一章

1. 冯诺依曼计算机的基本设计思想是什么？

答：（1）采用二进制，机器用二进制表示数据和指令。

（2）存储程序，将程序和数据存放在存储器中。

（3）程序控制，计算机在工作时从存储器取出指令加以执行，自动完成计算任务。

（4）指令的执行是顺序的，即一般按照指令在存储器中存放的顺序执行。

（5）计算机由存储器、运算器、控制器、输入设备和输出设备五大基本部件组成。

2. 什么是总线，简述各类总线的应用场合？

答：（1）总线（Bus）是计算机各种功能部件之间传送信息的公共通信线，它是 CPU、内存、输入、输出设备传递信息的公用通道。

（2）按总线功能或信号类型来分，有数据总线、地址总线和控制总线。

（3）按总线的层次结构分为，有：

①CPU 片内总线：微机系统中速度最快的总线，连接 CPU 内部运算器、寄存器和控制器。

②系统总线：CPU 和主板器件之间以及 CPU 到高速外设之间的快速信息通道。

③通信总线：也称为外部总线，是微机与微机，微机与外设之间进行通信的总线。

3. 说明微型计算机系统的工作过程

答：微型计算机的基本工作过程是执行程序的过程；也就是 CPU 自动从程序存放的第 1 个存储单元起，逐步取出指令、分析指令，并根据指令规定的操作类型和操作对象，执行指令规定的相关操作。如此重复，周而复始，直至执行完程序的所有指令，从而实现程序的基本功能。

4. 微处理器、微型计算机和微型计算机系统三者之间有什么不同？

答：（1）微处理器：将运算器与控制器集成在一起，是微型计算机的核心。

（2）微型计算机是由微处理器、存储器、输入/输出接口电路和系统总线构成的裸机系统。

（3）微型计算机系统是以微型计算机为主机，配上系统软件和外设构成的计算机系统。

（4）三者之间是有很大的不同的，微处理器是微型计算机的一个组成部分，而微型计算机又是微型计算机系统的一个组成部分。

5. 触发器、寄存器及存储器之间有什么关系？

答：触发器是计算机的记忆装置的基本单位，由晶体管原件、门电路组成，是寄存器、存储器的基本组成单元，能够稳定地存储一位二进制代码。

寄存器由触发器构成，用来存储运算数据。包括缓冲寄存器、移位寄存器、计数器和累加器等。一个触发器组成一位寄存器，多个触发器组成一个多位寄存器。

存储器由寄存器组成，是一个寄存器堆，每个存储单元相当于一个缓冲寄存器。存储器是计算机中的主要存储部件，能保存数据信息。主要分为主存和辅存，主存分为 RAM 和 ROM。

第二章

1. 简述 8086 和 8088 有什么不同？

答：① 8088 有 8 位数据总线，只有 8 个地址/数据复用引脚；

而 8086 有 16 位数据总线，有 16 个地址/数据复用引脚；

②在最小模式时，8088 和 8086 的第 28 引脚（M/IO）的控制信号高低电平相反。

③ 8086 的第 34 腿为 BHE，用来区分是传送字节、还是字，

8088 的第 34 腿为 SS0，用来指出状态信息，不能复用。

④ 8088 和 8086 的内部指令队列长度不同，8088 的为 4 字节长，而 8086 的为 6 字节长。

2. 8086/8088CPU 的内部结构分为哪两大模块，各自的主要功能是什么？

答：（1）按功能可分成两大部分：执行单元（EU）和总线接口单元（BIU）。

（2）执行单元（EU）：由 8 个通用寄存器、1 个标志寄存器、算术逻辑运算单元 ALU 及 EU 控制单元组成。EU 从 BIU 指令队列寄存器中获得指令和待处理数据进行操作。

负责指令译码和执行。

（3）总线接口单元（BIU）：包括 4 个段寄存器、1 个指令指针寄存器 IP、1 个指令队列、和 20 位地址加法器。负责物理地址形成、取指令、指令排队、读写操作数和总线控制。

（4）BIU 负责取指令，EU 负责指令的执行，它们之间既互相独立又互相配合，使得 CPU 可以在执行指令的同时进行取指令的操作，即实现了取指令和执行指令的并行工作，提高了 CPU 和总线的利用率，从而提高了指令的处理速度。

3. 简述流水线技术，8086 怎样实现了最简单的指令流水线？

答：（1）流水线是指在程序执行时多条指令重叠进行操作的一种并行处理实现技术。

（2）流水线的并行处理是指完成一条指令的各个部件在时间上是可以同时重叠工作，分别同时为多条指令的不同部分进行工作，以提高各部件的利用率来。

（3）流水线技术是把一个重复的过程分解为若干子过程，每个子过程由专门的功能部件来实现，每个子过程与其他子过程并行进行。

（4）8086 中，指令的读取是在 BIU 单元，而指令的执行是在 EU 单元。因为 BIU 和 EU 两个单元相互独立、分别完成各自操作，所以可以并行操作。

（5）在 EU 单元对一个指令进行译码执行时，BIU 单元可以同时后续指令进行读取。

4. 8086 处理器的输入控制信号有 RESET、HOLD、HLDA、NMI、INTR、INTA、ALE 其含义各是什么？当他们有效时，8086CPU 将出现何种反应？

答：RESET：复位输入信号，高电平有效。该引脚有效时，将迫使处理器回到其初始状态；转为无效时，CPU 重新开始工作。

HOLD：总线请求，是一个高电平有效的输入信号。有效时，表示其他总线主控设备向处理器申请使用原来由处理器控制的总线。

HLDA 总线请求响应信号。

NMI：不可屏蔽中断请求，是一个利用上升沿有效的输入信号。该引脚信号有效时，表示外界向 CPU 申请不可屏蔽中断。

INTR：可屏蔽中断请求，是一个高电平有效的输入信号。该引脚信号有效时，表示中断请求设备向处理器申请可屏蔽中断。

$\overline{\text{INTA}}$ 中断响应信号，在中断响应过程中，CPU 向 8259A 的 INTR 引脚发 2 个负脉冲。作用：第一个负脉冲通知 8259A，CPU 允许中断请求，要求送中断类型；第二个负脉冲，8259 传输中断类型码。

ALE 是地址锁存允许信号，在任何总线周期的 T1 状态，ALE 输出有效电平，以表示当前在地址/数据复用总线上输出的是地址信息。

5. 什么是 8086 中的逻辑地址和物理地址？逻辑地址如何转换成物理地址？

答：（1）逻辑地址：在处理器内部、程序员编程时采用逻辑地址，采用“段地址：偏移地址”形式。

(2) 物理地址：在处理器地址总线上输出的地址称为物理地址。每个存储单元有一个唯一的物理地址。

(3) 逻辑地址转换成物理地址：逻辑地址由处理器在输出之前转换为物理地址。将逻辑地址中的段地址左移二进制 4 位（对应十六进制乘以 16），加上偏移地址就得到 20 位物理地址。

- ①数据段的段地址在 DS 寄存器中，段内偏移地址可能在 BX、BP、SI 或 DI 寄存器中。
- ②代码段的段地址在 CS 寄存器中，段内偏移地址在 IP 寄存器中。
- ③栈段的段地址在 SS 寄存器中，段内偏移地址在 SP 寄存器中。
- ④附加段的段地址在 ES 寄存器中。

6. 论述指令周期、总线周期和时钟周期之间的关系。如果在存储器读周期时，存储器的速度较慢，无法与 CPU 匹配应采取什么措施？

答：(1) 执行一条指令所需要的时间称为指令周期；

(2) CPU 同外部设备或内存储器之间进行信息交换过程所需要的时间称为总线周期，即启用一次总线进行读或写的时间；

(3) 时钟脉冲的重复周期称为时钟周期，它是 CPU 主频的倒数；

(4) 一个指令周期由若干个总线周期组成，一个总线周期又由若干个时钟周期组成；

(5) 8086CPU 的总线周期至少由 4 个时钟周期组成，当外设不能在 CPU 规定时间内准备好数据时，要在总线周期中插入等待周期。

(6) 如果存储器的存取速度较慢，可设计一个等待电路向 CPU 发出请求延长总线周期的 READY 信号，CPU 接到此信号后就在 T3 和 T4 之间插入若干个等待周期 TW。

7. 什么是中断源？中断的类型及各类中断的特点。

答：(1) 引起中断的原因或事件，包括计算机系统内部或外部事件。

(2) 中断分为外部中断和内部中断。

(3) 外部中断来自主机之外，如外部设备和硬件故障产生的中断等。

包括可屏蔽中断和非屏蔽中断。受中断标志位控制的可进行允许或禁止操作的中断，称为可屏蔽中断；必须立刻响应的中断请求，如电源掉电、机器故障等，不受中断标志位控制的中断称非屏蔽中断。

(4) 内部中断是指中断源来自主机内部，又称软件中断，包括溢出中断、除法出错中断、单步中断、INT n 指令中断。其特点有：

- ①中断类型码或者包含在指令中，或者是预先规定的；
- ②不执行 INTA 总线周期；
- ③除单步中断外，任何内部中断都无法禁止；
- ④除单步中断外，任何内部中断的优先级都比任何外部中断的高。

8. 简述 8086 微机系统中硬件中断和软件中断的区别。

①硬件中断由硬件产生，通过 INTR 和 NMI 引脚发送给 CPU，软件中断由软件的中断指令或其他异常产生。(3 分)

②硬件中断的中断号由中断控制器提供；软件中断的中断号在指令中提供或隐含，不需要中断控制器。(3 分)

③硬件中断具有随机性，软件中断具有确定性。(2 分)

④大部分硬件中断需要 CPU 发送响应信号，软件中断不需要。(1 分)

⑤硬件中断除 NMI 之外均可以屏蔽，软件中断不能屏蔽。（1 分）

9. 什么是中断?什么是中断向量?中断向量的地址范围?

答：（1）中断就是 CPU 在执行当前程序时由于内外部事件引起 CPU 暂时停止当前正在执行的程序而转向执行请求 CPU 暂时停止的内外部事件的服务程序，该程序处理完后又返回继续执行被停止的程序；

中断的作用：①主机与外部设备可以并行工作；②实现实时处理；③硬件故障及时处理；④实现多道程序和分时操作。

（2）中断向量是中断处理子程序的入口地址；

（3）地址范围是 00000H-003FFH。

10. CPU 相应可屏蔽中断的条件是什么?

答：（1）外设有可屏蔽中断请求；

（2）没有其他优先级高的中断请求。（没有内部中断，没有非屏蔽中断，没有总线请求。

（3）中断接口中的中断允许触发器置 1

（4）CPU 必须处于开中断状态 IF=1

（5）CPU 现行指令执行结束

11. 外设向 CPU 申请中断，但 CPU 不予以相应，原因有哪些?

答：①CPU 处于关中断状态，IF=0。

②该中断请求已被屏蔽。

③该中断请求的时间太短，未能保持到指令周期结束。

④ CPU 已释放总线，而未收回总线控制权。

12. 以可屏蔽中断为例，说明一次完整的中断过程主要包括哪些环节?

答：中断请求：外设通过硬件信号的形式、向处理器引脚发送有效请求信号。

中断响应：在满足一定条件时，处理器进入中断响应总线周期。

断点保护：处理器在响应中断后将自动保护断点地址。

中断源识别：处理器识别出当前究竟是哪个中断源提出了请求，并明确与之相应的中断服务程序所在主存位置。

现场保护：对处理器执行程序有影响的工作环境（主要是寄存器）进行保护。

中断服务：处理器执行相应的中断服务程序，进行数据传送等处理工作。

恢复现场：完成中断服务后，恢复处理器原来的工作环境。

中断返回：处理器执行中断返回指令，程序返回断点继续执行原来的程序。

第三章

1. 简述半导体存储器的主要技术指标。

答：（1）存储容量。存储器可以存储的二进制信息总量称为存储容量。存储容量有两种表示方法：

①位表示方法。以存储器中的存储地址总数与存储字位数的乘积表示。如 $1K \times 4$ 位，表示该芯片有 1K 个单元（ $1K=1024$ ），每个存储单元的长度为 4 个二进制位。

②字节表示方法。以存储器中的单元总数表示（一个存储单元由 8 个二进制位组成，称为一个字节，用 B 表示）。如 128B，表示该芯片有 128 个单元。

（2）存储速度。

“存取时间”：定义为从启动一次存储器操作到完成该操作所经历的时间；

“存储周期”，定义为启动两次独立的存储器操作之间所需的最小时间间隔。

(3) 可靠性。存储器的可靠性用平均故障间隔时间 MTBF 来衡量。越长，可靠性越高。

(4) 性能/价格比。

2. RAM 有几种，各有什么特点？ROM 有几种，各有什么特点？

答：RAM 有两种：

(1) SRAM(静态 RAM)，速度快，采用触发器电路保存二进制信息；

(2) DRAM(动态 RAM)，集成度高，速度慢，采用电容存储电荷原理，漏电，需要刷新。

(3) ROM 有 5 种，固定掩摸编程 ROM、可编程 PROM、紫外光擦除可编程 EPROM、电可擦除的可编程 EEPROM 和闪速存储器。

3. ROM、PROM、EPROM 和 EEPROM 在使用上各有什么特点？

①ROM 为只读存储器，制造时数据就已经固化好（1 分），使用中不可以改变（1 分）。

②PROM 为一次可编程只读存储器，出厂时内容为空白（1 分），只可以写入一次数据（1 分）。

③EPROM 为可擦除只读存储器，出厂时内容为空白（1 分），写入数据后可以通过紫外线照射擦除（1 分），可以多次写入和擦除（1 分）。

④EEPROM 为电可改写只读存储器，出厂时内容为空白（1 分），写入数据后可以使用电信号擦除（1 分），可以多次写入和擦除（1 分）。

4. 简述存储器系统的 3 级层次结构及各层存储部件特点。

答：(1) 为解决容量、速度和价格的矛盾，存储系统采用 3 级层次结构，单位价格和速度自上而下逐层减少，容量自上而下逐层增加。

(2) 存储系统的各层存储部件自上而下依次是：高速缓存、内存（主存 (RAM/ROM)），外存（辅助）如磁盘、光盘等。

高速缓存器集成在 CPU 芯片或主存上，用于暂存主存和处理器交互的数据，以减少频繁读取主存而影响处理器速度；

内存储器则可和处理器直接交换数据；

外存储器必须经过主存存储器，才可与处理器进行数据交换。

5. 在 8086 微处理器构成的系统中，什么是存储器的规则字和非规则字？8086 微处理器对一个规则字和一个非规则字读写时，有什么差别？

① 规则字是在存储器中存储的起始地址为偶数（地址最低位 A_0 为 0）的字数据，非规则字是指在存储器中存储的起始地址为奇数（地址最低位 A_0 为 1）的字数据（4 分）

② 规则字读写需要一个总线周期（2 分），发送 A_0 为 0， BHE 为 0，一个总线周期读写一个字。（1 分）

③ 非规则字读写需要两个总线周期（1 分）。第一个总线周期读写时先读取偶存储体（或偶地址）数据， A_0 为 1， BHE 为 0，取得高 8 位数据，第二个总线周期读取奇存储体（奇地址）数据， A_0 为 0， BHE 为 1，取得低 8 位数据。（2 分）

第四章 汇编部分

在计算机上运行汇编语言程序的步骤是什么？

答：汇编语言程序的开发有 4 个步骤：

- (1) 用编辑文件如 EDIT 编辑源文件，形成.ASM 文件；
- (2) 用汇编程序（MASM）把.ASM 源文件汇编成目标文件.OBJ；
- (3) 用连接程序（LINK）把.OBJ 文件转换成.EXE 可执行文件；
- (4) 运行可执行文件.EXE；
- (5) 若有错，使用 DEBUG 进行调试。

第七章

1. 什么是接口电路?应具备哪些基本功能?

答：（1）I/O 接口是位于系统与外设之间、用来协助完成数据传送和控制 I/O 任务的逻辑电路。PC 机系统板的可编程接口芯片、I/O 总线槽的电路板（适配器）都是接口电路。

（2）接口电路应具有的基本的功能：

- ① 数据的寄存和缓冲功能，协调快速 CPU 与慢速的外设之间数据传送的矛盾和时序差异；
- ② 信息格式的转换，例如串行和并行的转换；
- ③ 协调 CPU 和外设在信息的类型和电平高低方面的差异，如数/模或模/数转等；
- ④ 采集外设的信息传送给 CPU，接收 CPU 发出的控制命令及启动外设工作。
- ⑤ 地址译码和设备选择功能，识别 CPU 访问的外设；

2. 什么叫端口?通常有哪几类端口?计算机对 I/O 端口编址时通常采用哪两种方法?在 8086/8088 系统中，用哪两种方法对 I/O 端口进行编址?

答：（1）CPU 和外设进行数据传输时，各类信息在接口中进入不同的寄存器，一般称这些寄存器为端口。

（2）通常有：数据端口、状态端口、控制端口。

（3）对端口编址的两种方法为：计算机对内存和 I/O 端口统一编址；计算机对内存和 I/O 端口独立编址。

（4）在 8086/8088 系统中用计算机对内存和 I/O 端口统一编址。

3. 端口独立编址有哪些特点?和统一编址的区别是什么?

答：（1）输入/输出指令和访问存储器的指令明显区分开，使程序清晰，可读性好；

（2）I/O 指令长度短，执行的速度快，也不占用内存空间，

（3）I/O 地址译码电路较简单。

（4）不足之处是 CPU 指令系统中必须有专门的 IN 和 OUT 指令，这些指令的功能没有访问存储器的指令的功能强；I/O 端口数目有限。另外，CPU 要能提供区分存储器读/写和 I/O 读/写的控制信号。

4. 简述 CPU 与外设进行数据交换的几种常用方式。

答：（1）程序控制方式：特点是依靠程序的控制来实现主机和外设的数据传送，可分为无条件传送方式、查询方式和中断方式。

三种方式都是以 CPU 为中心的控制方式，都需要 CPU 执行程序来进行 I/O 数据传送。

①无条件传送方式：优点：程序简单，所需的硬件和软件都比较少、传送速度快，但必须在确信外设已准备好的情况下才能使用

②查询传送方式 CPU 通过程序不断查询相应设备的状态，状态不符合要求，则 CPU 需要等

待；只有当状态信号符合要求时，CPU 才能进行相应的操作。优点：硬件线路简单，程序易于实现；缺点是 CPU 利用率低下，实时性差；

③中断控制方式：外设准备就绪的条件下通过请求引脚信号，主动向处理器提出交换数据的请求。CPU 与外设、外设与外设之间能并行工作。一般适合于传送数据量少的中低速外部设备，尤其适合实时控制中的紧急事件处理，对于高速外部设备的大批量数据传送不适合；

(2) 直接存储器存取控制方式：CPU 不参加数据传送，而是由 DMA 控制器来实现内存与外设，外设与外设之间的直接传递。此种方式适用于需要大量数据高速传送的场合。CPU 与外设可以并行工作，提高了 CPU 的效率。

(3) 通道方式：可以实现对外围设备的统一管理和外围设备与内存之间的数据传送。

5. 简述 CPU 与外部设备采用中断控制方式传输数据的过程。

- (1) 当外部设备需要与 CPU 进行数据交换时，由接口部件发出一个中断请求信号，
- (2) CPU 响应这一中断请求，便可在中断服务程序中完成一个字节或一个字的信息交换。
- (3) 数据交换完成后，返回原程序。
- (4) CPU 每执行一次中断传送数据，要打断原来执行的程序去执行中断服务程序。
- (5) 执行前要保护 PSW 和断点。

6. 简述 DMA 传送的过程。

答：一次 DMA 传送过程由传送前的预处理、数据传送、传送结束 3 个阶段组成。

①预处理是由 CPU 完成的。当 CPU 执行到读写 I/O 设备调用语句时，启动 DMA 传送过程，向 DAM 卡送入设备识别信号、启动设备，测试设备运行状态，送入内存地址初值，传送数据个数，DMA 的功能控制信号等，之后，CPU 继续执行原来程序。

②数据传送在 DMA 卡控制下自动完成。DMAC 向 CPU 发出请求总线使用权的信号，若总线空闲，总线控制器将送响应回答信号给 DMAC，DMAC 取得总线使用权，启动数据传送过程。

③传送结束处理，DMAC 将向 CPU 发出请求信号，CPU 响应这一请求后，结束数据传送。

7. 串行通信和并行通信有什么不同？

答：串行通信中：数据传送方式是串行的（一位一位传送），数据传送速度较慢，但成本低，适用于远距离传送。

并行通信中：数据传送方式是并行的（数位一起传送），数据传送速度较高，但成本较高，适用于近距离通信

第八章

1. 说明 8253 各个计数通道中三个引脚信号 CLK，OUT 和 GATE 的功能。

答：每个通道都有三根引脚线与外界联系。

(1) CLK 为外部输入计数脉冲。(2 分)

(2) 引脚 GATE 为控制计数器工作的门控输入信号，根据工作方式的不同分为高电平触发计数和正脉冲触发计数 (4 分)。

(3) 引脚 OUT 为定时时间到/计数结束输出信号，在不同的工作模式下，可以输出不同形式的波形 (4 分)。

2. 8259A 中断控制器的功能是什么？三个寄存器 IRR，IMR 和 ISR 的作用是什么

答：(1) 功能是：

- ①8259A 中断控制器可以接受 8 个中断请求输入并将它们寄存。
- ②对 8 个请求输入进行优先级判断，裁决出最高优先级进行处理，它可以支持多种优先级处理方式。
- ③8259A 可以对中断请求输入进行屏蔽，阻止对其进行处理。
- ④8259A 可提供中断请求信号及发送中断类型码。
- ⑤8259A 可以进行级连以便形成多于 8 级输入的中断控制系统。

(2) 三个寄存器 IRR, IMR 和 ISR 的作用:

- ①中断请求寄存器 IRR: 保存 8 条外界中断请求信号 IR0~IR7 的请求状态。Di 位为 1 表示 IRi 引脚有中断请求; 为 0 表示该引脚无请求。
- ②中断屏蔽寄存器 IMR: 保存对中断请求信号 IR 的屏蔽状态。Di 位为 1 表示 IRi 中断被屏蔽 (禁止); 为 0 表示允许该中断。
- ③中断服务寄存器 ISR: 保存正在被 8259A 服务着的中断状态。Di 位为 1 表示 IRi 中断正在服务中; 为 0 表示没有被服务。

3. 8259A 的初始化命令字和操作命令字的名称和功能是什么?

答: 8259A 的初始化命令字:

ICW1: 确定 8259A 的触发方式和工作方式 (单片和级联)

ICW2: 确定中断类型

ICW3: 确定主片上的信号线连接从片的方式

ICW4: 确定 8259A 的全嵌套方式, 缓冲方式和结束方式。

操作命令字: 在 8259A 工作期间, 按不同的方式进行操作。

OCW1: 中断屏蔽控制字;

OCW2: 中断结束和优先权循环控制字;

OCW3: 设置屏蔽方式、中断查询和读状态控制字