

TRƯỜNG ĐẠI HỌC BÁCH KHOA HÀ NỘI
VIỆN ĐIỆN TỬ - VIỄN THÔNG



BÁO CÁO VLSI

**Đề tài: Implementation of Universal Asynchronous
Receiver Transmitter using System Verilog code**

Nhóm sinh viên thực hiện:

Tên sinh viên	MSSV	Mã lớp
Phạm Ngọc Lâm	20182628	129281
Phạm Minh Đức	20172476	129281

Giảng viên hướng dẫn: TS. Phan Xuân Vũ

Hà Nội - 2022

MỤC LỤC

MỤC LỤC	1
DANH MỤC HÌNH ẢNH	i
DANH MỤC BẢNG	ii
LỜI NÓI ĐẦU.....	iii
CHƯƠNG 1. GIỚI THIỆU (INTRODUCTION).....	1
<i>1.1 Giới thiệu chung.....</i>	<i>1</i>
<i>1.2 Truyền thông UART.....</i>	<i>1</i>
1.2.1 Cấu trúc của Data framing	1
1.2.2 UART Communication	2
CHƯƠNG 2. ĐẶC TẢ THÔNG SỐ KỸ THUẬT (SPECIFICATION).....	3
<i>2.1 UART Architecture</i>	<i>3</i>
2.1.1 Block diagram.....	3
2.1.2 Interface signals	3
2.1.3 Function description.....	4
2.1.4 Architecture.....	5
<i>2.2 Module Clock Generator (uart_generator_clock)</i>	<i>7</i>
2.2.1 Interface signals	7
<i>2.3 Module FIFO (uart_fifo).....</i>	<i>7</i>
2.3.1 Interface signals	8
<i>2.4 Module Transmitter (uart_transmitter).....</i>	<i>8</i>
2.4.1 Interface signals	8
2.4.2 Function description.....	9
2.4.3 Transmitter architecture	10
<i>2.5 Module Receiver (uart_receiver).....</i>	<i>10</i>
2.5.1 Interface signals	11
2.5.2 Receiver architecture	12

CHƯƠNG 3. KIỂM THỬ (VERIFICATION).....	13
3.1 Kế hoạch kiểm thử.....	13
3.1.1 Kịch bản – Test case.....	13
3.2 Kết quả và đánh giá.....	13
3.2.1 Module uart_transmitter.....	13
3.2.2 Module uart_receiver	13
3.2.3 Module uart_generator_clock	14
3.2.4 Module uart_fifo	14
3.2.5 Truyền data.....	14
3.2.6 Module uart_protocol.....	15
CHƯƠNG 4. KẾT LUẬN	16
TÀI LIỆU THAM KHẢO.....	17

DANH MỤC HÌNH ẢNH

Hình 1.1. Data Framing UART	1
Hình 1.2. UART Communication	2
Hình 2.1 UART Block diagram	3
Hình 2.2. TX_status_register	4
Hình 2.3. RX_status_register	4
Hình 2.4. Sơ đồ kiến trúc tổng quát	5
Hình 2.5. Sơ đồ kiến trúc chi tiết	6
Hình 2.6. uart_generator_clock block diagram.....	7
Hình 2.7. uart_fifo block diagram.....	7
Hình 2.8. uart_transmitter block diagram	8
Hình 2.9. Tín hiệu điều khiển và dataflow trong UART transmitter	9
Hình 2.10. ASMD uart_transmitter.....	10
Hình 2.11. uart_receiver block diagram.....	10
Hình 2.12. ASMD uart_receiver	12
Hình 3.1 Mô phỏng timing diagram khối uart_transmitter.....	13
Hình 3.2 Mô phỏng timing diagram khối uart_receiver	13
Hình 3.3 Mô phỏng timing diagram khối uart_generator_clock	14
Hình 3.4 Mô phỏng timing diagram khối uart_fifo	14
Hình 3.5 Mô phỏng timing diagram truyền data từ bus_data đến rx_fifo	14
Hình 3.6 Mô phỏng timing diagram khối uart_protocol.....	15

DANH MỤC BẢNG

Bảng 2.1 uart_protocol port description	3
Bảng 2.2. uart_generator_clock port description.....	7
Bảng 2.3. uart_generator_clock parameter	7
Bảng 2.4. uart_fifo port description	8
Bảng 2.5. uart_fifo parameter	8
Bảng 2.6. uart_transmitter port description	8
Bảng 2.7. uart_receiver port description.....	11

LỜI NÓI ĐẦU

UART, hay máy thu-phát không đồng bộ phổ quát, là một trong những giao thức truyền thông giữa thiết bị và thiết bị được sử dụng nhiều nhất. Các hệ thống nhúng, bộ vi điều khiển và máy tính hầu hết sử dụng UART như một dạng giao thức giao tiếp phần cứng giữa thiết bị và thiết bị. Trong số các giao thức truyền thông hiện có, UART chỉ sử dụng hai dây cho các đầu truyền và nhận của nó. Do vậy, nhóm chúng em triển khai UART sử dụng code System Verilog với các phần như sau:

Chương 1: Giới thiệu

Chương 2: Đặc tả thông số kĩ thuật

Chương 3: Kiểm thử

Chương 4: Kết luận

Nhóm chúng em xin chân thành cảm ơn TS Phan Xuân Vũ đã tận tâm hướng dẫn chúng em trong quá trình thực hiện bài tập lớn cũng như hoàn thiện báo cáo này !

CHƯƠNG 1. GIỚI THIỆU (INTRODUCTION)

Chương này giới thiệu khái quát và các kiến thức cơ bản về UART.

1.1 Giới thiệu chung

Universal asynchronous receiver – transmitter (UART) là một thiết bị cho truyền thông nối tiếp không đồng bộ, trong đó định dạng dữ liệu và tốc độ truyền tải được cấu hình. Nó gửi từng bit dữ liệu một, từ LSB đến MSB, được gói trong một khung truyền có các bit start và stop.

Nó là một trong những thiết bị giao tiếp máy tính sớm nhất, được sử dụng để gắn máy viết chữ từ xa cho một bảng điều khiển. Nó cũng là một hệ thống phần cứng ban đầu cho Internet.

UART thường là một mạch tích hợp (IC) được sử dụng cho giao tiếp nối tiếp qua máy tính hoặc cổng nối tiếp thiết bị ngoại vi.

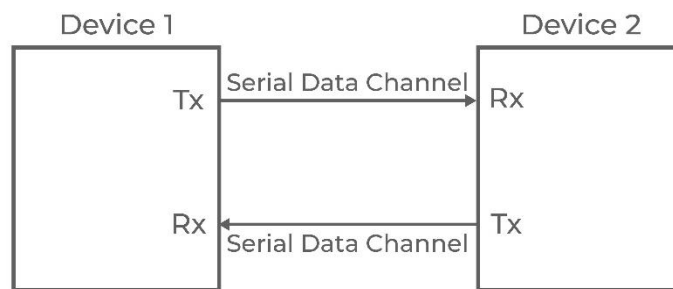
1.2 Truyền thông UART

1.2.1 Cấu trúc của Data framing

Stop Bit	Parity Bit	Data Bit 7	Data Bit 6	Data Bit 5	Data Bit 4	Data Bit 3	Data Bit 2	Data Bit 1	Data Bit 0	Start Bit
----------	------------	------------	------------	------------	------------	------------	------------	------------	------------	-----------

Hình 1.1. Data Framing UART

- Start Bit: Bit đồng bộ hóa được đặt trước dữ liệu. Để bắt đầu truyền dữ liệu, UART kéo đường dữ liệu từ mức điện áp cao (Mức 1) xuống mức điện áp thấp (Mức 0). Chỉ có một Start Bit.
- Stop Bit: Bit dừng được đặt ở cuối của gói dữ liệu. Thường chỉ sử dụng 1 bit. Để dừng truyền dữ liệu, UART giữ đường dữ liệu ở mức điện áp cao.
- Parity Bit: Bit chẵn lẻ cho phép người nhận đảm bảo dữ liệu được thu thập có đúng hay không. Bit này không được sử dụng rộng rãi nên không bắt buộc.

1.2.2 UART Communication**Hình 1.2. UART Communication**

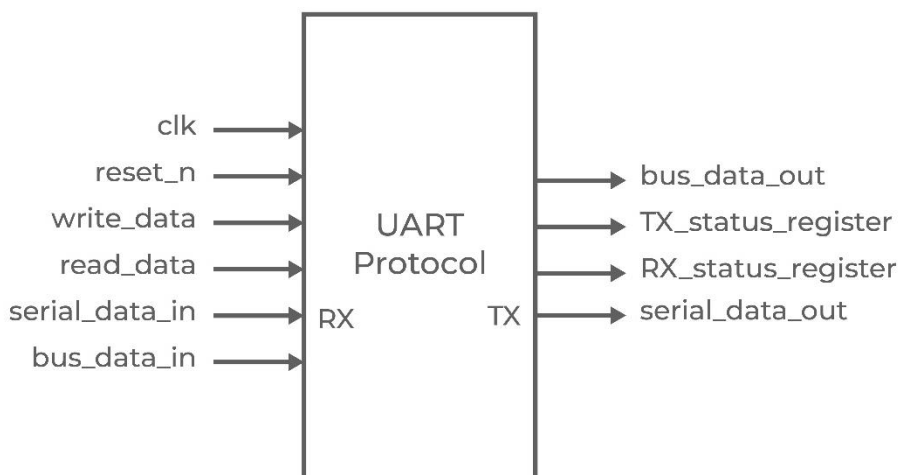
Trong giao tiếp dữ liệu nối tiếp, dữ liệu có thể được truyền qua một cáp hoặc một đường dây ở dạng bit-bit và nó chỉ cần hai cáp.

CHƯƠNG 2. ĐẶC TẢ THÔNG SỐ KỸ THUẬT (SPECIFICATION)

Chương này mô tả thông số kỹ thuật và kiến trúc chi tiết của từng phần có trong kiến trúc UART được nhóm triển khai.

2.1 UART Architecture

2.1.1 Block diagram



Hình 2.1 UART Block diagram

Hình 2.1 mô tả các Input và Output của module UART protocol.

2.1.2 Interface signals

Bảng 2.1 uart_protocol port description

Signal name	Width	Input/Output	Description
clk	1	Input	Tín hiệu xung đồng hồ
reset_n	1	Input	Tín hiệu reset tích cực mức thấp
write_data	1	Input	Tín hiệu ghi vào FIFO từ CPU
read_data	1	Input	Tín hiệu lấy dữ liệu trong FIFO từ CPU
serial_data_in	1	Input	Dữ liệu vào nối tiếp
bus_data_in	DATA_SIZE	Input	Bus dữ liệu phía RX
bus_data_out	DATA_SIZE	Output	Bus dữ liệu phía TX
TX_status_register	8	Output	Thanh ghi trạng thái TX
RX_status_register	8	Output	Thanh ghi trạng thái RX
serial_data_out	1	Output	Dữ liệu ra nối tiếp

Thanh ghi trạng thái được biểu diễn như sau:

- TX_status_register:

7	6	5	4	3	2	1	0
-	-	-	-	-	tx_done	tx_empty	tx_full

Hình 2.2. TX_status_register

- RX_status_register

7	6	5	4	3	2	1	0
-	rx_done	overflow error	stop error	break error	parity error	rx_empty	rx_full

Hình 2.3. RX_status_register

2.1.3 Function description

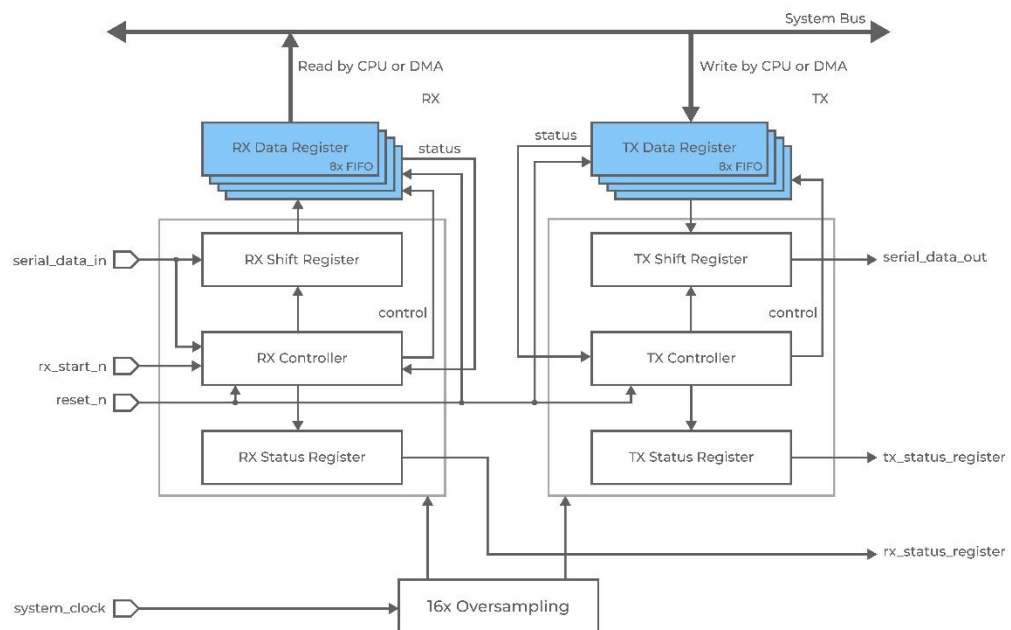
Features:

- Auto tuning baud generation (default 9600 bps)
- Detection of Framing, Parity, Stop, Break, Overflow errors
- Full Duplex
- 16x oversampling
- RX and TX data buffers (default = 8)
- 8 bit data
- start and stop bit

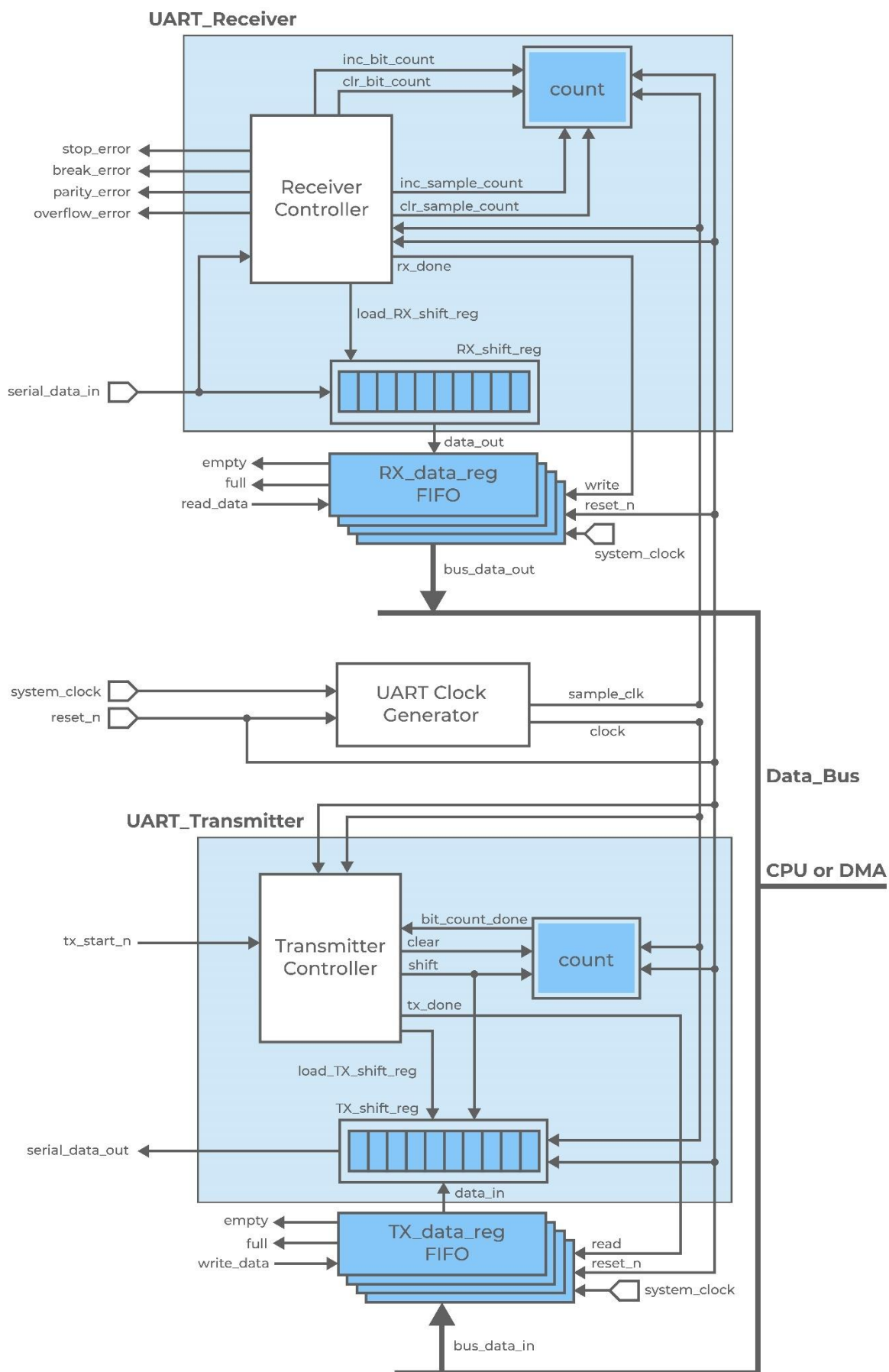
Module:

- Clock Generator
- FIFO
- Transmitter
- Receiver
- UART Protocol

2.1.4 Architecture

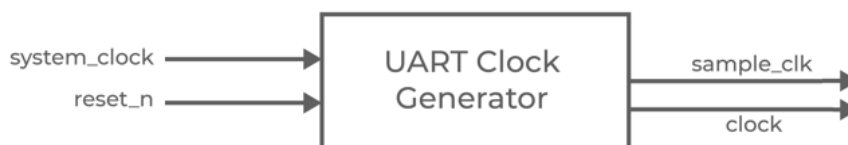


Hình 2.4. Sơ đồ kiến trúc tổng quát



Hình 2.5. Sơ đồ kiến trúc chi tiết

2.2 Module Clock Generator (uart_generator_clock)



Hình 2.6. uart_generator_clock block diagram

2.2.1 Interface signals

Bảng 2.2. uart_generator_clock port description

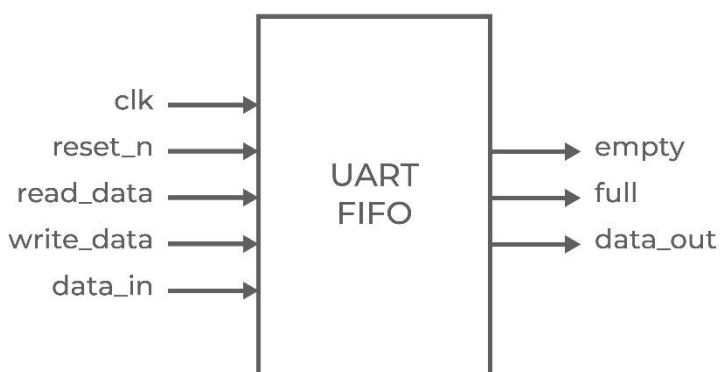
Signal name	Width	Input/Output	Description
clk	1	Input	Tín hiệu xung đồng hồ
reset_n	1	Input	Tín hiệu reset tích cực mức thấp
clock	1	Output	Clock $f = \text{BAUD_RATE}$ cho Transmitter
sample_clk	1	Output	Clock $f = 16 * \text{BAUD_RATE}$ cho Receiver

Module Clock Generator chia tần để giảm tần số 100MHz về Baud Rate chuẩn của UART

Bảng 2.3. uart_generator_clock parameter

Parameter	Default	Description
SYS_FREQ	100000000	Tần số hoạt động của System Clock
BAUD_RATE	9600	Tốc độ Baud trên kênh truyền
CLOCK	$\text{SYS_FREQ}/\text{BAUD_RATE}$	Độ chia clock
SAMPLE	16	Lấy mẫu x16
BAUD_DVSR	$\text{SYS_FREQ}/(\text{SAMPLE} * \text{BAUD_RATE})$	Độ chia tần số lấy mẫu

2.3 Module FIFO (uart_fifo)



Hình 2.7. uart_fifo block diagram

2.3.1 Interface signals

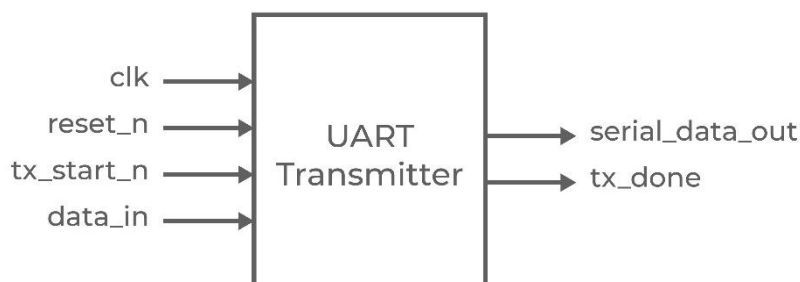
Bảng 2.4. uart_fifo port description

Signal name	Width	Input/Output	Description
clk	1	Input	Tín hiệu xung đồng hồ
reset_n	1	Input	Tín hiệu reset tích cực mức thấp
data_in	DATA_SIZE	Input	Dữ liệu ghi vào FIFO
write	1	Input	Cho phép ghi vào FIFO
read	1	Input	Cho phép đọc từ FIFO
data_out	DATA_SIZE	Output	Dữ liệu đọc ra từ FIFO
full	1	Output	Tín hiệu báo FIFO đầy
empty	1	Output	Tín hiệu báo FIFO trống

Bảng 2.5. uart_fifo parameter

Parameter	Default	Description
DATA_SIZE	8	Kích thước dữ liệu
SIZE_FIFO	8	Số lượng bộ đệm
ADDR_WIDTH	$\lceil \log_2(\text{SIZE_FIFO}) \rceil$	Số bit đánh địa chỉ

2.4 Module Transmitter (uart_transmitter)



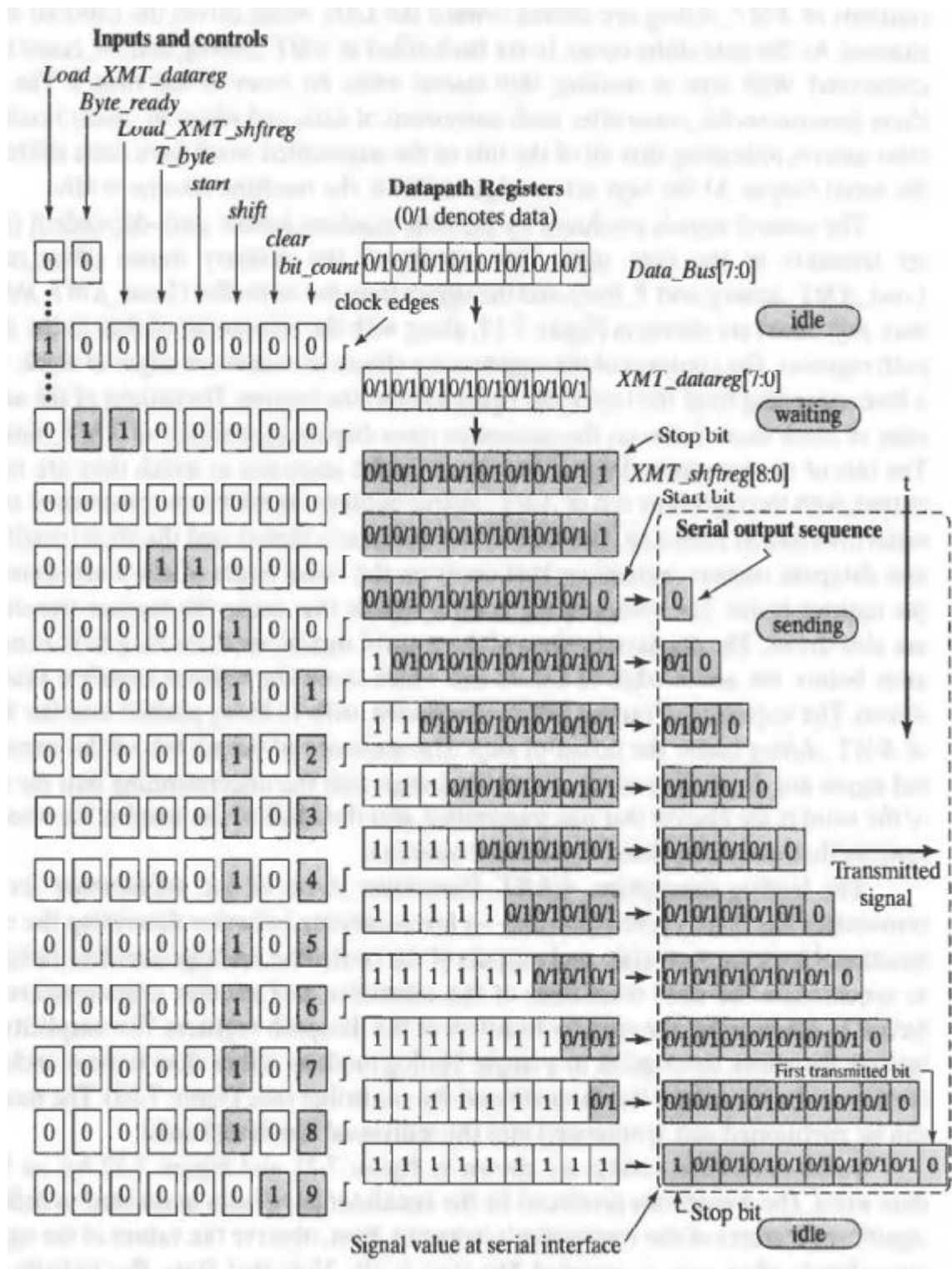
Hình 2.8. uart_transmitter block diagram

2.4.1 Interface signals

Bảng 2.6. uart_transmitter port description

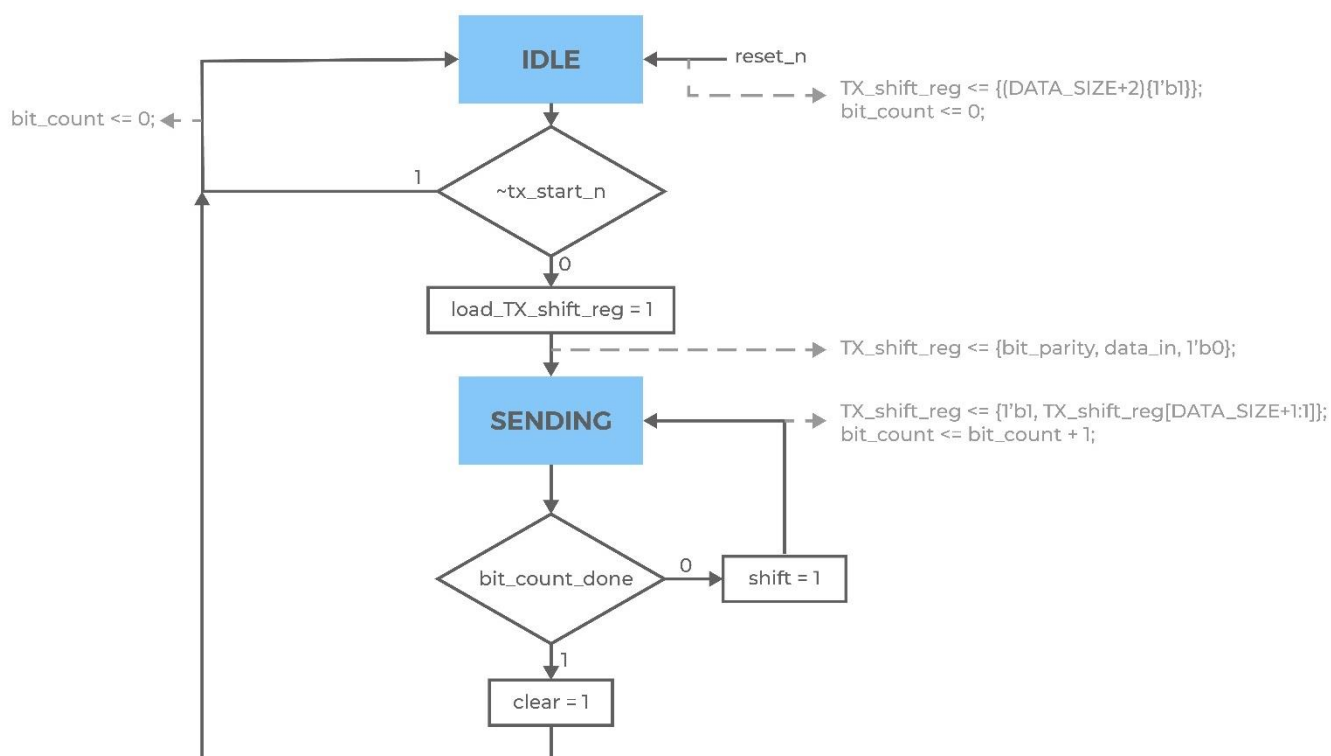
Signal name	Width	Input/Output	Description
clk	1	Input	Tín hiệu xung đồng hồ
reset_n	1	Input	Tín hiệu reset tích cực mức thấp
tx_start_n	1	Input	Tín hiệu kích hoạt transmitter
data_in	DATA_SIZE	Input	Dữ liệu được lấy từ TX_FIFO
serial_data_out	1	Output	Dữ liệu ra nối tiếp
tx_done	1	Output	Tín hiệu báo truyền dữ liệu xong

2.4.2 Function description



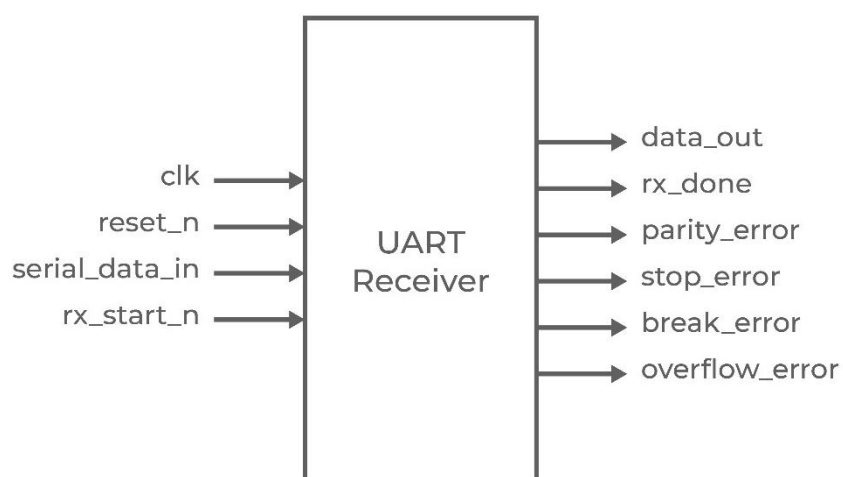
Hình 2.9. Tín hiệu điều khiển và dataflow trong UART transmitter

2.4.3 Transmitter architecture



Hình 2.10. ASMD uart_transmitter

2.5 Module Receiver (uart_receiver)



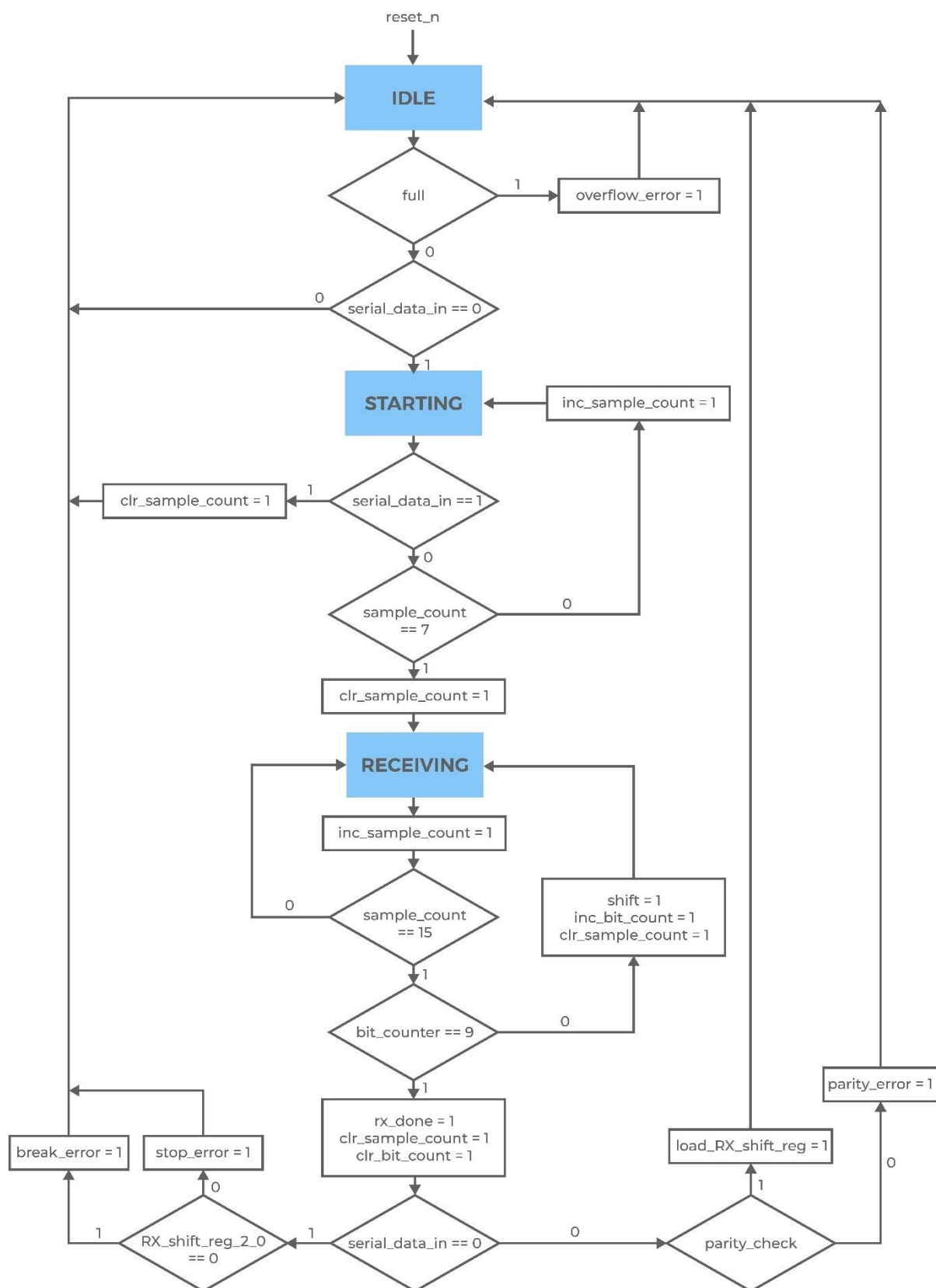
Hình 2.11. uart_receiver block diagram

2.5.1 Interface signals

Bảng 2.7. uart_receiver port description

Signal name	Width	Input/Output	Description
clk	1	Input	Tín hiệu xung đồng hồ
reset_n	1	Input	Tín hiệu reset tích cực mức thấp
serial_data_in	1	Input	Dữ liệu vào nối tiếp
rx_start_n	1	Input	Tín hiệu cho phép nhận dữ liệu
data_out	DATA_SIZE	Output	Dữ liệu ghi vào RX_FIFO
rx_done	1	Output	Tín hiệu báo đã nhận đủ khung dữ liệu
parity_error	1	Output	Lỗi bit chẵn/lẻ
stop_error	1	Output	Lỗi bit dừng
break_error	1	Output	Lỗi mất dữ liệu
overflow_error	1	Output	Lỗi tràn bộ FIFO

2.5.2 Receiver architecture



Hình 2.12. ASMD uart_receiver

CHƯƠNG 3. KIỂM THỬ (VERIFICATION)

Chương này trình bày các kết quả mô phỏng cho từng khối và toàn bộ thiết kế được triển khai bằng ngôn ngữ System Verilog trên phần mềm Questa Sim.

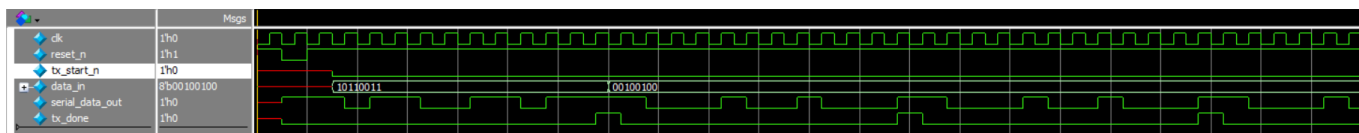
3.1 Kế hoạch kiểm thử

3.1.1 Kịch bản – Test case

- Kiểm tra quá trình reset, đảm bảo các đầu ra được thiết lập về đúng giá trị.
- Test module uart_generator_clock, đảm bảo clock và sample clock được gen đúng.
- Test module uart_fifo, đảm bảo dữ liệu đọc ghi đúng, tín hiệu báo full và empty báo đúng.
- Test module uart_transmitter, đảm bảo chạy đúng theo sơ đồ ASMD.
- Test module uart_receiver, đảm bảo chạy đúng theo sơ đồ ASMD.
- Kiểm tra quá trình truyền dữ liệu từ TX và quá trình nhận dữ liệu của RX.
- Kiểm tra quá trình đọc ghi liên tục với FIFO.

3.2 Kết quả và đánh giá

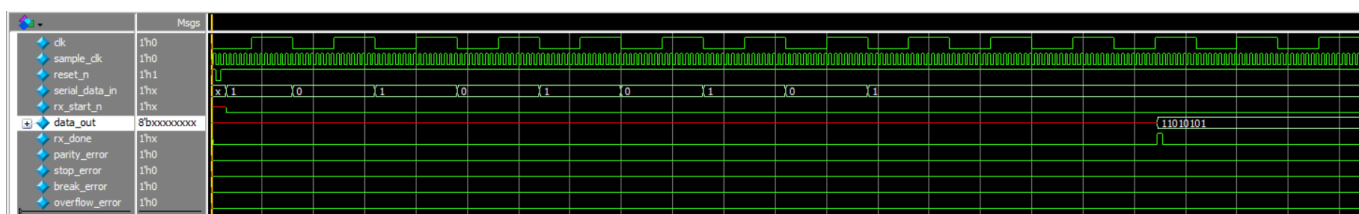
3.2.1 Module uart_transmitter



Hình 3.1 Mô phỏng timing diagram khối uart_transmitter

Hình 3.1 cho thấy serial_data_out đã có đưa ra đầy đủ bit start, stop và data giống với data_in đưa vào.

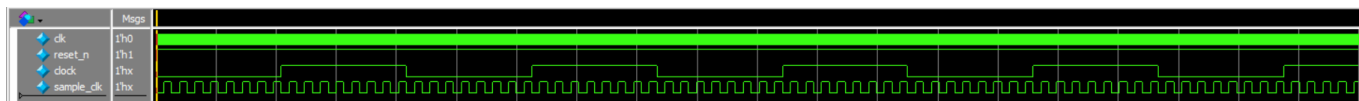
3.2.2 Module uart_receiver



Hình 3.2 Mô phỏng timing diagram khối uart_receiver

Hình 3.2 cho thấy data_out trả về kết quả đúng với dãy bit vào từ serial_data_in.

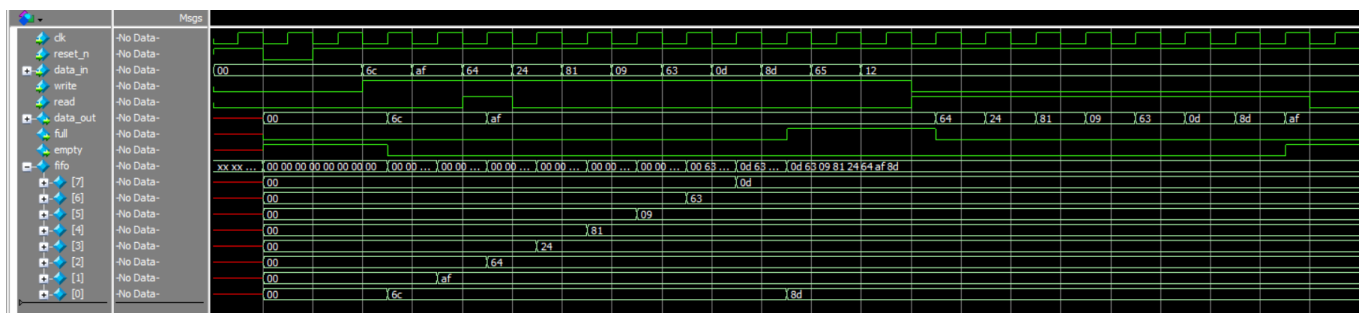
3.2.3 Module uart_generator_clock



Hình 3.3 Mô phỏng timing diagram khối uart_generator_clock

Hình 3.3 cho thấy kết quả 2 clock được tạo ra từ clock 100MHz ban đầu.

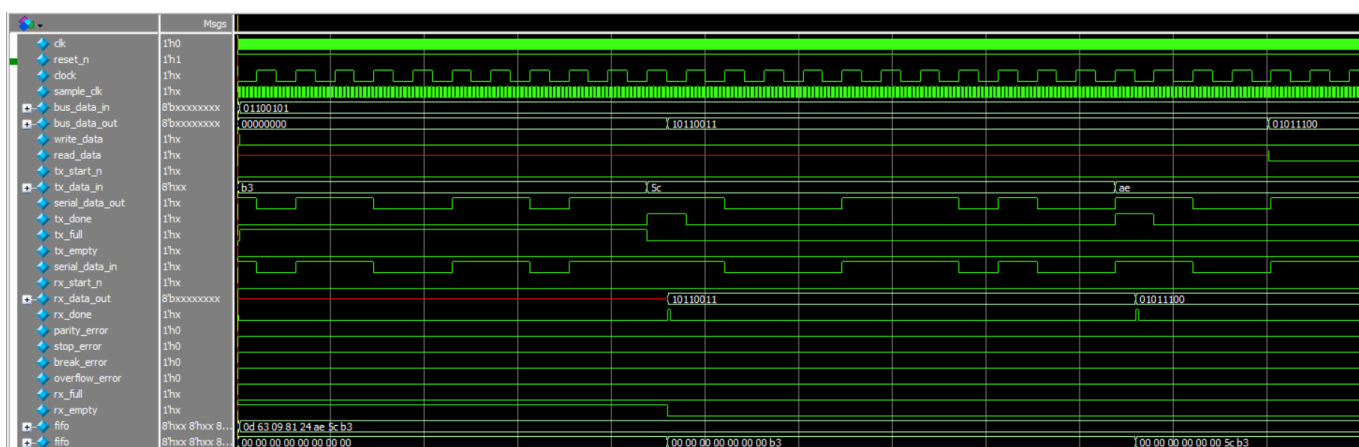
3.2.4 Module uart_fifo



Hình 3.4 Mô phỏng timing diagram khối uart_fifo

Hình 3.4 cho thấy việc đọc ghi của FIFO đã đúng với yêu cầu. Các tín hiệu báo full, empty đã lên đúng chu kỳ.

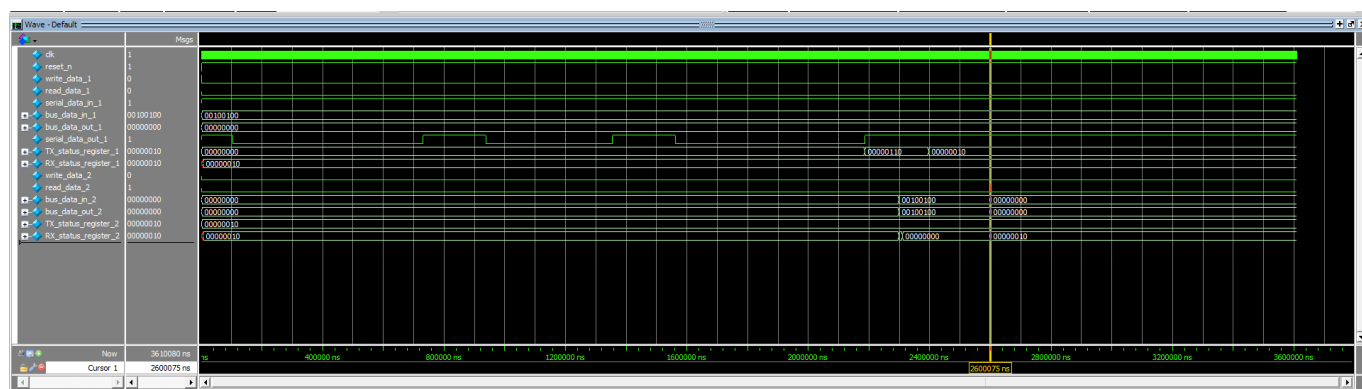
3.2.5 Truyền data



Hình 3.5 Mô phỏng timing diagram truyền data từ bus_data đến rx_fifo

Hình 3.5 cho thấy data được truyền nhận đúng.

3.2.6 Module `uart_protocol`



Hình 3.6 Mô phỏng timing diagram khối `uart_protocol`

Hình 3.6 cho thấy kết quả đầu ra của khối `uart_protocol` hoạt động đúng với logic của thiết kế.

CHƯƠNG 4. KẾT LUẬN

Báo cáo này đã trình bày và triển khai việc tìm hiểu, thiết kế và lập trình cho bộ UART, ứng dụng vào trong việc truyền tải dữ liệu giữa các thiết bị. Thiết kế được tiến hành triển khai bằng ngôn ngữ mô tả phần cứng SystemVerilog và mô phỏng kiểm thử trên phần mềm ModelSim, đã cho ra kết quả hoạt động đúng với yêu cầu vào ra.

Trong tương lai, nếu có cơ hội, nhóm sẽ tiến hành kiểm nghiệm đầy đủ các chức năng hơn, đồng thời đưa ra các tính năng mới để mở rộng hơn khả năng xử lý của bộ UART đã thiết kế.

TÀI LIỆU THAM KHẢO

- [1] Slide bài giảng “*Thiết kế VLSI*”, TS. Phan Xuân Vũ
- [2] Website: “*UART: A Hardware Communication Protocol*”, analog.com:
<https://www.analog.com/en/analog-dialogue/articles/uart-a-hardware-communication-protocol.html>
- [3] Website: “*Basics of UART Communication*”, circuitbasics.com:
<https://www.circuitbasics.com/basics-uart-communication/>
- [4] Tài liệu mẫu – UART Specifications: Infineon.com – Cypress perform:
[Đường dẫn](#)
- [5] Github tới mã nguồn của dự án: “*UART VLSI*”:
https://github.com/phamngoclam2628/uart_vlsi