Доклад на тему

<<Сигнальный процессор TMS320C6203>>

Дисциплина

<<Сигнальные процессоры>>

Выполнил студент гр. 33501/4 \_\_\_\_\_\_\_\_\_\_\_ А.Ю. Ламтев

(подпись)

Преподаватель \_\_\_\_\_\_\_\_\_\_\_ А.В. Лупин

(подпись)

1. **Краткое описание**

TMS320C6203 - сигнальный процессор (СП) с фиксированной точкой - разработка компании Texas Instruments (TI). Особенностью СП этой серии является высокая производительность и улучшенная архитектура с <<очень длинным словом инструкции>> (very-long-instruction-word), что позволяет СП стать отличным выбором при разработке многоканальных и многофункциональных приложений. На рис. 1 представлено изображение корпуса СП.



Рис. 1. Изображение корпуса СП.

Производительность процессора достигает 2400 миллионов инструкций в секунду (MIPS) при тактовой частоте в 300 МГц. TMS320C6203 обладает эксплуатационной гибкостью высокоскоростных контроллеров и числовыми возможностями векторных процессоров. Данный СП состоит из 32-х регистров общего назначения и 8-ми независимых функциональных блоков. Среди этих 8-ми функциональных блоков 6 являются арифметико-логическими устройствами (АЛУ), что позволяет достичь очень большого параллелизма, а другие 2 - 16-разрядные умножители для 32-разрядного результата. TMS320C6203 выполняет две операции умножения с накоплением (УН) за цикл, и 600 миллионов УН в секунду. Аппаратная логика данного СП зависит от сферы использования, и на его чипе содержатся память и периферия.

Программная память TMS320C6203 состоит из 2-х блоков, один из которых сконфигурирован как программное пространство с отображением памяти и имеет 256 Кб, а другой имеет 128 Кб и может быть сконфигурирован пользователем как кэш или как программное пространство с отображением памяти. Оперативная память состоит из 2-х ячеек памяти с произвольным доступом (RAM), каждая по 256 Кб.

Данный СП содержит в себе большой и разнообразный набор периферийных устройств, в который входят:

1. 3 многоканальных буфферизируемых последовательных порта
2. 2 таймера общего назначения
3. 32-разрядная шина расширения, которая совместима с синхронными и асинхронными стандартными в индустрии протоколами
4. 32-разрядный интерфейс подключения внешней памяти, совместимый с SDRAM, SBSRAM и асинхронными периферийными устройствами.

Данный СП поставляется с полным комплектом инструментов для разработчиков, и в него входят: новый Си компилятор, оптимизатор сборки для упрощения программирования и устройство отладки для среды Windows.

1. **Основные параметры**

* Тактовая частота - до 300 МГц
* 2400 MIPS
* Фиксированная точка
* Напряжение питания 1.5 / 1.7 / 1.8 В в зависимости от модификации
* Температурный диапазон 0 - 90 °C (для модификации C6203BGNZA-250 -- от -45 до 105 °C)
* Технологический процесс 0.15 мкм
* Примерная стоимость $95

1. **Архитектурные особенности**

В качестве CPU выступает ядро DSP core. Оно получает <<очень длинные слова инструкций>> для передачи до 8-ми 32-разрядных инструкций 8-ми функциональным блокам каждый временной цикл. В рамках данной архитектуры происходит контроль над тем, чтобы инструкции не были переданы функциональным блокам, если они не готовы к их исполнению. Первый бит каждой 32-разрядной инструкции определяет, принадлежит ли следующая инструкция к тому же пакету выполнения, что и предыдущая инструкция, или должна ли она выполняться в следующем такте как часть следующего пакета выполнения. Пакеты выборки всегда 256-битные, однако пакеты исполнения могут иметь разный размер. Переменная длина пакетов исполнения - это ключевая особенность СП данной серии, которая позволяет экономить память.

Ядро состоит из 2-х наборов функциональных блоков. Каждый содержит 4 функциональных блока и регистровый файл. Один набор состоит из функциональных блоков .L1, .S1, .M1 и .D1, другой - из .D2, .M2, .S2, и .L2. Каждый из 2-х регистровых файлов содержит 16 32-разрядных регистров. Итого, 32 регистра общего назначения. Оба набора функциональных блоков вместе с двумя регистровыми файлами представлены на функциональной схеме на рис. 2 как A и B. 4 функциональных блока в каждом из наборов могут свободно делить 16 регистров между собой.

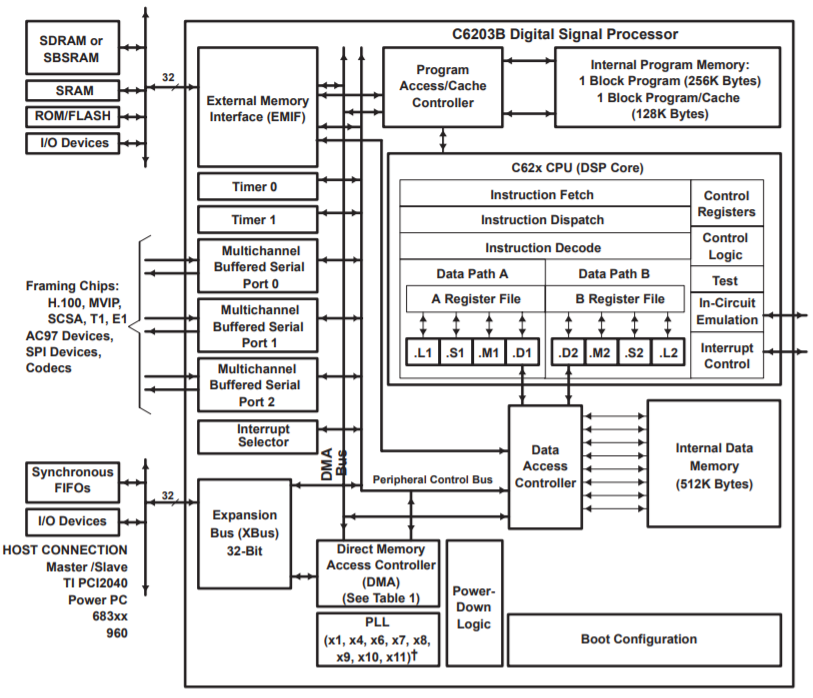


Рис. 2. Функциональная схема СП.

Дополнительно, каждый из 2-х наборов обладает единственной шиной, подсоединенной ко всем регистрам другого набора, благодаря чему оба набора функциональных блоков могут обращаться к данным из регистров другого набора. При обращении к регистру функциональным блоком внутри одного набора, все блоки обслуживаются за один цикл. Доступ к регистру через регистровый файл поддерживает одно чтение и одну запись за цикл.

Другой ключевой особенностью СП данной серии является архитектура загрузки/хранения, при которой все инструкции работают с регистрами (в отличии от данных в памяти). Два набора блоков адресации данных (.D1 и .D2) ответственны всю передачу данных между регистровыми файлами и памятью. Адрес данных, управляемый блоками .D, позволяет адресам данных, созданным из одного регистрового файла, использоваться для загрузки и хранения данных из другого регистрового файла. TMS320C6203 поддерживает различные режимы косвенной адресации с использованием режимов линейной или циклической адресации с 5- или 15-разрядными смещениями. Все инструкции являются условными, и большинство из них могут получить доступ к любому из 32 регистров. Некоторые регистры, однако, выделяются для поддержки конкретной адресации или сохранения условий условной инструкции (если условие не является истинным автоматически). Два функциональных блока .M предназначены для умножения. Два функциональных блока .S и .L выполняют общий набор логических функций и функций ветвления с результатами, доступными каждый такт. Более подробно пути данных в наборах блоков A и B представлены на рис. 3.

Поток обработки начинается, когда пакет выборки команд, состоящий из 256 битов, выбирается из программной памяти. 32-разрядные инструкции, предназначенные для отдельных функциональных блоков связаны вместе <<1>> младшем разряде слова инструкции. Инструкции, которые объединены вместе для одновременного исполнения (до 8-ми) составляют пакет выполнения. <<0>> в младшем разряде слова инструкции разбивает цепочку, эффективно размещая инструкции, которые следуют за ним в

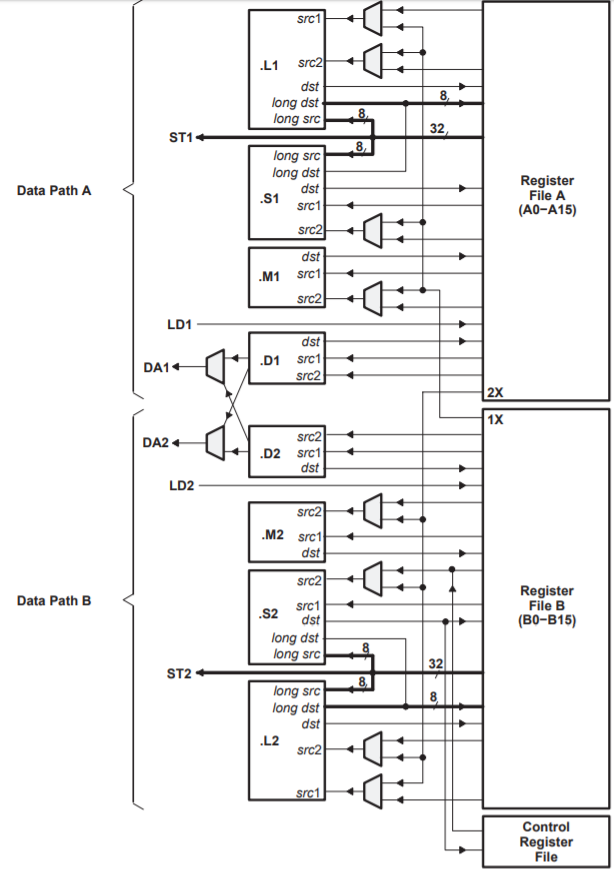


Рис. 3. Пути данных в ядре СП.

следующем пакете выполнения. Если исполняемый пакет превышает 256-битное ограничение пакета выборки, то сборщик помещает его в следующий пакет выборки, а оставшаяся часть текущего пакета выборки дополняется инструкциями NOP (от no operation, пустая инструкция). Число пакетов выполнения в рамках одного пакета выборки может быть от 1 до 8. Пакеты выполнения отправляются в соответствующие функциональные блоки со скоростью 1 пакет за тактовый цикл, и следующий 256-битный пакет выборки не извлекается до тех пор, пока все пакеты исполнения из текущей выборки не будут отправлены. После декодирования инструкции одновременно управляют всеми активными функциональными блоками с максимальной скоростью выполнения до 8-ми инструкций за такт. Хотя большинство результатов хранятся в 32-разрядных регистрах, они могут быть впоследствии перемещены в память как байты или полуслова. Все инструкции загрузки и хранения адресуются кратно байту, половине слова или целому слову.

1. **Выводы**

Сигнальный процессор компании TI TMS320C6203 в момент выхода был отличным решением, однако сегодня он считается устаревшим. На рынке есть решения с меньшей стоимостью и при этом более высоким быстродействием и большим набором инструментов разработчика. В том числе компания TI предлагает как минимум вдвое более дешёвые и более быстрые СП с фиксированной точкой - СП серии TMS320C64x. Также есть СП (серия TMS320C674x), одновременно поддерживающие работу с и с фиксированной точкой и с плавающей, и имеющие лучшие по сравнению с TMS320C6203 показатели производительности, энергопотребления и стоимость.