习 题

10.1 Verilog HDL为信号/变量定义了哪几种基本取值？4位变量共有多少种取值组合？

解答：Verilog HDL为信号/变量共定义了4种基本取值：0、1、x和z，因此4位变量共有44=256种取值组合。

10.2 Verilog HDL定义了哪几类基本数据类型？在连续赋值语句中，被赋值的对象应该定义为什么数据类型？在过程赋值语句中，被赋值的对象必须定义为什么数据类型？

解答：Verilog HDL定义了线网和变量两种基本数据类型。在连续赋值语句中，被赋值的对象应该定义为线网类型，而在过程赋值语句中，被赋值的对象必须定义变量类型。

10.3 模块有哪几种描述方式？

解答：Verilog HDL模块共有行为描述、数据流描述和结构描述三种方式。

10.4 数据流描述方式采用什么语句进行描述？具体的语法格式是什么？

解答：数据流描述方式采用赋值语句描述，具体的语法格式为：

assign 线网名=表达式

10.5 行为描述方式采用什么语句描述模块的功能？具体的语法是什么？被赋值的对象必须定义为什么数据类型？

解答：行为描述方式采用过程语句描述模块的功能，具体的语法是：

always @(事件列表) 语句块；

或 initial 语句块；

在过程语句中，被赋值的对象必须定义为变量类型。

10.6 在结构化建模方式中，.A(A)的两个A具体含义是什么？

解答：在结构化建模方式中，.A(A)中括号内的A表示实例模块的端口名，括号外的A表示例化模块的端口名。

10.7 用Verilog语句定义以下线网、变量或常数：

（1）名为Qtmp的8位寄存器变量，并赋值为-2；

解答： reg [7:0] Qtmp;

assign Qtmp=-2;

1. 名为Xbits的16位整数变量；

解答： integer Xbits [15:0];

1. 定义参数S1、S2、S3和S4，取值分别为4'b0001、4'b0010、4'b0100和4'b1000；

解答：parameter S1=4'b0001;

parameter S2=4'b0010;

parameter S3=4'b0100;

parameter S4=4'b1000;

1. 名为sindat\_mem，容量为1024×10位的存储器；

解答：reg [9:0] sin\_dat [1023:0];

1. 名为DataBus的16位数据总线。

解答：wire [15:0] DataBus;

10.8 在Verilog HDL中，哪些操作符的结果总是1位的？

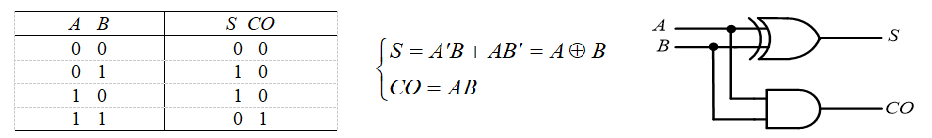
解答：Verilog HDL共定义了9类操作符，其中逻辑操作符、缩位操作符，关系操作符和等式操作符的结果总是1位的。

10.9 比较逻辑运算符与位操作符，说明其共同点和应用差异。

解答：差异点：逻辑运算符的操作数和结果均为1位，而位操作符的操作数和结果既可以是1位也可以是多位。

共同点：操作数均为1位时，位操作与逻辑运算等价。

10.10 已知半加器的真值表、逻辑函数表达式和逻辑图分别如图题10.10(a)、10.10(b)和10.10(c)所示，分别用行为描述、数据流描述和结构描述三种方法描述半加器。



1. 真值表 (b) 逻辑函数式 (c) 逻辑图

图题10.10

解答：（1）行为描述

module Half\_adder(A,B,S,CO);

input A,B;

output S,CO;

reg S,CO;

always @（A,B）

begin

S=A^B;

CO=A&B;

end

endmodule

1. 数据流描述

module Half\_adder(A,B,S,CO);

input A,B;

output S,CO;

assign S=A^B;

assign CO=A&B;

endmodule

1. 结构描述

module Half\_adder(A,B,S,CO);

input A,B;

output S,CO;

xor U1(S,A,B);

and U2(CO,A,B）;

endmodule