习 题

5.1 基本*SR*锁存器的输入信号 *S*D和*RD*的波形如图题5.1所示，画出锁存器状态*Q*和*Q'*的波形。



图题5.1

解答：



5.2 门控*SR*锁存器的时钟脉冲*CLK*和输入信号*S*和*R*的波形如图题5.2所示，画出锁存器状态*Q*和*Q'*的波形（设*Q*的初始状态为0）。



图题5.2

解答：



5.3脉冲*SR*触发器的时钟*CLK*以及输入信号*A*、*B*的波形如图题5.3所示，分别画出触发器的状态*Q*1和*Q*2的波形。设触发器的初始状态为0。



图题5.3

解答：



5.4 脉冲*JK*触发器的时钟脉冲*CLK*以及输入信号*J*、*K*的波形如图题5.4所示，画出触发器状态*Q*的波形。设触发器的初始状态为0。



图题5.4

解答：



5.5 边沿*D*触发器在时钟脉冲的上升沿工作。设时钟脉冲*CLK*以及输入信号*D*的波形如图题5.5所示，画出触发器状态*Q*的波形。设触发器的初始状态为0。



图题5.5

解答：



5.6 边沿*D*触发器在时钟脉冲的下降沿工作。设时钟脉冲*CLK*以及输入信号*D*的波形如图题5.5所示，画出触发器状态*Q*的波形。设触发器的初始状态为0。

解答：



5.7 触发器应用电路如图题5.7所示。画出在时钟脉冲序列*CLK*的作用下各触发器状态*Q*的波形。设触发器的初始状态均为0。



图题5.7

解答：



5.8 触发器应用电路如图题5.8所示。画出在时钟脉冲*CLK*和输入信号*A*、*B*的作用下*Q*1和*Q*2的波形。设触发器的初始状态为0。



图题5.8

解答：



5.9 两相脉冲源产生电路如图题5.9所示。画出在时钟脉冲*CLK*的作用下触发器的状态*Q*、*Q'*以及输出*v*O1、*v*O2的波形。设触发器的初始状态为0。



图题5.9

解答：



5.10 触发器应用电路如图题5.10所示。已知时钟脉冲*CLK*和输入信号*D*的波形，画出*Q*0和*Q*1的波形。设触发器的初始状态均为0。



图题5.10

解答：



5.11 两相脉冲源产生电路如图题5.11所示。画出在脉冲序列*CLK*的作用下*φ*1、*φ*2的输出波形，并说明*φ*1、*φ*2的相位差。设触发器的初始状态为0。



图题5-11

解答：



5.12 触发器应用电路如图题5.12所示。已知时钟脉冲*CLK*和复位信号*R*D*'*的波形，画出触发器状态*Q*0、*Q*1的波形。设触发器的初始状态为0。



图题5.12

解答：



5.13 若定义一种新触发器的逻辑功能为*Q\*=X*⊕*Y*⊕*Q*，分别用*JK*触发器、*D*触发器和门电路实现这种触发器。

解答：（1）用JK/FF实现：

*Q\*=X*⊕*Y*⊕*Q=(X*⊕*Y)Q'+(X*⊕*Y)'Q*

对比： *Q\*=JQ'+K'Q*

可得： *J*=*K*=*X*⊕*Y*

**

（2）用D/FF实现：*Q\*=X*⊕*Y*⊕*Q*

对比： *Q\*=D*

可得： *D*=*X*⊕*Y*⊕*Q*

**

5.14 触发器应用电路如图题5.14所示。已知时钟脉冲*CLK*和输入信号*D*的波形，画出触发器状态*Q*0、*Q*1以及输出*v*O的波形。设触发器的初始状态均为0。





图题5.14

解答：



5.15 触发器应用电路如图题5.15(a)所示。画出在图5.15(b)所示时钟脉冲*CLK*和输入信号*D*作用下，D触发器的状态*Q*1和D锁存器的状态*Q*2的波形。设*Q*1和*Q*2的初始状态均为0。

图题5.15

解答：

