



Hochschule
Augsburg University of
Applied Sciences

Bachelorarbeit

Fakultät für
Informatik

Studienrichtung
Technische Informatik

Konfiguration und Optimierung des Embedded-Linux-Betriebssystem für Automotive Image Processing Unit

Betreuer: Mladen Kovacev

in Kooperation mit der Firma: EDAG Engineering GmbH

Prüfer: Prof.Dr.-Ing Hubert Högl

Verfasser:
Hugues landry Nseupi Nono
Salomon-Idler-Str 25
86159 Augsburg
+49 157 79552970
landrynono60@yahoo.de
Matrikelnr.: 2022666

Hochschule für angewandte
Wissenschaften Augsburg
An der Hochschule 1
86161 Augsburg
Telefon: +49 (0)821-5586-0
Fax: +49 (0)821-5586-3222
info@hs-augsburg.de

© 2022 Hugues landry Nseupi Nono

Diese Arbeit mit dem Titel

»Konfiguration und Optimierung des Embedded-Linux-Betriebssystem für
Automotive Image Processing Unit - Betreuer: Mladen Kovacev«

von Hugues landry Nseupi Nono steht unter einer

*Creative Commons Namensnennung-Nicht-kommerziell-Weitergabe unter gleichen
Bedingungen 3.0 Deutschland Lizenz (CC BY-NC-SA).*
<http://creativecommons.org/licenses/by-nc-sa/3.0/de/>



Sämtliche, in der Arbeit beschriebene und auf dem beigelegten Datenträger vorhandene, Ergebnisse dieser Arbeit in Form von Quelltexten, Software und Konzeptentwürfen stehen unter einer GNU General Public License Version 3.

<http://www.gnu.de/documents/gpl.de.html>

Die nachfolgende Arbeit enthält vertrauliche Informationen und Daten der Firma EDAG Engineering GmbH. Veröffentlichungen oder Vervielfältigungen - auch nur auszugsweise oder in elektronischer Form sind ohne ausdrückliche schriftliche Genehmigung der Firma EDAG Engineering GmbH nicht gestattet.

Zusammenfassung

Abstract auf Deutsch. Lorem ipsum dolor sit amet, consetetur sadipscing elitr, sed diam nonumy eirmod tempor invidunt ut labore et dolore magna aliquyam erat, sed diam voluptua. At vero eos et accusam et justo duo dolores et ea rebum. Stet clita kasd gubergren, no sea takimata sanctus est Lorem ipsum dolor sit amet. Lorem ipsum dolor sit amet, consetetur sadipscing elitr, sed diam nonumy eirmod tempor invidunt ut labore et dolore magna aliquyam erat, sed diam voluptua. At vero eos et accusam et justo duo dolores et ea rebum. Stet clita kasd gubergren, no sea takimata sanctus est Lorem ipsum dolor sit amet.

Abstract

Abstract in English. Lorem ipsum dolor sit amet, consetetur sadipscing elitr, sed diam nonumy eirmod tempor invidunt ut labore et dolore magna aliquyam erat, sed diam voluptua. At vero eos et accusam et justo duo dolores et ea rebum. Stet clita kasd gubergren, no sea takimata sanctus est Lorem ipsum dolor sit amet. Lorem ipsum dolor sit amet, consetetur sadipscing elitr, sed diam nonumy eirmod tempor invidunt ut labore et dolore magna aliquyam erat, sed diam voluptua. At vero eos et accusam et justo duo dolores et ea rebum. Stet clita kasd gubergren, no sea takimata sanctus est Lorem ipsum dolor sit amet.

Inhaltsverzeichnis

Inhaltsverzeichnis	IV
Abkürzungsverzeichnis	VI
Abbildungsverzeichnis	VII
Verzeichnis der Listings	VIII
1 Einleitung	1
1.1 Motivation	1
1.2 Ziel der Arbeit	1
1.3 Überblick über den Aufbau der Arbeit	2
2 Technische Grundlagen	3
2.1 Technische Ausgangssituation	3
2.2 Can Bus Systeme	4
2.2.1 Can Message Frame	4
2.2.1.1 Data Frame	5
2.2.1.2 Remote Frame	6
2.2.1.3 Error Frame	7
2.2.1.4 Overload Frame	8
2.2.2 Can Physical Layer	8
2.3 SPI Interface	9
2.4 Embedded Linux für Xilinx ZynqMP Ultrascale+MPSoC	11
2.5 Komponente des Embedded Linux Betriebssystems für ARM Prozes-	
soren	12
2.5.1 Der Bootloader	12
2.5.2 Device-tree	13
2.5.3 Der Linux Kernel	14
2.5.4 Das Linux Root files System (Rootfs)	15
2.5.5 Der Init Prozess	15
2.5.6 Der Zynq UltraScale+MPSoC Boot-Prozess	16
2.5.6.1 Die Boot-Setup-Phase	16
2.5.6.2 Die Bootloader-Phase	17

Inhaltsverzeichnis

2.6 Petalinux Tool Flow	19
2.6.1 Petalinux Installation	20
2.6.2 Wichtige Petalinux Kommando	20
2.6.3 Petalinux Projekt Strukture	22
3 Umsetzung	24
3.1 Allgemein über das Projekt	24
3.2 Hardware Platform	26
3.2.1 Xilinx ZCU106 Evaluation Board	26
3.2.1.1 Ultrasale + MPSoC Architektur	27
3.2.1.2 Allgemeine Ansicht des Zynq Ultrasale+ MPSoC	27
3.2.1.3 Processing System (PS)	30
3.2.1.4 Programmable Logik (PL)	30
3.2.2 MCP251XFD CAN Controller + Transceiver	31
3.2.2.1 CAN FD Controller Modul	32
3.2.2.2 TLE6251 CAN Transceiver	33
3.3 Konfiguration und Bauen des Systems	33
4 Fazit und Ausblick	38
4.1 Fazit	38
4.2 Ausblick	38
Literaturverzeichnis	39
A Anhang	a
A.1 Inhalt des Datenträgers	a

Abkürzungsverzeichnis

APU	Application processing units
CAN	Control Area Network
CRC	Cyclic Redundancy Check
CSU	Configuration Security Unit
DLC	Data Length Code
FPGA	Field Programmable Gate Array
FSBL	First Stage Bootloader Codes
IPU	Image Processing Unit
OCM	On-Chip RAM
PMU	Platform Management Unit
RPU	Real-time processing units
RTR	Remote Transmission Request
SOF	Start of Frame

Abbildungsverzeichnis

2.1	CAN System Diagram	3
2.2	CAN-Data Frame Architektur	5
2.3	CAN-Remote Frame Architektur	7
2.4	Can-Error-Frame	7
2.5	Can-Overload-Frame	8
2.6	Can-Bus Connexion	8
2.7	CAN_H and CAN_L	9
2.8	SPI Bus	10
2.9	ZCU106-Gerätbaum gpio-keys and leds	13
2.10	der Bootvorgang bei zynq+MPSoCs	18
2.11	PetaLinux-Werkzeugfluss	19
2.12	petalinux Projektstruktur	22
3.1	Versuchsaufbau ZynqMP Ultralcale + mcp251xfd	25
3.2	Xilinx ZCU102 Evaluation Board	26
3.3	Hard-(ARM Cortex-A9/Cortex-A53) und Soft-Prozessoren (Micro-Blaze)	28
3.4	Zynq UltraScale+ MPSoC EV Block Diagram	29
3.5	Zynq UltraScale+ MPSoC Top-Level Blockdiagramm	34
3.6	Detailliertes APU-Blockdiagramm	35
3.7	CAN-Transceiver- und Controller-Modul	36
3.8	CAN Controller Modul	36
3.9	CAN Transceiver Modul	37

Verzeichnis der Listings

1 Einleitung

1.1 Motivation

Aufgrund der Einsätze von immer mehr Geräten, deren Funktionen uns das Leben erreichten. Egal, ob die Waschmaschine zu Hause, der Drucker in unseren Büros, oder die Kaffeemaschine in der Kantine, werden in alle diese Geräte kleine Computer gebaut, damit sie ihre Aufgabe bequem erledigen. Aber durch die gestiegene Rechenleistung und die erweiterten Kapazitäten von Mikroprozessoren werden die Aufgaben von solche kleinen Computer immer komplexer. Es besteht dann die Möglichkeit, ein vollwertiges Betriebssystem im diesen einzusetzen. Hier hat sich Linux durch die vielseitige Anwendbarkeit und das offene Ökosystem für Embedded Devices besonders bewährt. Am EDAG Engineering GmbH, wurde im Rahmen des internen Projekts, ein Image Processing Unit (IPU) Hardware Plattform auf Basis des Kria KV260 FPGA(Field Programmable Gate Array) entwickelt. Auf dieser Plattform wird dann aufgrund der Komplexität des Projekts ein Linux Betriebssystem eingesetzt, mit dem die 8 wesentlichen Anwendungen des Projekts konfiguriert, kompiliert, und zum User zur Verfügung gestellt wird.

1.2 Ziel der Arbeit

Angesichts der weltweiten Krise auf dem Halbleitermarkt in den letzten Monaten, wurde es immer schwieriger, hochwertige Komponenten, wie die für das Projekt verwendeten Kria KV260 Board zu finden. Statt auf der einzigen Platine des Unternehmens, musste ich meine Arbeit auf einer alternativen Platine durchführen. Also meine Arbeit in den letzten Monaten bei EDAG Engineering GmbH wurde in zwei Aufgaben aufgeteilt. Das erste Ziel dieser Arbeit war es, ein in der Firma entwickeltes CAN FD Controller (mcp251xfd), der über SPI mit einem Zynq UltraScale + MP-SoC ZCU106 Board verbunden ist, in Betrieb zu nehmen, damit verschiedenen Can Node vom Linux angesprochen wird.

Im Anschluss musste ich 3 von den in der Firma entwickelten Applikationen, im Linux bauen, damit das System automatisch mit den Anwendungen bootet. Dafür

müsste ich Rezepte schreiben, die sich darum kümmern werden, die Applikationen zu konfigurieren, zu kompilieren und zu installieren.

1.3 Überblick über den Aufbau der Arbeit

Diese Arbeit lässt sich in 4 Hauptkapitel aufteilen:

- **Die Einleitung:** In der Einleitung werden, die Motivation, das Ziel der Arbeit und ein gesamter Überblick auf dem Ablauf der Arbeit behandeln.
- **In den technischen Grundlagen** wird zuerst erklärt, wie das System (CAN Controller und die Zynq Mp Plattform) gebaut und funktionieren soll. Des Weiteren werden, der CAN Bus System und die SPI Interface erklärt. Dann wird dem Grundprinzip von Embedded Linux Systemen und deren Komponenten erläutert. Zum Schluss erfolgt, die Beschreibung der Petalinux Tools Flow, welches der Build System, der verwendet wird, um Linux Distribution für Xilinx Bausteinen zu kompilieren.
- **Im Versuch Aufbau** wird das Projekt, in dem ich gearbeitet habe dargestellt, dann folgt eine tiefe beschreibung der Hardware. Anschließen wird detailliert auf verschiedenen Schritte für das Bauen des System eingegangen.
- **Im Kapitel Fazit und Ausblick** werden aufgetretene Probleme und Herausforderungen erläutert, es wird analysiert, wie weit das Ergebnis von dem Ziel entfernt ist. Und anschließend wird ein Ausblick auf die möglichen Verbesserungen gegeben.

2 Technische Grundlagen

In einem ersten Schritt wird es darum gehen, die Eigenschaften eines solchen Systems zu beschreiben, das aus einem MCP251XFD CAN Controller und einem ZynqMP besteht. Das dient dazu, die Anforderungen an die Hardware und die Konfiguration des Systems verständlicher zu machen. Und dann werden die CAN Bus Systeme und die SPI Schnittstelle tiefer vorgestellt. Danach folgt eine Beschreibung von allgemeine Embedded Linux System. Im letzten Abschnitt wird das verwendete Build System präsentiert.

2.1 Technische Ausgangssituation

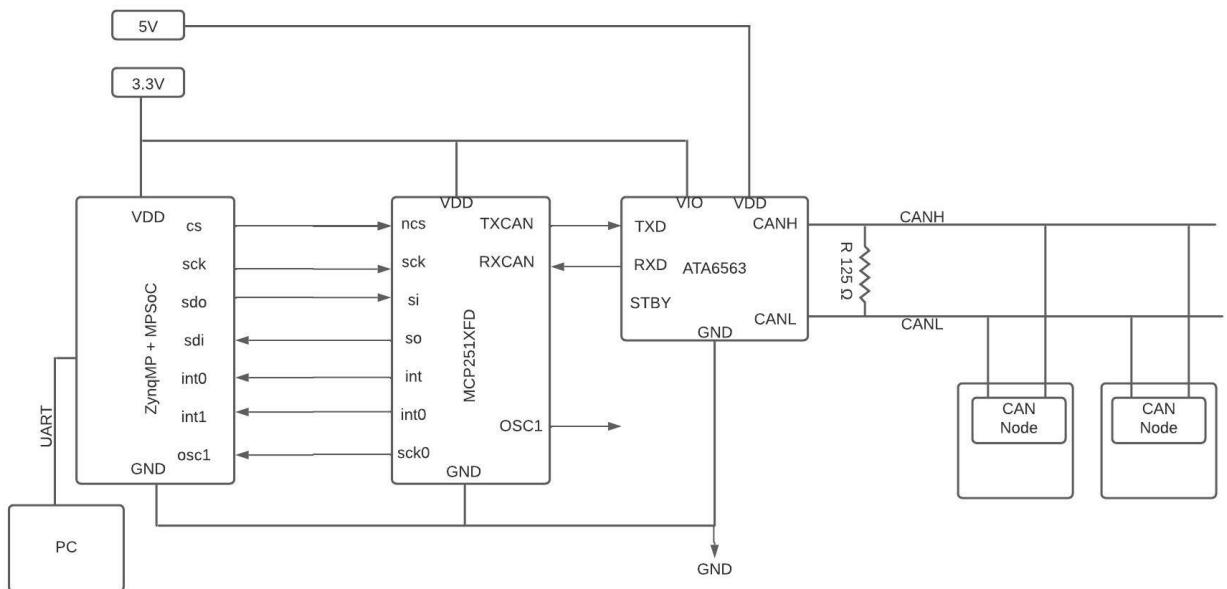


Abbildung 2.1: CAN System Diagram

Das Bild auf der Abbildung 2.1 stellt die Verschaltung zwischen der MCP251xFD CAN Controller und der ZynqMP Plattform dar. Aufgrund der hohen Lizenzgebühren für den internen Ultrascale CAN-Bus-Controller wird ein externer CAN-Controller mit Serial Peripheral Interface (SPI) als Ersatz verwendet, um die Gesamtkosten des Systems zu reduzieren. Das SPI Interface wird also verwendet, um

sowohl der CAN-Controller zu konfigurieren, als auch die CAN-Bus-Daten bis zum FPGA zu übertragen. Auf dem Xilinx FPGA Board werden außer viele andere Peripheriegeräte auch ein SPI-Controller implementiert, mit dem Zweck, die Daten, die vom externen Peripheriegeräte kommen, zu kontrollieren. Zwischen dem MCP251XFD und dem physikalischen Zweidraht-CAN-Bus ist ein CAN-FD Transceiver (ATA6563 von Microchip) zu sehen, der als Schnittstelle zwischen beiden dient. Der bietet unterschiedlicher Empfangs- und Sendefähigkeiten mit einer Hochgeschwindigkeiten von bis 5Mbit/s. In den folgenden Abschnitt gebe ich die Vorteile, ein CAN-Bus zu verwenden.

2.2 Can Bus Systeme

Ein typischer Bereich, in dem die Nutzung von CAN-Bussen unumgänglich ist, wäre die Automobilindustrie. Moderne Auto verfügen Heutzutage über eine Vielzahl an elektronischen Systemen, die miteinander kommunizieren müssen. Und die übliche Verkabelungen wäre mit dem Vielzahl an Steuergeräten kaum mehr möglich. Der CAN-Bus ist in der CAN-Spezifikation von [Bosch \(1991\)](#) als ein Multicast-Kommunikationsprotokoll definiert, das folgende Vorteile aufweist

- CAN ist ein Multi-Master-Broadcast-System. Das heißtt, dass jeder Knoten auf dem Bus mit jedem anderen Knoten kommunizieren kann.
- Der CAN-Bus hat eine Datenübertragungsgeschwindigkeit von bis zu 1 Mbit/s.
- Jeder neue Knoten kann in den Bus eingefügt werden, ohne die ursprüngliche Hardware zu verändern.
- Es bietet eine Fehlerprüfung zur Vermeidung von Busfehlern.
- Das differentielle CAN-Signal bietet eine hohe Rauschunterdrückung.

Da dieses Protokoll sehr viele Vorteile mitbringt, wurde es in den letzten Jahren in der Industrie sehr viel verbreitet. In viele Mikrocontroller werde auf diesem Grund bei der Herstellung ein CAN-Bus eingebaut.

2.2.1 Can Message Frame

In der Sprache des CAN-Standards werden alle Nachrichten als Frames bezeichnet; es gibt Daten-Frames, Remote-Frames, Error-Frames und Overload-Frames. Die an den CAN-Bus gesendeten Informationen müssen definierten Frame-Formaten von

unterschiedlicher, aber begrenzter Länge entsprechen. CAN verfügt über vier verschiedene Arten von Message Frames:

- **Data Frame (Sendet Daten):** Die Daten werden von einem Sendeknoten zu einem oder mehreren Empfangsknoten übertragen.
- **Remote Frame (Fordert Daten an):** Jeder Knoten kann Daten von einem Quellknoten anfordern. Auf einen Remote-Frame folgt somit ein Daten-Frame, der die angeforderten Daten enthält
- **Error Frame (Meldet einen Fehlerzustand):** Jeder Busteilnehmer, egal ob Sender oder Empfänger, kann zu jeder Zeit während einer Daten- oder Remote-Frame-Übertragung einen Fehlerzustand melden.
- **Overload-Frame (Meldet Knotenüberlastung):** Ein Knoten kann zwischen zwei Daten- oder Remote-Frames eine Verzögerung anfordern, das heißt, dass der Overload-Frame nur zwischen Daten- oder Remote-Frame-Übertragungen auftreten kann.

Im Nachfolgenden gehen wir auf der Architektur von den jeweiligen CAN Frame Typen ein.

2.2.1.1 Data Frame

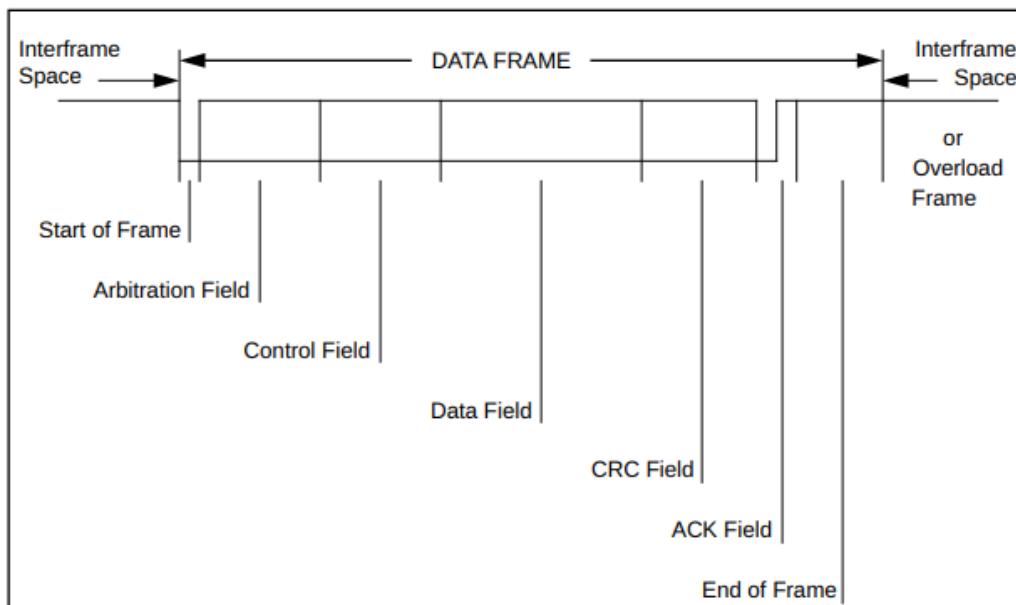


Abbildung 2.2: CAN-Data Frame Architektur Bosch (1991)[p. 12]

Die Abbildung 2.2 beschreibt die 7 Bestandteile, aus denen ein Data Frame besteht, nämlich:

- **SOF(Start of Frame):** Zeigt den Beginn von Daten und Remote Frames an.
- **Arbitration Field:** der besteht auf
 - Identifikator: Die Basis-ID besteht aus 11 Bits und die erweiterte ID aus 29 Bits.
 - RTR(Remote Transmission Request)-Bit: Im Data Frame ist das RTR-Bit "0". Im RTR-Frame hingegen ist es "1".
- **Control Field:** Dient zur Bestimmung der Datengröße und der Länge der Nachrichten-ID. der besteht auf 6 Bits.
 - IDE (Identifikator-Erweiterung): Dieses Bit bestimmt den Identifikator als Basis-ID oder Erweiterte ID.
 - R0,R1: reservierte Bits.
 - DLD (Data Length Code): Er wird zur Bestimmung der Datenlänge verwendet.
- **Data Field:** bis zu 8 Byte Datenfeld.
- **CRC-Field (Cyclic Redundancy Check):** zur Überprüfung der Datenkorrektur.
- **ACK Field (Acknowledgement Field):** um zu bestimmen, ob die Nachricht empfangen wurde oder nicht. Bei Empfang von Daten wird dieses Bit auf High gezogen.
- **EOF (End of Frame):** Zeigt das Ende von Daten- und Remote-Frames an.

2.2.1.2 Remote Frame

Die Abbildung 2.3 beschreibt die Bestandteile eines Remote-Frame. Data-Frame und Remote-Frame sind sich sehr ähnlich. Im Prinzip ist der Remote Frame ein Data Frame ohne das Datenfeld. Dieser besteht in der Regel aus den gleichen Bestandteilen wie der Data Frame.

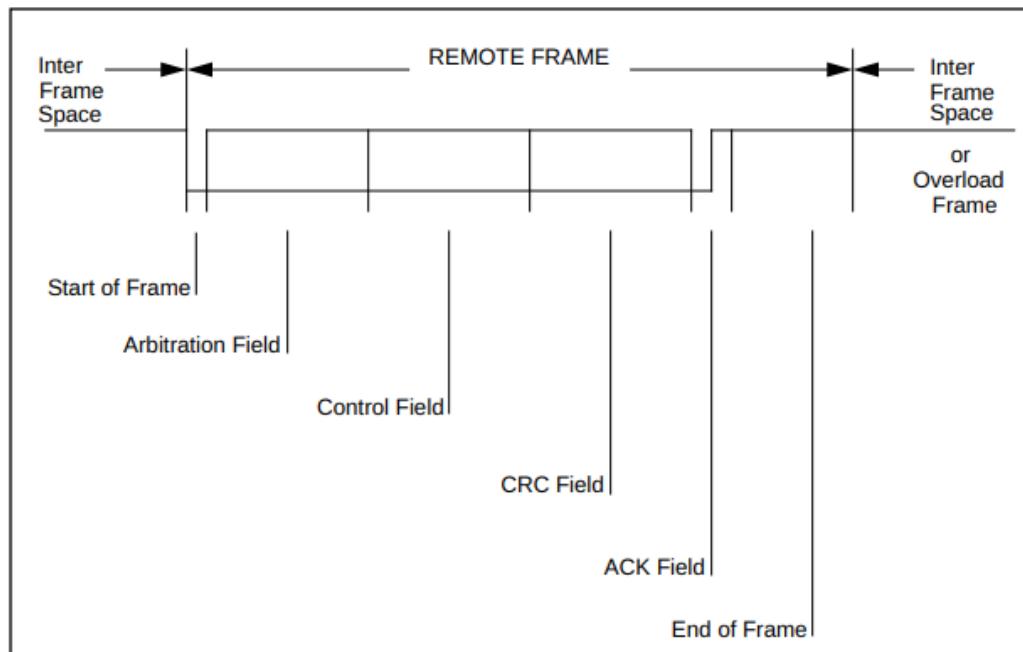


Abbildung 2.3: CAN-Remote Frame Architektur Bosch (1991)[p. 17]

2.2.1.3 Error Frame

Abbildung 2.4 zeigt die Struktur der Error Frame an. Der Error Frame besteht aus zwei Teilen:

- Error Flag: stellt ein Knoten einen Fehlerzustand fest, erzeugt er bis zu 12 Bits "0" für das Fehlerflag.
- Error Delimiter: 8 Bits "1" beenden den Error Frame.

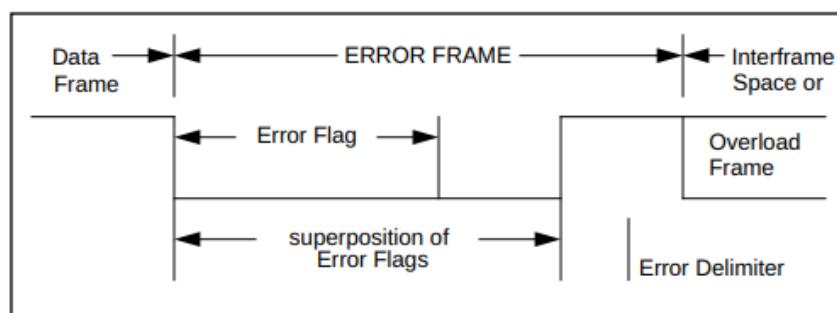


Abbildung 2.4: Can-Error-Frame Bosch (1991)[p. 18]

2.2.1.4 Overload Frame

Abbildung 2.5 ist der Überlastrahmen. Er wird von dem Empfängerknoten erzeugt, um mehr Verzögerung zwischen den Datenrahmen zu erzwingen.

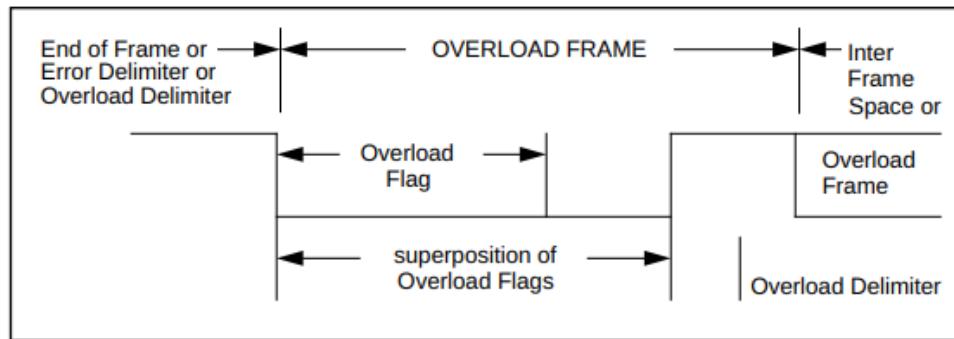


Abbildung 2.5: Can-Overload-Frame Bosch (1991)[p. 19]

2.2.2 Can Physical Layer

Der CAN FD Protokoll, der während dieser Arbeit verwendet wird, ist in ISO 1189-1:2015 definiert. Dieses Protokoll beschreibt nicht die mechanischen, Drähte, und Anschlüsse, aber fordert allerdings, dass die Drähte und Anschlüsse den elektrischen Spezifikationen entsprechen müssen. Abbildung 2.6 zeigt eine CAN-Verbindung mit

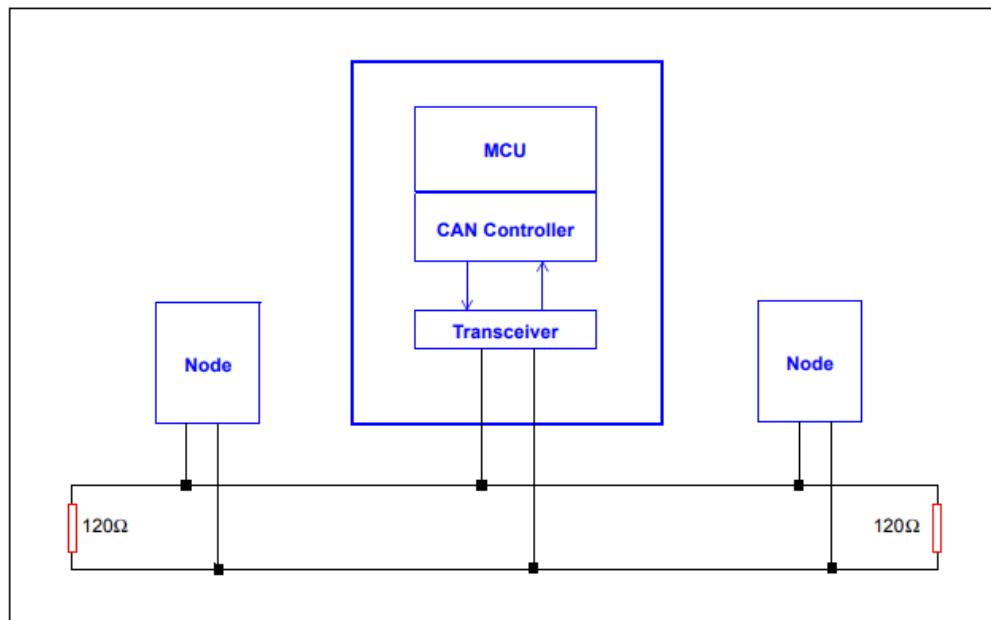


Abbildung 2.6: Can-Bus Connexion Richards (2002)[p. 2]

zwei CAN-Node gemäß der ISO-11898-1 CAN-Spezifikation. CAN High(CAN_H) und CAN Low(CAN_L) verlangen zwei 120Ω -Abschlusswiderstände. Der Transceiver wandelt die von CAN-Knoten kommenden CAN-Signale in ein digitales Rx- und Tx-Signal für den Node Controller um. Des Weiteren handelt es sich bei CAN_H und CAN_L um Differenzsignale. wie auf der Abbildung 2.7 zu sehen ist, wenn die zwei Signale bei 2,5 V liegen, ist dies ein rezessives Signal, also eine logische 0. Wenn CAN_H auf 3,5 V und CAN_L auf 1,5 V, dann handelt es sich um ein dominantes Signal, also eine logische 1.

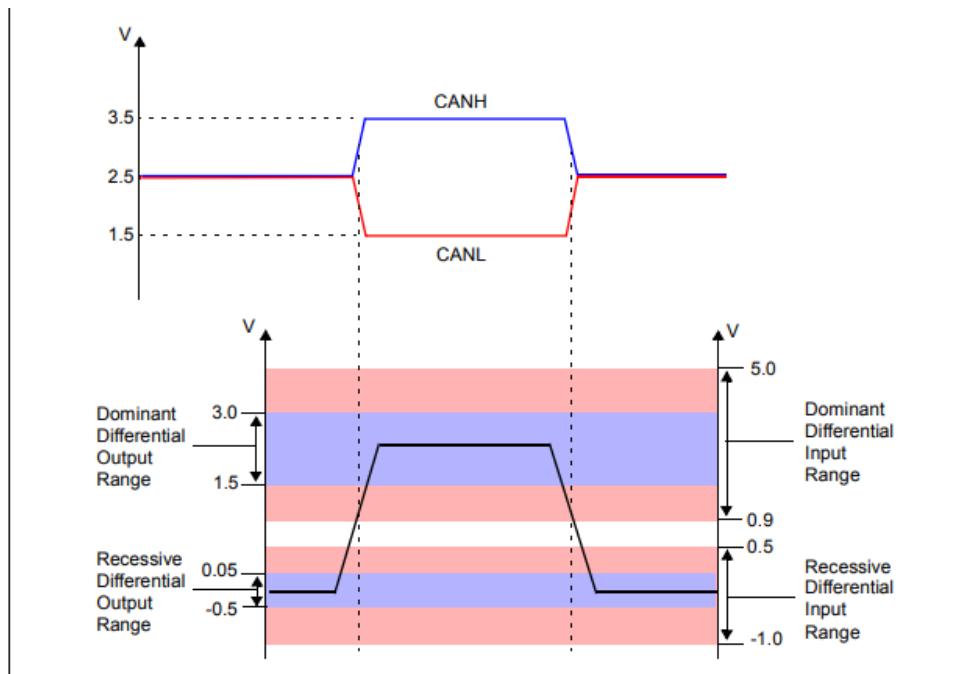


Abbildung 2.7: CAN_H und CAN_L Richards (2002)[p. 3]

2.3 SPI Interface

Die *Serial Peripheral Interface* (SPI) ist eine der am häufigsten verwendeten Schnittstellen zwischen Mikrocontrollern und Peripherie-ICs wie Sensoren, ADCs, DACs, Schieberegistern, SRAM und anderen. Die Schnittstelle SPI ist eine synchrone, auf Voll-Duplex basierte Master-Slave-Schnittstelle. Die Daten vom Master oder Slave werden mit der aufsteigenden oder abfallenden Taktflanke synchronisiert. Dabei können sowohl Master als auch Slave gleichzeitig Daten übertragen.

Das SPI arbeitet aber nach dem Single-Master-Prinzip. Das bedeutet, dass ein zentrales Gerät die gesamte Kommunikation mit den Slaves initiiert. Der Master sendet Daten auf der MOSI-Signalleitung und empfängt Daten auf der MISO-Signalleitung,

so dass der Busmaster gleichzeitig Daten senden und empfangen kann. wie auf dem Bild A der Abbildung 2.8 zu sehen ist. Alle Datenübertragungen müssen zwischen dem Bus-Master und den Slaves stattfinden. Datenübertragungen die direkt zwischen zwei Slave-Geräten stattfinden sind nicht erlaubt.

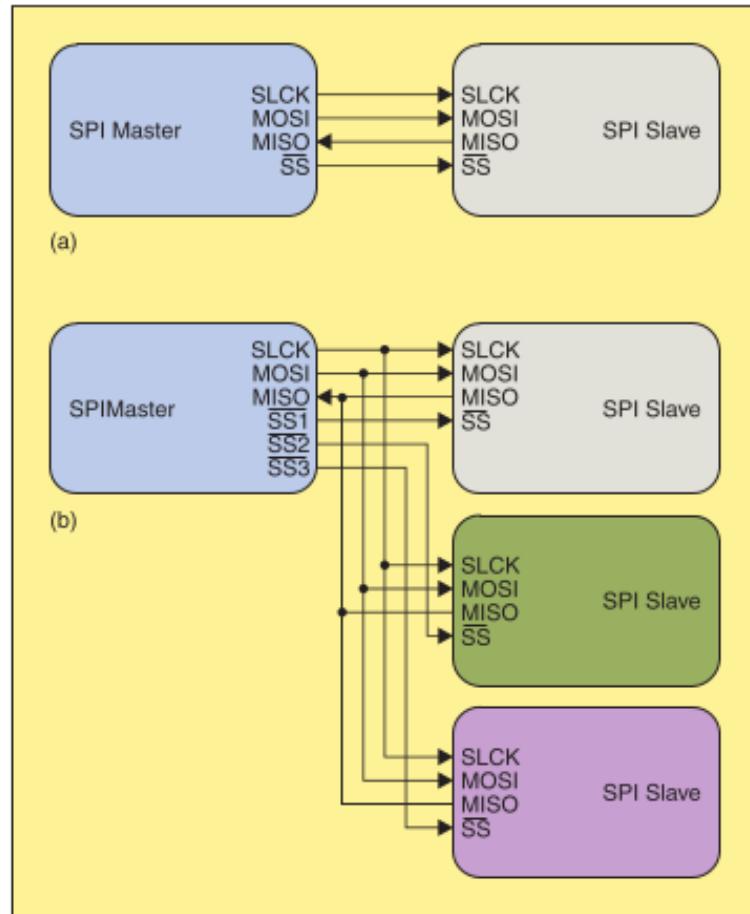


Abbildung 2.8: SPI Bus [Leens \(2009\)](#)[p. 9]

Möchte der SPI-Master Daten an einen Slave senden und/oder von ihm Informationen anfordern, dann wählt er einen Slave aus, und zwar durch Ziehen der entsprechenden SS-Leitung nach unten, während er das Taktsignal mit einer für den Master und den Slave nutzbaren Taktfrequenz aktiviert. SPI ist eine Protokoll mit vier Signalleitungen, wie auf [Leens \(2009\)](#)[p. 9] zu lesen ist.

- **Ein Clock-Signal (SCLK)**, welches vom Bus-Master an alle Slaves gesendet wird; alle SPI-Signale sind mit diesem Clock-Signal synchronisiert.
- **Der Slave Select Signal**: der zur Auswahl des Slaves dient, mit dem der Master kommuniziert.

- **Eine Datenleitung vom Master zu den Slaves**, bezeichnet als Master Out-Slave In (MOSI).
- **Eine Datenleitung von den Slaves zum Master**, bezeichnet als Master In-Slave Out (MISO).

Im kommenden Abschnitt möchte ich das Thema Embedded Systems ansprechen und die Vorteile solcher Systeme erläutern.

2.4 Embedded Linux für Xilinx ZynqMP Ultrascale+MPSoC

Bevor ich auf *Embedded Linux* eingehe, was eigentlich der englische Begriff von *eingebettetes System* ist, möchte ich zunächst klarstellen, dass es keine spezielle Version des Linux-Kernels für Embedded-Systeme gibt. Das Wort *Linux* in embedded Linux bezeichnet hier den Mainline-Linux-Kernel, der auf einem embedded System läuft. Aus Sprachmissbrauchsgründen wird es anstelle von "Linux auf einem eingebetteten System" verwendet.

Im Bereich der eingebetteten Softwareentwicklung wird entschieden, ob man auf Basis von Baremetal oder auf Basis eines Betriebssystems programmiert. Ein Betriebssystem bringt gegenüber der direkten Systemprogrammierung Vorteile mit sich, die es zu berücksichtigen gilt. Bare Metal heißt, dass ein Programm oder eine Software ohne Unterstützung eines Betriebssystems direkt auf der Hardwareebene ausgeführt wird. Anders ausgedrückt, programmiert man einen Mikrocontroller direkt mit ein paar Zeilen C- oder Assembler-Code. Bei embedded Linux im Gegenteil werden Anwendungen über dem Kernel ausgeführt oder von diesem unterstützt und arbeiten so als Betriebssystem (OS). Jede Kommunikation zwischen Hardware und Software läuft also über den Kernel, was tatsächlich viele Vorteile mit sich bringt.

- Treiber-Unterstützung für viele Geräte
- Prozess- und Speicherverwaltung
- Bestehende Anwendungen und Netzwerkprotokolle
- Skalierbarkeit und Echtzeitfähigkeit
- Große Entwickler-Community

Man spart nicht nur Zeit, sondern trägt auch zur Wartbarkeit der Software bei, wenn man vorhandene Software verwendet. Wenn man solche Komponenten von Null an entwickelt, dann hat man eine Quelle für eventuelle Fehler, die bei betriebssystembasierter Software wegen der hohen Verbreitung und Unterstützung durch die

Gemeinschaft und die Entwickler in der Regel minimiert werden. Außerdem haben Betriebssysteme den Vorteil, dass die Software leichter auf Nachfolgeplattformen und mithilfe von Standards wie POSIX auf andere Betriebssysteme übertragen werden kann.

Im Rahmen dieser Arbeit wird ein Linux-Kernel auf Basis der Kernel Version 5.10 verwendet [[Linux-kernel](#)], der um einige Zynq-spezifische Features in Form von Treibern erweitert wurde. Eine Liste der von Xilinx zur Verfügung gestellten Treiber ist im Official Xilinx Wiki zu finden. Eine Liste der von Xilinx bereitgestellten Treiber kann man

2.5 Komponente des Embedded Linux Betriebssystems für ARM Prozessoren

In diesem Abschnitt möchte ich auf die wesentlichen Komponenten von eingebetteten Linux-Betriebssystemen im Detail eingehen. Im Anschluss daran wird der typische Boot-Prozess solcher Systeme beschrieben. Ein auf Linux basierendes Betriebssystem wird in Form einer Linux-Distribution angeboten. Es handelt sich dabei um eine Sammlung von Softwarepaketen, Bibliotheken und Dienstprogrammen zusammen mit einer eigenen Linux-Kernel-Variante, die für eine bestimmte Prozessorarchitektur angepasst oder verändert wird. Zum Booten eines Linux-Betriebssystems auf einem ARM-Prozessor werden die folgenden Komponenten benötigt:

- **der Bootloader**
- **Der Gerätebaum(Device-tree):**
- **Der Linux Kernel**
- **Root filesystem:** beinhaltet die Bibliotheken und Programme, die ausgeführt werden, sobald der Kernel seine Initialisierung abgeschlossen hat.
- **Der “Init“ Prozess:**

2.5.1 Der Bootloader

Derviş (2013)Der Bootloader ist die Software, die beim Einschalten des Systems ausgeführt wird und für das Laden eines Betriebssystems für die Hardware verantwortlich ist. Beim Einschalten des Rechners, auf denen Linux als Betriebssystem

installiert ist, wird nach der ersten Einrichtung der Bootloader, der für die Initialisierung der Hardware-Peripherie und das Laden des Bitstreams im FPGA verantwortlich ist, in den Speicher geladen und der Code ausgeführt.

Der Bootloader muss zunächst von der Festplatte in den Prozessorspeicher geladen werden, bevor er ausgeführt werden kann. Beim Zynq UltraScale+MPSoC wird UBoot zum Laden des Linux-Kernels verwendet, und die Bootload-Phase ist hier in zwei Stufen unterteilt: die FSBL-Phase und die U-Boot-Phase

2.5.2 Device-tree

```
/*
 * dts file for Xilinx ZynqMP ZCU106
 *
 * (C) Copyright 2016 - 2020, Xilinx, Inc.
 *
 * Michal Simek <michal.simek@xilinx.com>
 */

#include "include/dt-bindings/input/input.h"
#include "include/dt-bindings/gpio/gpio.h"
#include "include/dt-bindings/pinctrl/pinctrl-zynqmp.h"
#include "include/dt-bindings/phy/phy.h"

{
    model = "ZynqMP ZCU106 RevA";
    compatible = "xlnx,zynqmp-zcu106-revA", "xlnx,zynqmp-zcu106", "xlnx,zynqmp";

    gpio-keys {
        compatible = "gpio-keys";
        autorepeat;
        sw19 {
            label = "sw19";
            gpios = <&gpio 22 GPIO_ACTIVE_HIGH>;
            linux,code = <KEY_DOWN>; /* down */
            wakeup-source;
            autorepeat;
        };
    };

    leds {
        compatible = "gpio-leds";
        heartbeat-led {
            label = "heartbeat";
            gpios = <&gpio 23 GPIO_ACTIVE_HIGH>;
            linux,default-trigger = "heartbeat";
        };
    };
}
```

Abbildung 2.9: Ein Screenshot des ZCU106-Gerätebaums, der den Inhalt des gpio-keys und leds auf dem Board zeigt

Die Abbildung 2.9 zeigt Informationen zu den Schalter- und led-Knoten im Device Tree des Xilinx ZCU106 Boards. Hier wird z.B. angegeben, an welchem gpio-Pin der Schalter SW9 auf der Platine angeschlossen ist.

Derviş (2013) Der Linux-Kernel benötigt Informationen über den Prozessor, auf dem er ausgeführt wird, die Peripheriegeräte, mit denen der Prozessor verbunden ist, ih-

re Schnittstellen zum Prozessor und ihre physikalischen Adressen. Der Kernel muss zur Initialisierung der Treiber und der mit diesen Peripheriegeräten verbundenen Dienste auch überprüfen, dass die Funktionen, die in seiner Konfiguration aktiviert wurden, tatsächlich von der Hardware unterstützt werden, die er steuert. Dabei kann es sich um Informationen über die Taktgeber und Register der Hardware oder über die mit der Hardware verbundenen Peripheriegeräte wie den externen Speicher, SPI handeln.

Der Zynq UltraScale+MPSoC verwendet daher den Device-Tree, um die Geräte- und Peripherie-Informationen wie physikalische Geräteadressen, E/A-Registeradressen, Speicheradressraum und Interrupt-Informationen während des Bootvorgangs an den Kernel weiterzugeben.

Der Gerätebaum wird im Textformat in einer Datei mit der Erweiterung ".dts" dargestellt. Hierbei handelt es sich um eine Quelltextdatei, die Informationen über Geräte und Verbindungsbusse beschreibt, die mit einer Computer-Hardware verbunden sind. Sie ist in Form von "Knoten" organisiert, deren Stammverzeichnis durch "//" dargestellt wird, genau wie im Linux-Stammdatesystem. Jeder Knoten hat einen Namen, der ein mit dem Prozessor verbundenes Gerät oder einen Bus darstellt, und der Knoten besteht aus Eigenschaften. Jeder übergeordnete Knoten für ein bestimmtes Peripheriegerät oder einen Bus kann "Kind" -Knoten für Geräte enthalten, die mit diesem Peripheriegerät oder Bus verbunden sind. Die Werte der Eigenschaften können Zeichenketten oder Listen von Zeichenketten sein, oder sie können leer sein, wenn das Vorhandensein oder Nichtvorhandensein des Wertes eine boolesche Logik an den Kernel übermittelt. Die Device-Tree-Quelldatei wird mit Hilfe des "dtc -Compilers" zu einem Device-Tree-Blob (.dtb) kompiliert.

2.5.3 Der Linux Kernel

Das ist das Herzstück des Systems, das die Systemressourcen und Schnittstelle zur Hardware verwaltet. Die Hauptfunktionen des Linux-Kernels sind die folgenden [Daniel P. Bovet and Marco Cesati \(2006\)](#):

- Planung von Prozessen und Einrichten einer Umgebung für ihre Ausführung.
- Zuteilung von Speicher an einen Prozess und Schutz des von einem Prozess verwendeten Speichers vor anderen Prozessen.
- Verwaltung der Kommunikation zwischen den Prozessen, um eine effiziente Ausführung der Prozesse zu gewährleisten

- Sicherstellung der Integrität des Systems, wenn das Computersystem mehrere Benutzer hat, die berechtigt sind, Änderungen am Root-Dateisystem und an Softwarepaketen vorzunehmen.
- Verwalten der Computerressourcen und des Zugriffs auf diese Ressourcen

Nachdem der Bootloader den Gerätebaum und den Kernel in den DRAM des Prozessors geladen hat, teilt er dem Kernel die Adresse des Gerätebaums mit, bevor der Kernel mit der Ausführung beginnt. Der Kernel prüft dann der Reihe nach alle Hardware-Peripheriegeräte, Clock-Generator und Speicher, die vom FSBL initialisiert wurden, und aktiviert dann alle mit der zugrunde liegenden Hardware verbundenen Dienste und Funktionen, die in der Kernelkonfiguration aktiviert wurden. Sobald der Kernel mit diesen Aufgaben fertig ist, hängt er das Root-Dateisystem ein und führt den initProzess aus, der es dem Benutzer ermöglicht, in den Benutzerraum einzutreten.

2.5.4 Das Linux Root files System (Rootfs)

Das Linux-Root-Dateisystem [Derviş (2013)] enthält alle binären ausführbaren Dateien, Geräteinformationen, Prozessprotokolle, Softwarepakete und Bibliotheken, die vom Benutzer in seinem Benutzerbereich benötigt werden, um das Linux-Betriebssystem effizient zu nutzen. Das Dateisystem auf der Festplatte ist in Verzeichnissen organisiert. Das Root-Dateisystem wird in das Verzeichnis“/“ des Dateisystems eingehängt, welches die Spitze der Hierarchie des Root-Dateisystems markiert.

2.5.5 Der Init Prozess

Der initProzess [Derviş (2013)] wird als erster Prozess im Benutzerbereich vom Kernel initiiert und ist für die Initialisierung der Systemverwaltungsdienste zuständig, bevor die Benutzer sich anmelden können. Alle Software-Dienste, die im Root-Dateisystem installiert und im Benutzerraum aktiviert wurden, werden vom initProzess ausgeführt, bevor sich die Benutzer sich am System anmelden

Als Nächstes wird den Boot-Prozess bei Systemen, die auf Zynq UltraScale+ MP-SoCs basiert sind, erläutert, da dies genau die Plattform ist, die wir für unsere Arbeit verwenden werden.

2.5.6 Der Zynq UltraScale+MPSoC Boot-Prozess

Zum Booten von Linux auf dem Zynq UltraScale+MPSoC muss das Boot-Image (BOOT.BIN) auf dem Boot-Medium entsprechend dem vom Benutzer gewählten Boot-Modus vorhanden sein [[UG1137 \(2017\)](#)[p. 14]]. Das ZCU106 Board unterstützt das Booten über JTAG, Quad-SPI Flash, SD Card und NAND Flash Drive. In dieser Arbeit booten wir Linux von der SD-Karte [[Petalinux \(2020\)](#)[p. 61]], daher muss die Datei BOOT.BIN auf der FAT32-Partition der SD-Karte vorhanden sein. Die BOOT.BIN-Datei wurde so konfiguriert, dass sie die Platform Management Unit Firmware (PMUFW), die FSBL und die ausführbaren U-Boot-Dateien beinhaltet, welche die empfohlene Konfiguration für den Zynq UltraScale+ ist. Die BOOT.BIN enthält in dieser Arbeit auch den FPGA-Bitstream zur Programmierung der programmierbaren Logik (PL). Für ein vollständiges Booten über eine SD-Karte sollten das Kernel-Image (Image) und der Device-Tree-Blob ("Projektnname.dtb") ebenfalls auf der FAT32-Partition vorhanden sein. Das Root-Dateisystem muss auf der EXT4-Partition der SD-Karte vorhanden sein.

Der Bootvorgang von Linux auf dem Xilinx Zynq UltraScale+ lässt sich in vier Phasen unterteilen

- Die Boot-Setup-Phase
- Die Bootloader-Phase
- Die Kernel-Boot-Phase
- und Die "init"-Phase

2.5.6.1 Die Boot-Setup-Phase

Die Platform Management Unit (PMU) und die Configuration Security Unit (CSU) sind für das Einrichten des Zynq UltraScale+ MPSoC verantwortlich, bevor Linux auf dem PS gebootet werden kann. Die Boot-Setup-Phase besteht aus drei Phasen, die wie folgt unterteilt werden können [[Xilinx Inc. \(2019\)](#)[p. 27]]:

- **Pre-configuration stage (Oder Vor-Konfigurationsphase):** Dieser Phase wird von der PMU angesteuert, die den PMU-ROM-Code(PBR). Nachdem der PBR-Code ausgeführt wurde, übergibt er die Systemkontrolle an die Configuration Security Unit (CSU). Die wichtigsten Schritte der Vor-Konfigurationsphase sind im Folgenden aufgeführt [[Xilinx Inc. \(2019\)](#)[p. 57]]:
 - Initialisieren des Systemmonitors
 - Initialisierung der Phase Locked Loops (PLL) für Takte

- Leeren des PMU-RAMs.
 - Initialisieren Sie des Dynamic Random Access Memory (DRAM).
 - Freigabe der CSU oder Eintritt in den Fehlerzustand.
- **Configuration stage oder (Konfiguration der Phase):** Diese Phase übernimmt das Laden des First-Stage-Bootloader-Codes (FSBL) für den PS in das On-Chip-RAM (OCM), und zwar sowohl im sicheren als auch im unsicheren Boot-Modus. Während des Bootvorgangs lädt die CSU auch die PMU-Benutzerfirmware (PMU FW) in das PMU-RAM, um in Verbindung mit dem PMU-ROM Plattform-Management-Dienste bereitzustellen.
 - **Post-configuration stage oder (Post-Konfigurationsphase):** Nach dem Start der FSBL-Ausführung geht der CSU-ROM-Code in die Post-Konfigurationsphase über, die für die Reaktion auf Systemmanipulationen verantwortlich ist

2.5.6.2 Die Bootloader-Phase

First Stage Bootloader (FSBL)

Die FSBL ist der sekundäre Programmableader in der Terminologie des generischen ARM-Prozessor-Boot-Prozesses. Der FSBL führt die folgenden Aufgaben aus. FSBL führt die folgenden Aufgaben aus [Xilinx Inc. (2019)]

- Suchen in der FAT32-Bootpartition der SD-Karte nach dem PL-Bitstream und dem second stage Bootloader (das U-boot).
- Initialisierung der PS-Hardware, der E/A-Geräte, des Speichers und der Takte entsprechend der Konfiguration, die durch das in der Xilinx Vivado Design Suite spezifizierte Hardware-Design definiert ist
- Programmieren des PL mit dem FPGA-Bitstream
- Laden der ARM Trusted Firmware (ATF) und das U-Boot in den APU-Prozessorspeicher.

Das U-boot

Wenn der Prozessor eingeschaltet wird, enthält der Prozessorspeicher kein Betriebssystem, sodass ein Bootloader erforderlich ist, um den Linux-Kernel und den Gerätebaum aus dem Speicher in den Prozessorspeicher zu laden, diese Aufgabe wird also vom U-boot übernommen. Der U-Boot ist der Second Stage Bootloader (SSBL) für den Xilinx Zynq UltraScale+ MPSoC oder der Tertiary Program Loader (TPL) in der Terminologie des generischen ARM-Bootprozesses. U-Boot kann den Kernel und

den Device-Tree über das Netzwerk mittels Ethernet, über JTAG, von der SD-Karte, Quad-SPI-Flash und vom NAND-Flash-Laufwerk laden.

Die Abbildung 2.10 Es zeigt die Rolle der verschiedenen Einheiten des Zynq UltraScale+MPSoC beim Booten des Linux-Betriebssystems auf der Hardware. Man sieht, dass die PMU die CSU freigibt, die wiederum die FSBL lädt. Die FSBL lädt dann das ATF und das U-Boot. Das U-Boot ist dann für das Booten von Linux auf der Hardware verantwortlich.

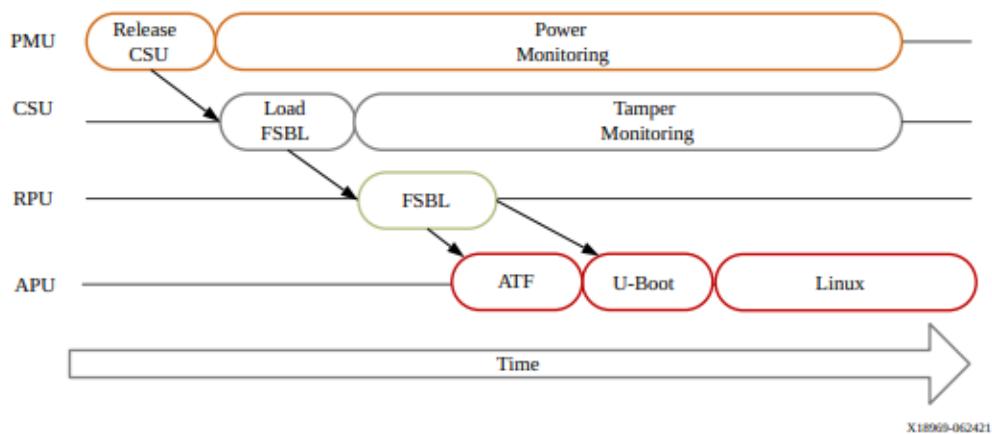


Abbildung 2.10: Überblick über den Bootvorgang [UG1137 \(2017\)](#)[p. 58]

Der Bootvorgang bei Xilinx Bausteine besteht, ebenso wie bei allen Linux-Systemen, aus drei Phasen [UG1137 \(2017\)](#)[p. 57], die von der Platform Management Unit (PMU) und die Configuration Security Unit (CSU) gesteuert und geführt wird. Das Booten des Geräts kann entweder im sicheren (*secure boot*) oder im nicht sicheren (*non-secure boot*) Modus durchgeführt werden

auf dieser Ebene ist das Betriebssystem noch nicht vollständig betriebsbereit. sobald der FSBL an den TF-Agent übergeben wird, dann wird er Auf der Application processing units(APU) ausgeführt. TF-Agent wird an einen Second Stage Boot Loader wie U-Boot übergeben, der ein Betriebssystem wie Linux ausführt und lädt, und Linux lädt seinerseits die ausführbare Software.

Alle bisher genannten Linux-Komponenten, ob die Toolchains, der Bootloader, der Kernel oder das Root-Dateisystem können mit einem Build-System wie dem Yocto-Projekt erstellt werden. Da unser FPGA aber einen MPsoc enthält, der einen Bootloader, ATF-Firmware, pmufw, den Bitstream und u-boot benötigt, ist ein Build System zu verwenden, das automatisch alle diese Komponenten erzeugen kann.. Hierfür ist Petalinux am besten geeignet. Im nächsten Abschnitt werde ich das Petalinux Build System vorstellen.

2.6 Petalinux Tool Flow

PetaLinux ist ein Embedded Linux Software Development Kit (SDK), das auf FPGA-basierte System-on-a-Chip (SoC)-Designs abzielt. Petalinux (2020). Es erstellt das Root-Dateisystem unter Verwendung von Yocto, es setzt praktisch auf Yocto auf. Unter PetaLinux versteht man eine Reihe von High-Level-Befehlen, die auf der Yocto-Linux-Distribution aufbauen. Die PetaLinux-Werkzeuge können zur Anpassung, Erstellung und Bereitstellung von Embedded Linux-Lösungen/Linux-Images für Xilinx-Prozessorsysteme verwendet werden. So arbeitet PetaLinux mit den Hardware-Design-Tools von Xilinx (z.B. Vivado) zusammen, um die Entwicklung von Linux-Systemen für unseren Zynq UltraScale+MPSoC zu erleichtern.

Ein wesentlicher Vorteil von petalinux ist, dass es eine Reihe von vereinfachten Befehlen enthält, die für das Booten und die Integration von HW- und SW-Projekten sehr nützlich sind. In Abbildung 2.11 sehen Sie einen Überblick über den PetaLinux-Werkzeugfluss auf oberster Ebene.

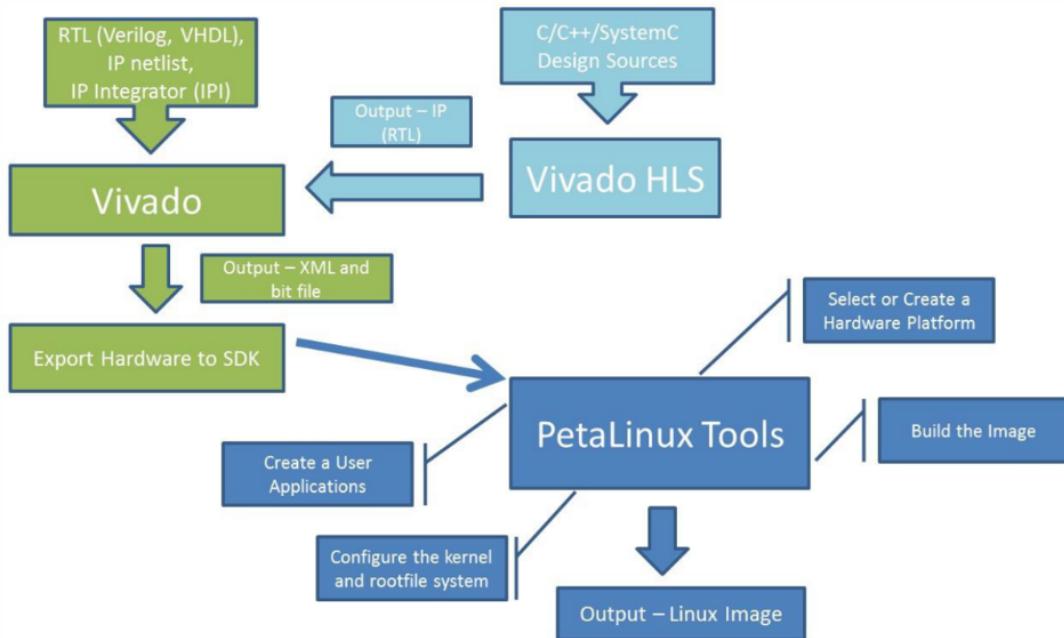


Abbildung 2.11: Überblick über den PetaLinux-Werkzeugfluss [Support (2022)]

Wie man in der Abbildung 2.11 sehen kann, ist es möglich, mit Vivado erstellte Hardware-Designs in petalinux zu importieren, einige Anwendungen in petalinux einzubinden und ein Linux-Image zu erstellen.

2.6.1 Petalinux Installation

Wie jedes Build-System benötigt petalinux viele Ressourcen auf Ihrem PC. Um die Kompilierzeit deutlich zu reduzieren, ist es daher sinnvoll, einen Computer mit folgenden Eigenschaften zu verwenden.[Petalinux \(2020\)](#)

- 8 GB RAM
- 2 GHz CPU-Takt oder gleichwertig
- 100 GB freier HDD-Platz
- Petalinux unterstützt nur auf Linux Kernel basierte Betriebssysteme.
- PetaLinux-Tools erfordern, dass Ihr Host-System /bin/sh **bash** ist. Der folgende Befehl kann verwendet werden, um die Bash als Terminal einzurichten, wobei der Befehl als root ausgeführt werden muss.

```
1 $ sudo dpkg-reconfigure dash
```

Einmal die vorherigen Voraussetzungen erfüllt, kann man also die Installationsdatei von Petalinux unter diesem Link [Petalinux Installer Download](#) herunterladen. mit dem **mkdir** Kommando in Linux kann man ein Petalinux Installation Ornder erstellen, in dem die Installationsdatei dann kopiert wird. mit dem -p Schalter kann den Ordner in einem spezifischen Ordner erstellen.

```
1 $ mkdir -p /home/<user>/petalinux/<petalinux-version>
```

Mit den folgenden Befehlen kann man die Datei ausführbar machen und der Installationsprozess starten.

```
1 $ chmod 755 ./petalinux-v<petalinux-version>-final-installer.run
2 $ ./petalinux-v<petalinux-version>-final-installer.run
```

2.6.2 Wichtige Petalinux Kommando

- **petalinux-create**: Erstellt ein neue Petalinux Projekt. man kann dem Befehl verschiedenen Optionen zuweisen,
 - **type**: definiert den Projekt Type
 - **template**: Bei der Erstellung des Projekts kann man eine Vorlage definieren. Für das Projekt wurde zynqMP verwendet.

- ***srcuri***: Hier wird der Pfad zu einem Board Support Package (BSP) angegeben, das zur Erstellung des Projekts verwendet wird.
- ***name***: definiert den Name des Projekts.
- **petalinux-config**: dieser Befehl wird verwendet zur Initialisierung oder Aktualisierung der Hardwarekonfiguration des Projekts oder Konfiguration der Kernel- und/oder Dateisystemeinstellungen. Je nach Anwendung stehen hier auch uns eine Reihe von Konfiguration-Optionen zur Verfügung. Einige davon sind:
 - ***get-hw-description***: Initialisiert den Petalinux-Projekt mit einem vom Vivado Hardware-description-file(HDF). PetaLinux verwendet HSI-Dienstprogramme, um Informationen über die Hardware aus dieser Datei zu extrahieren, sowie Informationen wie Intellectual property Cores (IP-Cores), Netze, Ports und Schnittstellen, die in anderen Tools wie dem Devicetree-Generator verwendet werden .
 - ***-c rootfs***: Startet das Konfigurations-Menü des Root-Dateisystems.
 - ***-c kernel***: Startet das Konfigurations-Menü des Kernel.
- **petalinux-build**: Das Tool Erstellt bestimmter Komponenten oder eines ganzen Linux-Systems für das PetaLinux-Projekt (einschließlich FSBL, uboot, Gerätebaum usw.). Genau so wie mit ***petalinux-config*** Befehl, können auch Besonderheiten mit den Zeichen ***-c*** und ***-x*** festgelegt werden.
 - ***-c oder -component***: Baut die angegebene Komponente(kernel, u-boot, rootfs, device-tree ...). Es handelt sich hierbei um die Standard Komponente, die unterstützt werden. Es können aber auch eigenes Objekt erstellen werden (z. B. eigene Anwendung oder Modul).
 - ***-x oder execute*** : Führt den angegebenen Build-Schritt aus. Es können alle Yocto-Tasks über diese Option übergeben werden(build, clean, cleansstate, distclean ...).
- **petalinux-boot**: Das Werkzeug Bootet ein angegebenes Linux-Image entweder über JTAG auf die Hardware oder den QEMU-Softwareemulator.
 - ***-jtag***: Die jtag-Tools sind sehr hilfreich, wenn man genau sehen möchte, wie der Boot-Vorgang im Einzelnen abläuft.

- **petalinux-package:** Das Werkzeug packt ein gebauter PetaLinux-Projekt in einem für die Bereitstellung geeigneten Format. je nach Zielpaketformat bietet es mehrere Arbeitsabläufe, deren Operationen abweichen. Für das Projekt verwenden wir ***petalinux-package -boot***, der hat die folgenden Optionen:
 - **-format:** Das zu erzeugendes Bilddateiformat(BIN, MCS, DOWNLOAD.BIT)
 - **-fsbl:** Damit definiert man den Pfad zum First Stage Bootloader(FSBL) .elf-Binäre Datei.
 - **-fpga BITSTREAM:** Den Pfad zur Bitstream-Datei.
 - **-force:** Existierende Dateien auf der Festplatte überschreiben.
- **petalinux-devtool:** Das petalinux-devtool ist das letzte auf der Liste der petalinux-Tools, die ich beschreiben wollte und die ich für meine Arbeit benötigen werde. Das ist ein Dienstprogramm, das mit Hilfe des Yocto-Devtools Software erstellt, getestet und verpackt werden können. In den kommenden Abschnitten werde ich auf jeweilige Optionen, die ich verwendet habe eingehen.

2.6.3 Petalinux Projekt Strukture

In diesem Abschnitt möchte ich über die Petalinux-Projektstruktur sprechen. Es ist wichtig, dies zu erwähnen, damit klar ist, wie und wo Komponenten, Module oder Software geändert werden können.

```
project-spec
    hw-description
    configs
    meta-user
pre-built
    linux
        implementation
        images
        xen
hardware
    <project-name>
components
    plnx_workspace
    device-tree
config.project
README
```

Abbildung 2.12: typische petalinux projektstruktur [Support (2022)]

In Abbildung 2.12 ist eine typische Petalinux Projektstruktur dargestellt.

- **project-spec:** In diesem Verzeichnis werden alle Änderungen an dem Projekt durchgeführt. Hier können z. B. neue Projekt Layers erstellen, den Gerätebaum(Device-tree) geändert oder sogar Rezepte für Software, die vom Kernel kompiliert werden soll, erstellt werden.
- **pre-built:** Dieses Verzeichnis beinhaltet alle Board-spezifischen Design- und Konfigurationsdateien, vorgefertigte und getestete Hardware und Software-Images, die Sie auf dem Board direkt heruntergeladen werden können. Der Ordner ist jedoch nur sichtbar, wenn man das Projekt auf der Basis des für das Board spezifischen Board Support Package (BSP) erstellt hat.
- **hardware:**

3 Umsetzung

In diesem Kapitel möchte ich mich am allerersten noch mal über das Ziel dieser Arbeit äußern, dabei geben ich eine tiefe Eindruck auf meine tatsächliche Arbeit. Dann möchte ich die verwendete Hardware, folgen mit einer grobe Beschreibung, wie sie Verschalten sind, beschreiben. Anschließend möchte ich auf die Schritte zum Bauen und Konfigurieren des Gesamt Betriebssystem eingehen.

3.1 Allgemein über das Projekt

Ähnlich wie ein Desktop-PC, der ein Betriebssystem wie Windows oder Linux benötigt, um seine gesamte Software auszuführen oder die angeschlossene Hardware zu steuern, benötigt embedded Geräte auch ein Betriebssystem, um ihre Anwendungen einfacher zu verwalten. Das Betriebssystem, das auf unserem Gerät laufen wird, soll also die folgenden 8 Softwaremodule im Hintergrund ausführen, die dann sämtliche Funktionen der IPU-NG Projekt beschreiben. Wie im Kapitel 1.2 beschrieben, sollen im Rahmen dieser Arbeit 3 der 8 unten beschriebenen Softwaremodule in das Betriebssystem eingebaut werden.

- **System Watchdog:** der zuständig ist das System zu überwachen.
- **Power Manager:** der bedient die Stromversorgung der einzelnen Teile des Systems.
- **System Updater:** der aktualisiert das gesamte System, in falls, dass es Neuerung gibt.
- **License Manager:**
- **Web Backend:** der dient als Brücke zwischen der Web Anwendung und dem Rest des Systems
- **Web Anwendung / WEB Frontend:** Die Webanwendung ermöglicht es dem Benutzer, den Status des Geräts abzurufen, es zu aktualisieren, die Debug-Protokolldateien herunterzuladen

- **System Logger:** die von Linux erzeugten Log Files verfolgen, parsen und entsprechend der Liste von oben die notwendigen Informationen von den entsprechenden Log Files extrahieren und in den von der System Logger Anwendung verwalteten zirkularen Buffer schreiben.
- **Hauptanwendung:** die stellt die Kern-Funktionalität des IPU NG Gerätes zur Verfügung

Weiterhin sollte im Rahmen dieser Arbeit das Betriebssystem so konfiguriert werden, dass der MCP251xFD CAN-Controller über SPI sowohl konfiguriert werden als auch Daten an den Mainline-Linux-Kernel senden kann.

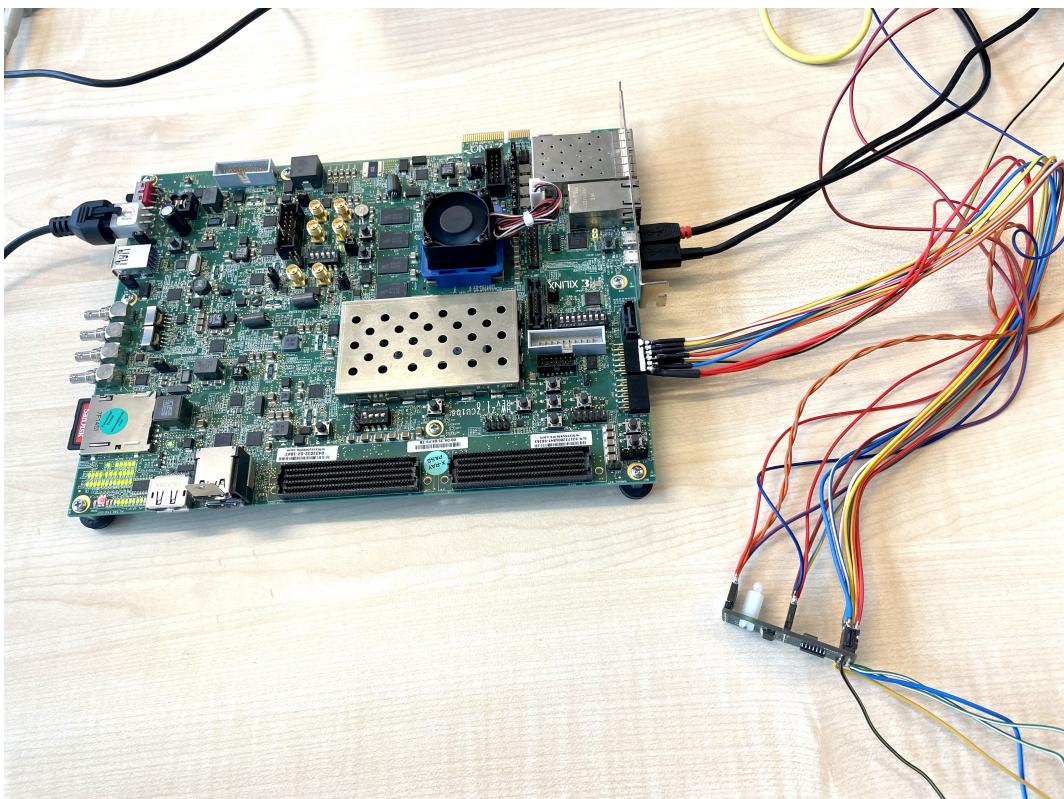


Abbildung 3.1: Versuchsaufbau ZynqMP Ultralcale + mcp251xfd

Die Abbildung 3.1 zeigt die Verschaltung zwischen der Ersatz Board und der MCP251xfd CAN Controller und der Ersatzt Board Zynq Ultrascale. Im folgenden Abschnitt würde ich eine ausführliche Beschreibung der verwendeten Hardware vorstellen.

3.2 Hardware Platform

Aus Kostengründen wurde anstelle des FPGA-internen CAN-Controllers ein externer CAN-Controller verwendet. Und viel besser: Dieser CAN-Controller wurde im Unternehmen entwickelt. Außerdem wurde das von Xilinx entwickelte Board ZCU106 verwendet, das auf dem Zynq UltraScale + MPSoC basiert. Das enthaltene ZU7EV-Gerät (Zynq UltraScale + MPSoC) integriert ein Quad-Core Arm Cortex-A53 Processing System (PS) und einen Dual-Core Arm Cortex-R5F Echtzeit-Prozessor. Das Board verfügt auch über viele programmierbare digitale Komponenten, mit denen wiederum eine Vielzahl von Schaltungen realisiert werden können. Wie bereits erwähnt, ist das FPGA Bestandteil des ZCU106 Boards, das im nächsten Kapitel besprochen wird.

3.2.1 Xilinx ZCU106 Evaluation Board

Dieses Kapitel beschreibt die Xilinx ZCU106 Evaluation Board, insbesondere die Bereiche, die diese Plattform einzigartig machen. Dazu gehören die Zynq UltraScale + MPSoC Architektur, das Processing System (PS) und die Programmable Logik (PL). Die Peripheriegeräte, die für die Interaktion mit dem CAN-Controller erforderlich sind, werden dabei erwähnt. Genauere Informationen dazu findet man im technischen Referenzhandbuch [Xilinx Inc. (2019)] des Zynq-Plattforms.

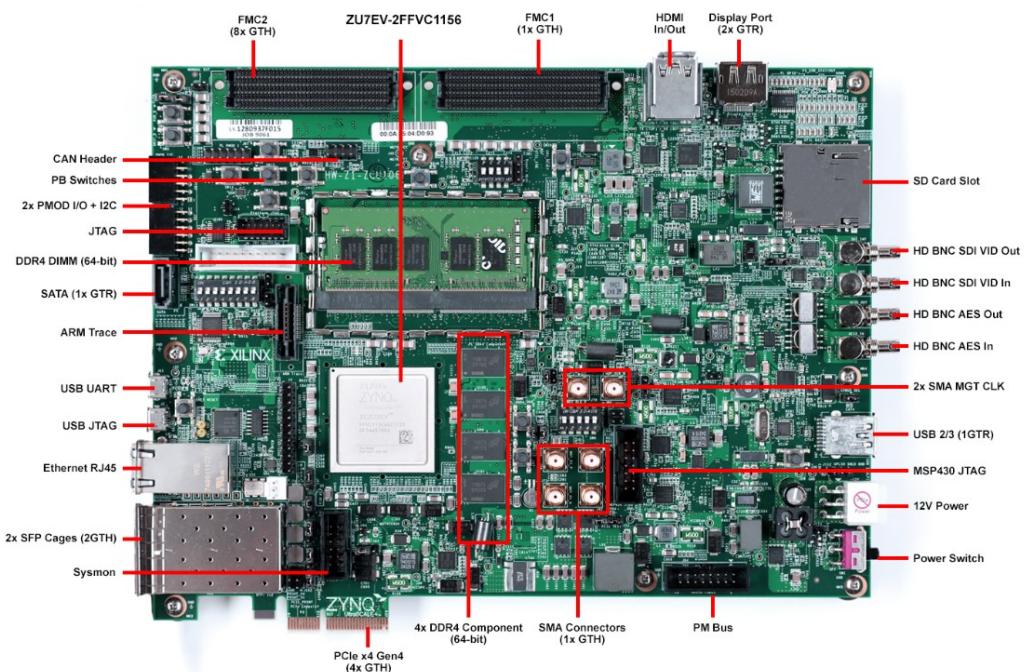


Abbildung 3.2: Xilinx ZCU102 Evaluation Board [Xilinx Inc. (a)]

3.2.1.1 Ultrasale + MPSoC Architektur

Lassen wir uns, bevor wir uns mit der Zynq Ultrascale+ MPSoC-Architektur beschäftigen, ein wenig über die Zynq-Architektur im Allgemeinen sprechen. Es handelt sich bei Zynq um eine neue Generation von System-on-Chip (SoC), die eine CPU mit einem programmierbaren Logik-FPGA auf demselben Chip kombiniert. FPGAs sind für ihre besondere Flexibilität beim Entwurf digitaler Schaltungen bekannt. Dennoch ist für viele Anwendungen der Entwurf einer riesigen Zustandsmaschine in Very High Speed Hardware Description Language (VHDL) oder Verilog nicht ausreichend. Stattdessen ziehen wir eine softwareprogrammierbare CPU-Architektur vor, die mit einfacheren FPGA-Blöcken zusammenarbeitet. Im Grunde genommen kann eine CPU jeden Algorithmus ausführen, so lange genug Speicher für ihre Bedürfnisse vorhanden ist. Softwarecode kann schnell geändert, neu kompiliert, gepatcht und debuggt werden. Die Rechenkapazität eines CPU-Kerns allein reicht jedoch oft nicht aus, um eine große Datenmenge zu verarbeiten. weshalb tendieren wir zu parallelen Architekturen, wie Multicore-CPUs, FPGAs und GPUs, um den Rechendurchsatz zu erhöhen.

Bislang gab es für jemanden, der eine CPU in Kombination mit einem FPGA benötigte, zwei Möglichkeiten: eine diskrete CPU und ein diskretes FPGA, die über einen Bus miteinander kommunizieren (was zu Bandbreitenbeschränkungen führte), oder eine Soft-Core-CPU. Diese wird direkt in den FPGA programmiert (z.B. 32-Bit Microblaze, 64-Bit Ultrascale, usw.). Die Entscheidung hängt von den Einschränkungen und Anforderungen der Anwendung ab, wie z. B. dem Systempreis, dem Stromverbrauch, der Komplexität und selbstverständlich der Leistung. Xilinx bietet mit der Zynq-Serie ein höheres Maß an Integration mit einer System-on-Chip-Hardcore-ARM-CPU, einem Xilinx-FPGA und Bussen für den effizienten Datentransfer zwischen beiden. Darüber hinaus umfassen die Zynq-Bausteine verschiedene Arten von Input/Output (I/O)-Controllern, Speicherschnittstellen und Hochgeschwindigkeits-Transceivern

Die Abbildung 3.3 zeigt die Trennung zwischen dem festen Logik-Hardware-Prozessor und der programmierbaren Logik, die einen oder mehrere Soft-Prozessoren enthalten kann.

3.2.1.2 Allgemeine Ansicht des Zynq Ultrasale+ MPSoC

Die Zynq Ultrascale+ MPSoC-Serie ist eine im Jahr 2015 von Xilinx eingeführte moderne SoC-Architektur [CNX Software]. Abbildung 3.4 zeigt das Blockdiagramm

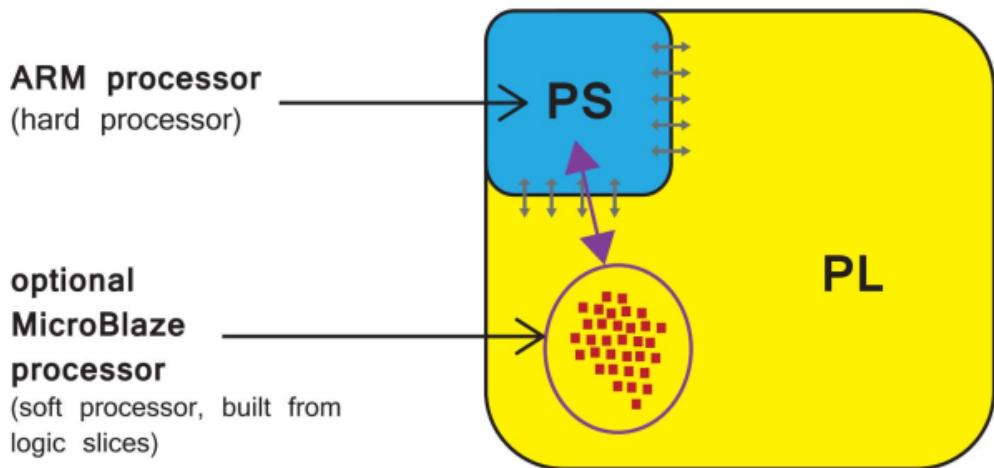


Abbildung 3.3: Die Anordnung von Hard- (ARM Cortex-A9/Cortex-A53) und Soft-Prozessoren (MicroBlaze) auf einem Zynq/ZynqMP-Baustein [Crockett, Louise H and Elliot, Ross A and Enderwitz, Martin A and Stewart (2014)]

des Zynq Ultrascale+ EG, der verfügt über mehrere Verarbeitungseinheiten wie die ARM Cortex A53 Application Processing Unit (APU) mit 4 Kernen, die Real-Time Processing Unit (RPU) und die Platform Management Unit (PMU). Die Abbildung zeigt die Schnittstelle zwischen dem Verarbeitungssystem (PS) und der programmierbaren Logik (PL). Die PL verfügt über mehrere Blöcke wie GPIO, Block-RAM und High-Connectivity-Block für die Implementierung von Designs zur Kommunikation mit Peripheriegeräten wie Ethernet oder SPI

Im Folgenden findet sich eine Liste der besonderen Komponenten dieser Familie:

- **APU**
 - 64-bit Quad-core ARM Cortex-A53 1.5 GHz
 - NEON Media Processing Engine + Floating Point Unit (FPU)
 - Unterstützung für 32/64-Bit-Betriebsmodi
 - 32 KB Level-1 cache
 - 1 MB Level-2 cache
- **RPU**
 - 32-bit Dual-core ARM Cortex-R5 600 MHz
- **graphics processing uni(GPU)**
 - ARM Mali-400 MP2

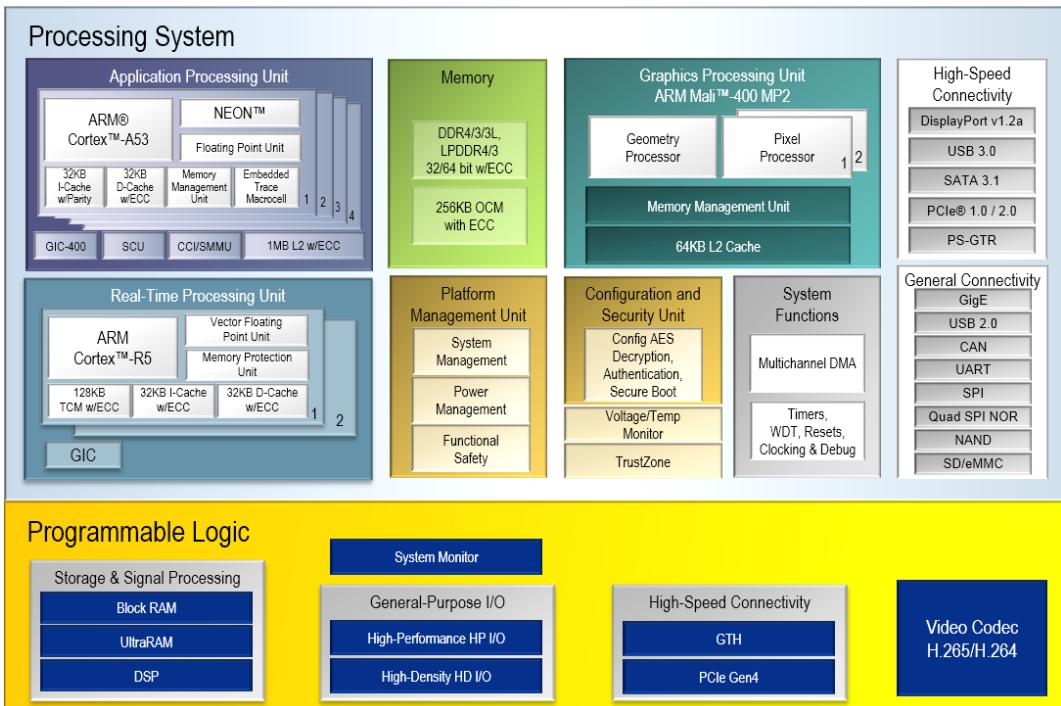


Abbildung 3.4: Zynq UltraScale+ MPSoC EV Block Diagram [Xilinx Inc. (b)]

- **On-Chip Memory (OCM):** 256KB
- **Zwei 8-Channel Direct Memory Access (DMA) controllers**
- **System Memory Management Unit (SMMU)**
- **Platform Management Unit (PMU)**

Der PS unterstützt auch viele Eingangs-/Ausgangsschnittstellen wie SRAM-Schnittstellen (SD, QSPI, NAND), GPIOs, UART usw.

Im Top-Level-Blockdiagramm der Zynq MPSoC-Architektur 3.5 ist die Verbindung zwischen den verschiedenen Blöcken markiert. Da kann die verschiedenen Verarbeitungseinheiten (APU, RPU, GPU) sowie viele Verbindungen zwischen den Blöcken finden. Zu beachten ist, dass die Richtung der Pfeile die Prioritätsreihenfolge zwischen Master und Slave festlegt. Sie haben vielleicht bemerkt, dass in Abbildung 3.4 erwähnt wird, dass es sich um das Blockdiagramm für die EV-Variante handelt. Tatsächlich gibt es drei Varianten des Zynq MPSoC, die wie folgt gekennzeichnet sind:

- **CG:** Mittelklasse-Gerät, mit Dual Cortex-A53 und Dual Cortex-R5.
- **EG:** High-End-Gerät, mit Quad-Cortex-A53, Dual-Core-Cortex-R5 und Mali-GPU

- **EV:** High-End-Gerät, mit Quad Cortex-A53, Dual-Core Cortex-R5, Mali GPU und Video-Codec (H.264, H.265).

Die beiden Hauptkomponenten des ZynqMP, das Verarbeitungssystem und die programmierbare Logik, werden im Folgenden ausführlicher beschrieben.

3.2.1.3 Processing System (PS)

Das ZynqMP-Verarbeitungssystem umfasst einerseits den ARM-Prozessor, anderseits aber auch mehrere zugehörige Verarbeitungsmodule, die eine Application Processing Unit (APU) bilden, sowie weitere Schnittstellen für Peripheriegeräte, Cache-Speicher, Speicherschnittstellen, Verbindungs- und Takterzeugungsschaltungen. Die APU besteht aus einem speziellen ARM Cortex-A53 MPCore (Quad oder Dual). In der ARM-Gerätefamilie gelten diese als relativ stromsparend, sind aber in der Lage, ein vollwertiges Betriebssystem wie Linux, Android oder ähnliches auszuführen.

Abbildung 3.6 fasst einige wichtige Merkmale der APU zusammen. So verfügt sie beispielsweise über einen separaten 32-KB-Cache der Ebene 1 für Befehle und Daten und einen gemeinsamen 1-MB-Cache der Ebene 2. Eine Snoop Control Unit (SCU) sorgt für Cache-Kohärenz zwischen den Kernen und zeigt an, wenn die Daten ungültig sind.

Der L2-Cache-Controller APU kommuniziert mit dem Rest des SoC über eine 128-Bit AXI Coherency Extension (ACE) Master-Schnittstelle zur Cache Coherent Interconnect.

Andererseits kann ein 128-Bit-Accelerator Coherency Port (ACP) Slave-Controller verwendet werden, wenn ein anderer Block mit Master-Zugriff auf Daten im L2-Cache zugreifen möchte. In der Praxis bedeutet dies, dass der PL auf den L2-Cache über den Port S_AXI_ACP_FPD zugriffen kann.

3.2.1.4 Programmable Logik (PL)

Dieser Abschnitt bietet einen Überblick über die verfügbaren Funktionen der Zynq Ultrascale+ MPSoC Programmable Logic (PL). Tabelle 3.1 ist ein Vergleich einiger EG-Bausteine. Es gibt tatsächlich mehr Varianten als die dort aufgeführten. Die FPGA-Fabric besteht hauptsächlich aus Logikzellen und konfigurierbaren Logikblöcken (CLB). Ein CLB kann Flipflops und eine Look-up-Table (LUT) enthalten, muss es aber nicht.

Gerät Name	ZU4EV	ZU5EV	ZU7EV
System Logic Cells (K)	192	256	504
Speicher (Mb)	18.5	23.1	38.0
DSP-Schnitte	728	1,248	1,728
Video-Code-Einheit (VCU)	1	1	1
Maximale E/A-Pins	252	252	464

Tabelle 3.1: Vergleich einiger Zynq Ultrascale+ MPSoC EG [Xilinx Inc. (b)]

Der Speicher eines FPGAs besteht entweder aus dedizierten Speicherblöcken wie BlockRAM und UltraRAM oder aus CLB, die als RAM-Zellen verwendet werden (Distributed RAM). Schließlich enthält das FPGA eine Reihe von DSP48E2 IP-Blöcken, die Multiplikationen und andere arithmetische/logische Aufgaben effizient durchführen können.

3.2.2 MCP251XFD CAN Controller + Transceiver

Bevor wir uns näher mit diesem CAN-Controller befassen, sollte erklärt werden, dass das “x“ im Namen des Chips entweder “7“ oder “8“ werden kann. MCP251XFD unterstützt also MCP2517FD und MCP2518FD.

Die Firma entwickelte im Rahmen dieses Projekts aus kostengünstigen Gründen den MCP2517FD. Zweck war es, zu prüfen, wie schnell Daten mit diesem CAN-Controller verarbeitet werden können. Auf die Eigenschaften des Chips wird nun im Folgenden eingegangen.

Der MCP2517FD-Chip ist ein kompaktes Board, das eine komplette CAN-Lösung bietet und als Steuerknoten in einem CAN-Netzwerk verwendet wird. Wie in Abbildung 1 zu sehen ist, besteht das Board hauptsächlich aus einem CAN-FD-Controller mit SPI-Schnittstelle (MCP2517FD) und einem Hochgeschwindigkeits-CAN-Transceiver (TLE6251). Letzterer stellt eine physikalische Verbindung mit dem CAN-Bus selbst her, während der CAN-Controller MCP2517FD eine Schnittstelle zwischen der MCU und dem PHY darstellt. Die Aufgabe des CAN-Controllers seinerseits ist es, die Arbitrierung, das Nachrichtenframing, die Nachrichtenvalidierung, die Fehlererkennung, die Nachrichtenfilterung und vieles mehr zu übernehmen. Weiterhin unterstützt er sowohl CAN-Frames im klassischen Format (CAN2.0B) als auch im CAN-Flexible-Data-Rate-Format (CAN FD), wie in ISO 11898- 1:2015.

Der ISO 11898- 1:2015 hier, der von der International Organization for Standardization (ISO) rausgegeben wurde, spezifiziert das klassische CAN-Rahmenformat und das neu eingeführte CAN Flexible Data Rate Frame Format. Das klassische CAN-Frame-Format erlaubt Bitraten bis zu 1 Mbit/s und Nutzdaten bis zu 8 Byte pro

Frame, Das Flexible Data Rate Frame Format erlaubt höhere Bitraten als 1 Mbit/s und Nutzdaten von mehr als 8 Byte pro Frame.

3.2.2.1 CAN FD Controller Modul

Der MCP2517FD enthält die folgenden Hauptblöcke[[Transmission u. a. \(2018\)](#)]:

- Das CAN FD Controller-Modul implementiert das CAN FD-Protokoll und enthält die FIFOs und Filter.
- Die SPI-Schnittstelle, die zur Steuerung des Geräts durch Zugriff auf SFRs und RAM verwendet wird
- Der RAM-Controller arbitriert die RAM-Zugriffe zwischen dem SPI- und dem CAN FD Controller-Modul
- Der Nachrichten-RAM, der zur Speicherung der Daten der Nachrichtenobjekte verwendet wird
- Der Oszillator: Das MCP251XFD CAN Controller verwendet den ABM3 Clock Generator, als Standardtaktquelle für den Chip. Der ABM3 auf diesem Board wurde so programmiert, dass er eine Ausgangsfrequenz von 20 MHz erzeugt.

Der Controller kann in verschiedenen Modi eingestellt werden, nämlich

- Configuration
- Normal CAN FD
- Normal CAN 2.0
- Sleep
- Listen Only
- Restricted Operation: Also Eingeschränkter Betrieb
- und Internal and External Loop back modes (Interner und externer Loopback-Modus)

3.2.2.2 TLE6251 CAN Transceiver

Der Hochgeschwindigkeits-CAN-Transceiver, der TLE6251, stellt eine physische Verbindung mit dem CAN-Bus her. Dieser ermöglicht eine Kommunikationsgeschwindigkeit von bis zu 5Mbps und unterstützt die Betriebsmodi Normal und Standby. Der Normalmodus ist eingeschaltet, wenn der STBY-Pin, der auf den AN-Pin der mikroBUS geführt wird, auf einem logischen Low-Pegel liegt, während der TXD-Pin auf einem hohen logischen Pegel gehalten wird. Im Normalmodus können die Daten über die CAN H/L-Busleitungen gesendet und empfangen werden.

3.3 Konfiguration und Bauen des Systems

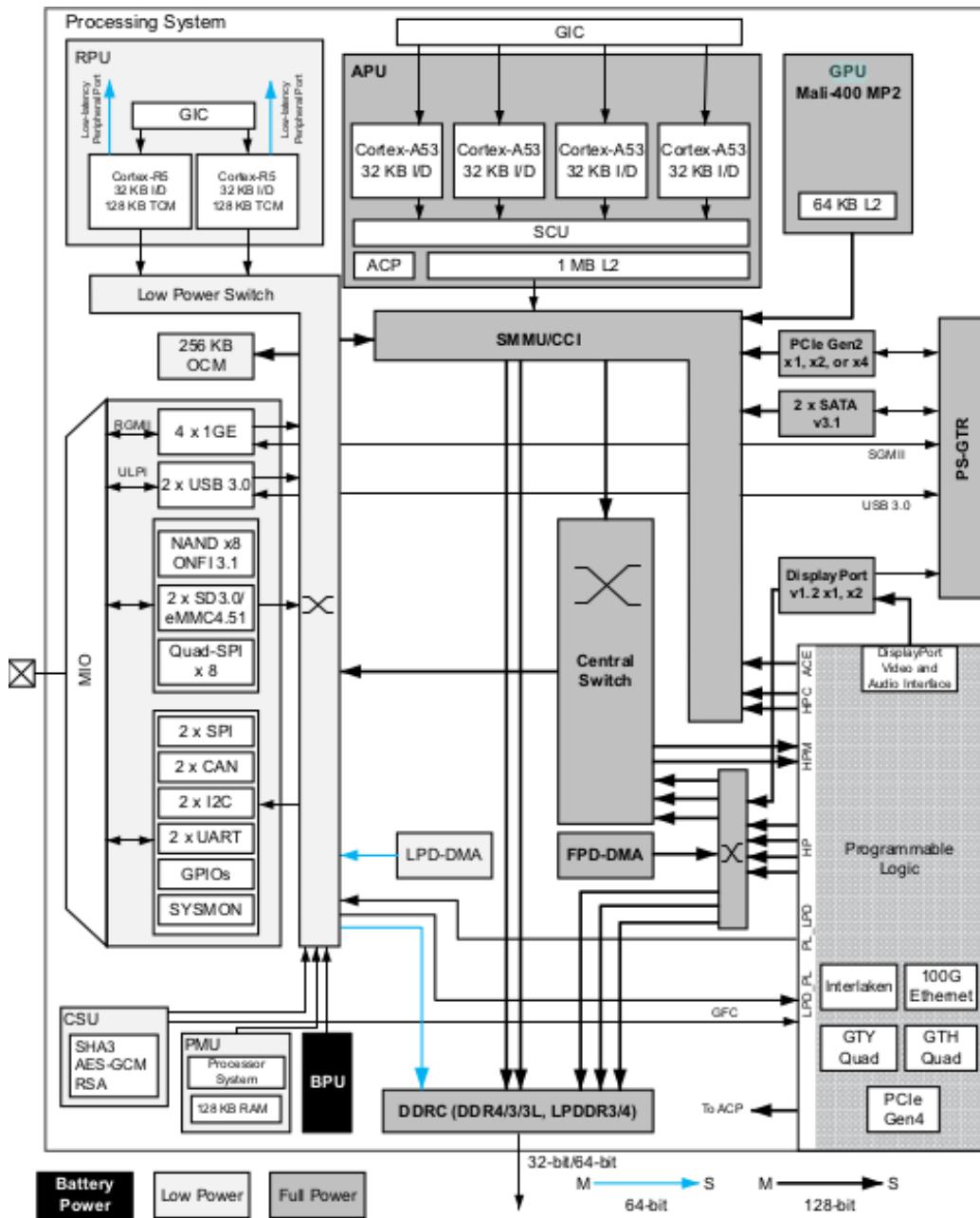


Abbildung 3.5: Zynq UltraScale+ MPSoC Top-Level Blockdiagramm [Xilinx Inc. (2019)]

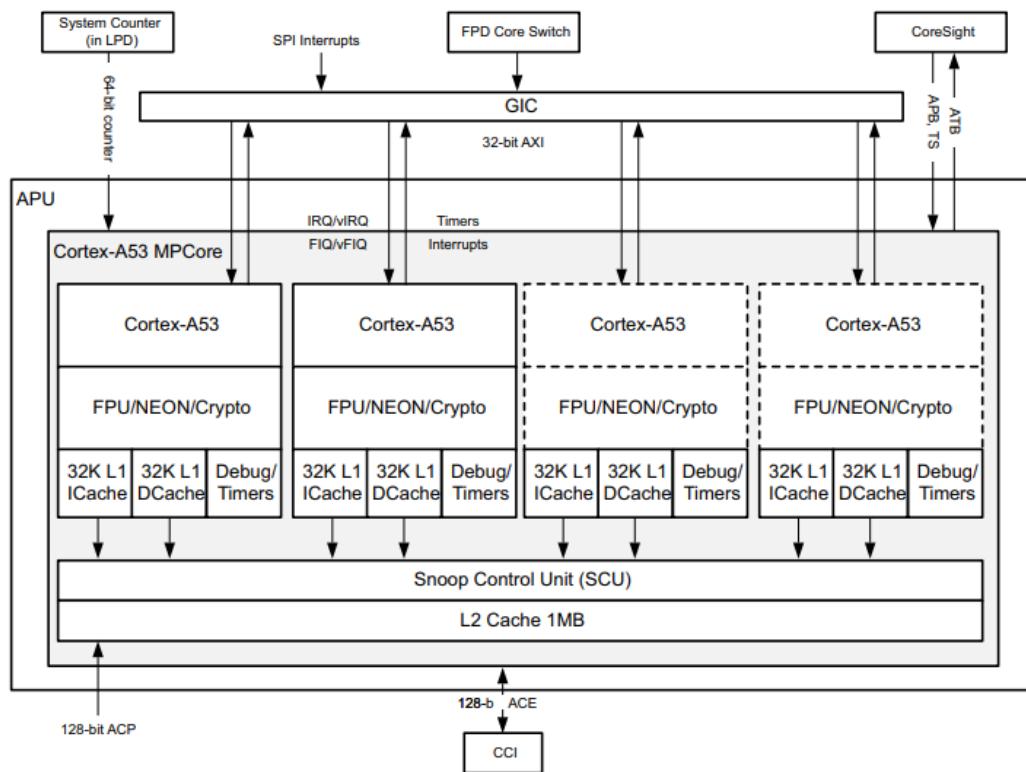


Abbildung 3.6: Detailliertes APU-Blockdiagramm [UG1137 (2017)[p. 57]]

3 Umsetzung

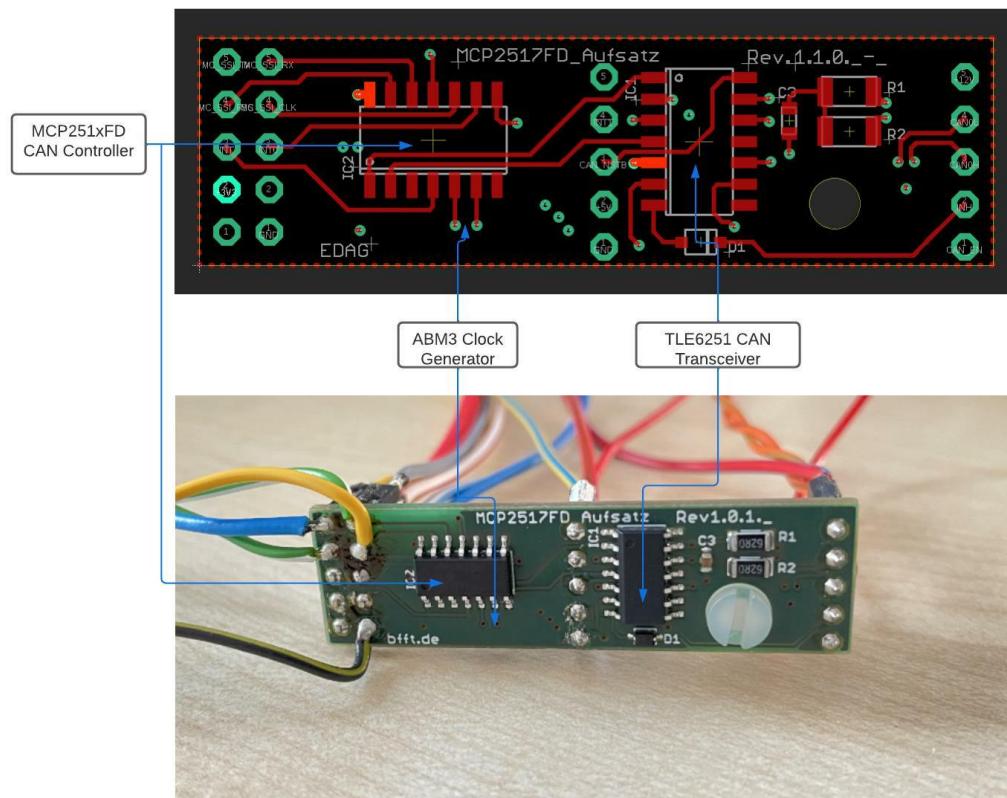


Abbildung 3.7: CAN-Transceiver- und Controller-Modul

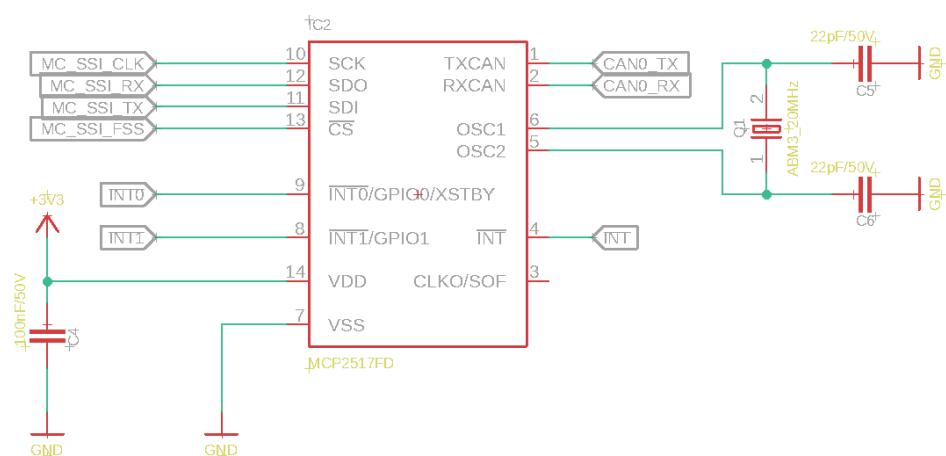


Abbildung 3.8: CAN Controller Modul

3 Umsetzung

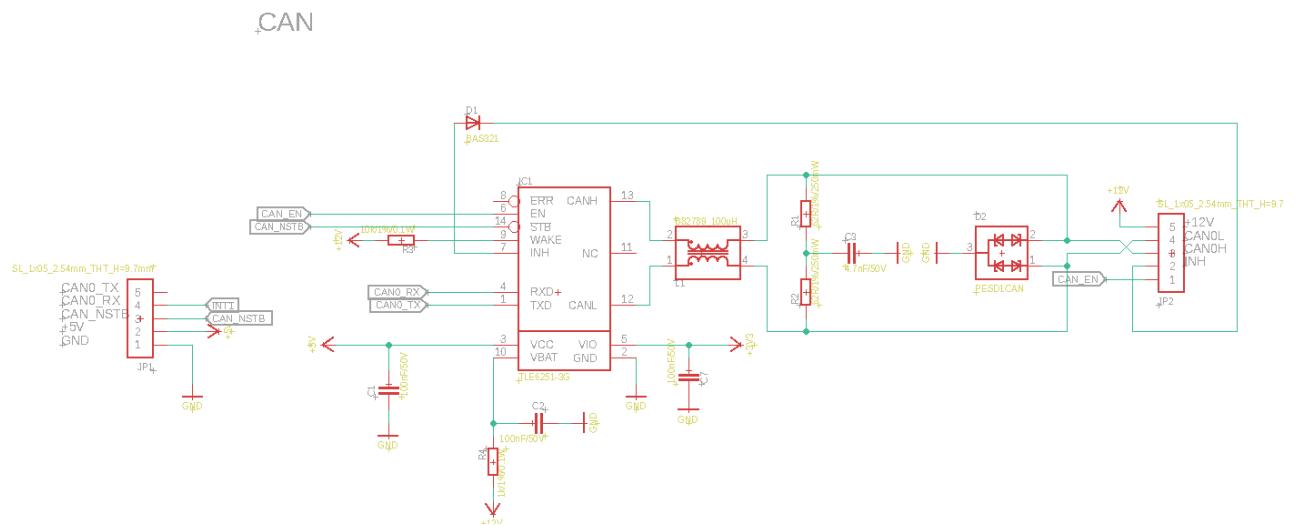


Abbildung 3.9: CAN Transceiver Modul

4 Fazit und Ausblick

4.1 Fazit

4.2 Ausblick

Literaturverzeichnis

[Bosch 1991]

BOSCH, Robert: CAN Specification Version 2.0. In: *Rober Bousch GmbH, Postfach 300240* (1991), 72. <http://esd.cs.ucr.edu/webres/can20.pdf> 2.2, 2.2, 2.3, 2.4, 2.5

[CNX Software]

CNX SOFTWARE: CNXSoft. Xilinx Introduces Zynq Ultrascale+ MPSoC with Cortex A53 and R5 Cores, Ultrascale FPGA. <https://www.cnx-software.com/2015/03/05/xilinx-introduces-zynq-ultrascale-mpsoc-with-cortex-a53-r5-cores-ultrascale-fpga/> 3.2.1.2

[Crockett, Louise H and Elliot, Ross A and Enderwitz, Martin A and Stewart 2014]

CROCKETT, LOUISE H AND ELLIOT, ROSS A AND ENDERWITZ, MARTIN A AND STEWART, Robert W.: *The ZYNQ book: embedded processing with the ARM Cortex-A9 on the Xilinx Zynq-7000 all programmable SoC*. Strathclyde Academic Media, 2014 <https://cds.cern.ch/record/2001018> 3.3

[Daniel P. Bovet and Marco Cesati 2006]

DANIEL P. BOVET AND MARCO CESATI: *Understanding the Linux Kernel*. 2006. – ISBN 9780596005658 2.5.3

[Derviş 2013]

DERVIŞ, Barış: *Mastering Embedded Linux Programming*. 2013. – 1689–1699 S. – ISBN 9788578110796 2.5.1, 2.5.2, 2.5.4, 2.5.5

[Leens 2009]

LEENS, Frédéric: An introduction to I2C and SPI protocols. In: *IEEE Instrumentation and Measurement Magazine* 12 (2009), Nr. 1, S. 8–13. <http://dx.doi.org/10.1109/MIM.2009.4762946>. – DOI 10.1109/MIM.2009.4762946. – ISSN 10946969 2.8, 2.3

[Linux-kernel]

LINUX-KERNEL: *ChangeLog-5 @ mirrors.edge.kernel.org*. <https://mirrors.edge.kernel.org/pub/linux/kernel/v5.x/ChangeLog-5.10> 2.4

[Petalinux 2020]

PETALINUX: PetaLinux Tools Documentation Reference Guide. In: *Ug1144* 1144 (2020), 1–144. https://www.xilinx.com/support/documentation/sw_manuals/xilinx2019_1/ug1144-petalinux-tools-reference-guide.pdf 2.5.6, 2.6.1

[Richards 2002]

RICHARDS, Pat: A CAN Physical Layer Discussion. In: *Technology* (2002), S. 1–12 2.6, 2.7

[Support 2022]

SUPPORT, Xilinx: *Xilinx Support*. https://support.xilinx.com/s/article/1066813?language=en_US. Version: 2022 2.11, 2.12

[Transmission u. a. 2018]

TRANSMISSION, Message ; RECEPTION, Message ; OBJECTS, Mask ; FEATURES, Special: Mcp2517Fd Mcp2517Fd. (2018) 3.2.2.1

[UG1137 2017]

UG1137: Zynq UltraScale. In: *User guide* 1137 (2017), 1–268. https://www.xilinx.com/support/documentation/user_guides/ug1137-zynq-ultrascale-mpsoc-swdev.pdf 2.5.6, 2.10, 2.5.6.2, 3.6

[Xilinx Inc. a]

XILINX INC.: *Xilinx zcu106 Evaluation Board*. <https://www.xilinx.com/products/boards-and-kits/zcu106.html> 3.2

[Xilinx Inc. b]

XILINX INC.: *zynq-ultrascale-mpsoc*. <https://www.xilinx.com/products/silicon-devices/soc/zynq-ultrascale-mpsoc.html> 3.4, 3.1

[Xilinx Inc. 2019]

XILINX INC.: ZCU106 Evaluation Board. In: *Xilinx Technical Documentation* 1244 (2019), Nr. v1.4, S. 1–134 2.5.6.1, 2.5.6.2, 3.2.1, 3.5

Literaturverzeichnis

Ich, Hugues landry Nseupi Nono, Matrikel-Nr. 2022666, versichere hiermit, dass ich die vorliegende Arbeit mit dem Thema

*Konfiguration und Optimierung des Embedded-Linux-Betriebssystem für
Automotive Image Processing Unit - Betreuer: Mladen Kovacev*

selbstständig verfasst und keine anderen als die angegebenen Quellen und Hilfsmittel benutzt habe, wobei ich alle wörtlichen und sinngemäßen Zitate als solche gekennzeichnet habe. Die Arbeit wurde bisher keiner anderen Prüfungsbehörde vorgelegt und auch nicht veröffentlicht.

Augsburg, den 29. März 2022

HUGUES LANDRY NSEUPI NONO

A Anhang

A.1 Inhalt des Datenträgers

Der dieser Arbeit beigelegte Datenträger beinhaltet zusätzliche Materialen. Neben der Arbeit selbst im Portable Document Format (PDF) befinden sich sowohl die Sources der Implementierungen als auch die lauffähigen Pakete.

./all-my-packages/

Sources der Packages

./Architektur/

UML-Diagramme der Architektur

./Thesis_Vorname_Nachname_123456.pdf

PDF Version dieser Arbeit

./ThesisVM.ova

Virtual Box Image mit lauffähiger Demoumgebung