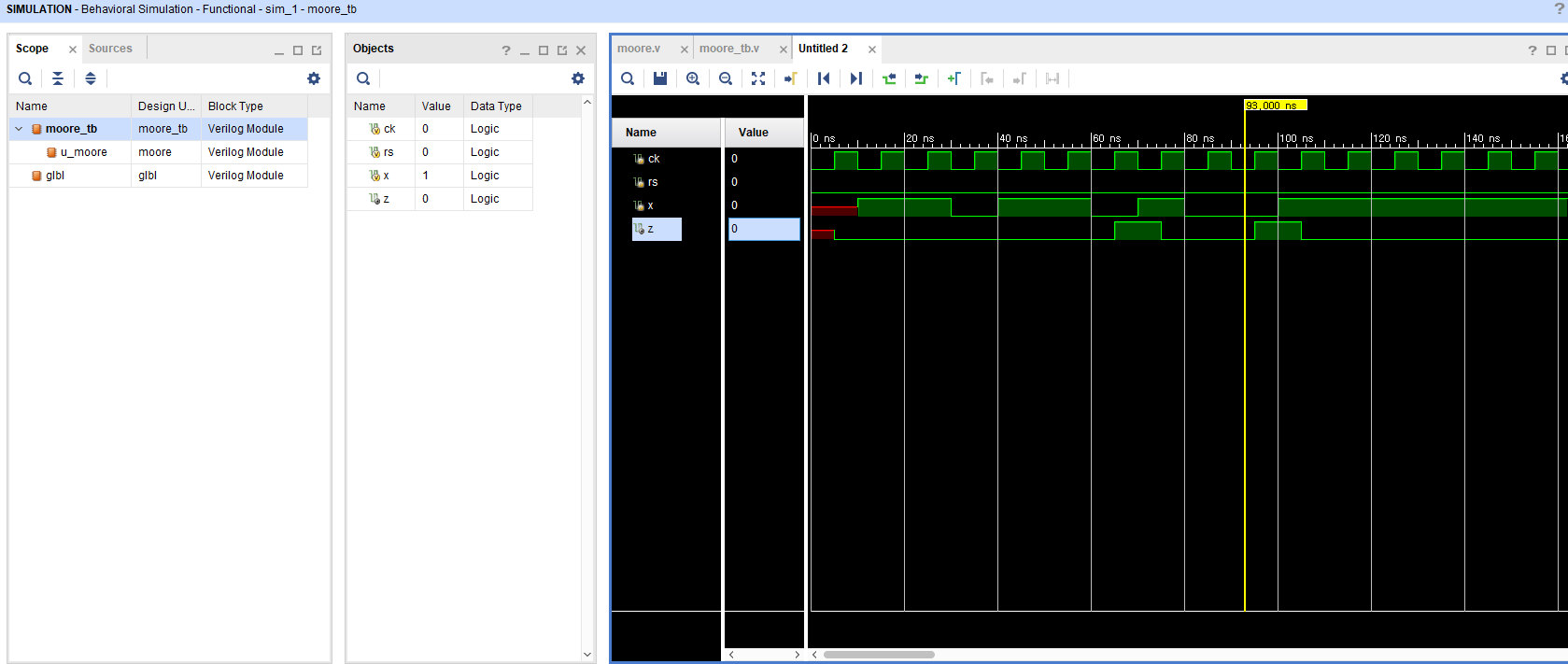
14주차 결과보고서

전공: 컴퓨터공학과 학년: 2학년 학번: 20221549 이름: 김효림

**1.**

.................



Overlapping 방식의 sequence detector 1101 Moore machine simulation 결과

|  |  |
| --- | --- |
| Source code | Simulation code |
| module moore(  input x,ck,rs,  output z  );    reg z;  reg[4:0] out;    always @(posedge ck) begin  if(rs) begin  out[4] <= 0;  out[3] <= 0;  out[2] <= 0;  out[1] <= 0;  out[0] <= 0;  z <= 0;  end    else begin  out[4] <= out[3];  out[3] <= out[2];  out[2] <= out[1];  out[1] <= out[0];  out[0] <= x;  if(out == 5'b11010 | out == 5'b11011) z=1;  else z = 0;  end      end  endmodule | module moore\_tb;  reg ck,rs,x;  wire z;  moore u\_moore(  .ck(ck),  .rs(rs),  .x(x),  .z(z)  );  initial begin  ck = 1'b0;  rs = 1'b0;  end  always ck = #5 ~ck;  initial begin  #10 x=1;  #10 x=1;  #10 x=0;  #10 x=1;  #10 x=1;  #10 x=0;  #10 x=1;  #10 x=0;  #10 x = 0;  #10 x = 1;  end    endmodule |

Overlapping 방식의 sequence detector 1101 Moore machine Verilog code

상태도 및 상태표

라인, 도표, 폰트, 그래프이(가) 표시된 사진

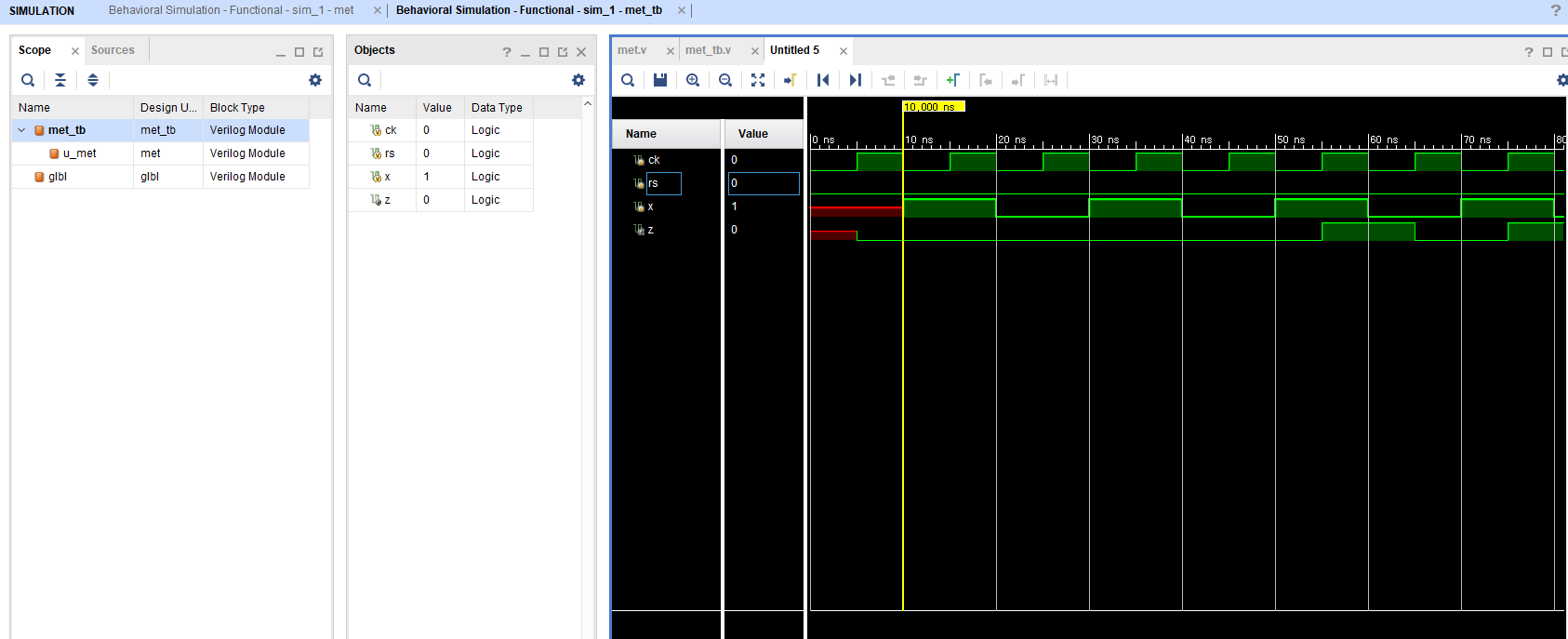
자동 생성된 설명

Simulation을 통해 입력으로 1101이 들어오고 그 다음 입력이 들어왔을 때 output인 z값이 1로 천이하는 것을 확인할 수 있으며, 이는 앞서 그린 상태도 및 상태표에 따라 무어 머신의 결과로 적절함을 확인할 수 있다. 또한 overlap이 되는 경우도 처리하고 있음을 simulation 결과를 통해 확인할 수 있다.

................

**2.**

.......................



Overlapping 방식의 sequence detector 10101 Mealy machine simulation 결과

|  |  |
| --- | --- |
| Source code | Simulation code |
| module met(  input ck,  input rs,  input x,  output z  );    reg z;  reg[4:0] out;  reg[4:0] t = 5'b10101;    always @(posedge ck) begin  if(rs) begin  out[4] <= 0;  out[3] <= 0;  out[2] <= 0;  out[1] <= 0;  out[0] <= 0;  z <= 0;  end    else begin  out[4] = out[3];  out[3] = out[2];  out[2] = out[1];  out[1] = out[0];  out[0] = x;  if(out == t) z = 1;  else z = 0;  end      end  endmodule | module met\_tb;  reg ck,rs,x;  wire z;  met u\_met(  .ck(ck),  .rs(rs),  .x(x),  .z(z)  );  initial begin  ck = 1'b0;  rs = 1'b0;  end  always ck = #5 ~ck;  initial begin  #10 x=1;  #10 x=0;  #10 x=1;  #10 x=0;  #10 x=1;  #10 x=0;  #10 x=1;  #10 x=0;  #10 x=0;  #10 x =0;  #10 x=1;  #10 x=0;  #10 x=1;  #10 x=0;  #10 x=1;  end    endmodule |

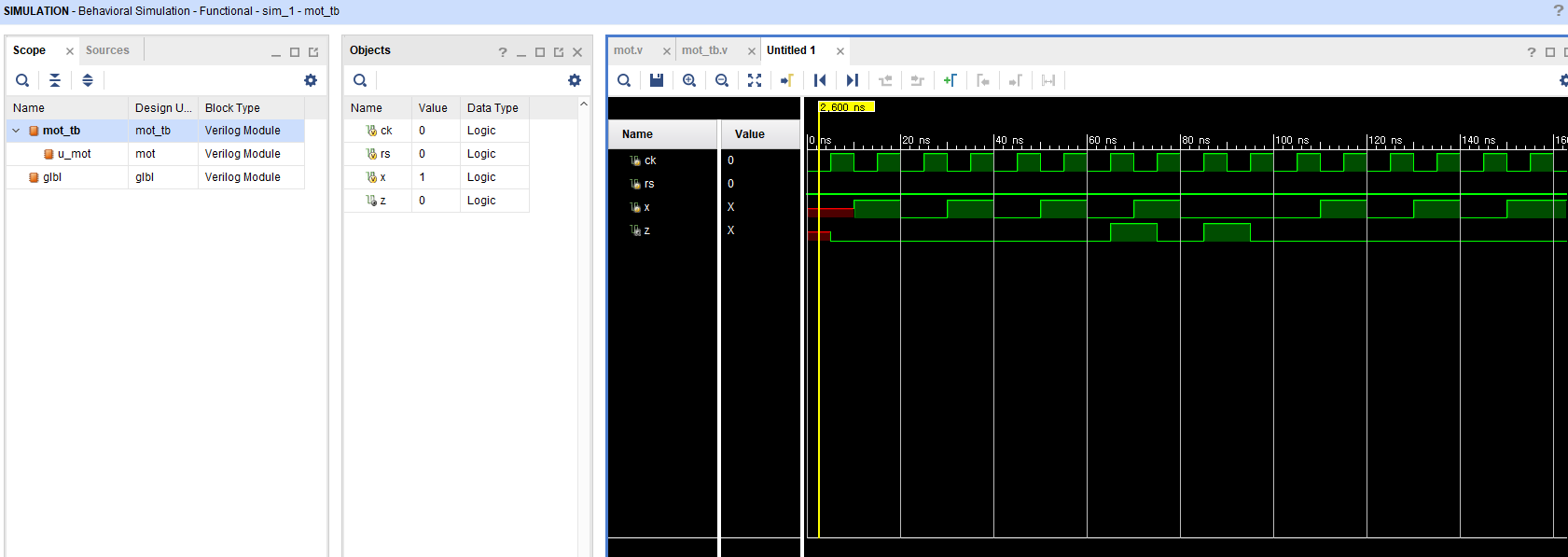
Overlapping 방식의 sequence detector 10101 Mealy machine Verilog code

상태도 및 상태표

텍스트, 친필, 폰트, 도표이(가) 표시된 사진

자동 생성된 설명

Simulation을 통해 입력으로 10101이 들어올 때, output인 z값이 1로 천이하는 것을 확인할 수 있으며, 이는 앞서 그린 상태도 및 상태표에 따라 밀리 머신의 결과로 적절함을 확인할 수 있다. 또한 overlap이 되는 경우도 처리하고 있음을 simulation 결과를 통해 확인할 수 있다.



Overlapping 방식의 sequence detector 10101 Moore machine simulation 결과

|  |  |
| --- | --- |
| Source code | Simulation code |
| module mot(  input ck,  input rs,  input x,  output z  );    reg z;  reg[5:0] out;    always @(posedge ck) begin  if(rs) begin  out[5] <= 0;  out[4] <= 0;  out[3] <= 0;  out[2] <= 0;  out[1] <= 0;  out[0] <= 0;  z <= 0;  end    else begin  out[5] = out[4];  out[4] = out[3];  out[3] = out[2];  out[2] = out[1];  out[1] = out[0];  out[0] = x;  if(out == 6'b101010 | out == 6'b101011) z = 1;  else z = 0;  end      end  endmodule | module mot\_tb;  reg ck,rs,x;  wire z;  mot u\_mot(  .ck(ck),  .rs(rs),  .x(x),  .z(z)  );  initial begin  ck = 1'b0;  rs = 1'b0;  end  always ck = #5 ~ck;  initial begin  #10 x=1;  #10 x=0;  #10 x=1;  #10 x=0;  #10 x=1;  #10 x=0;  #10 x=1;  #10 x=0;  #10 x=0;  #10 x =0;  #10 x=1;  #10 x=0;  #10 x=1;  #10 x=0;  #10 x=1;  end    endmodule |

Overlapping 방식의 sequence detector 10101 Moore machine Verilog code

상태도 및 상태표

텍스트, 도표, 친필, 폰트이(가) 표시된 사진

자동 생성된 설명

Simulation을 통해 입력으로 10101이 들어오고 그 다음 입력이 들어왔을 때 output인 z값이 1로 천이하는 것을 확인할 수 있으며, 이는 앞서 그린 상태도 및 상태표에 따라 무어 머신의 결과로 적절함을 확인할 수 있다. 또한 overlap이 되는 경우도 처리하고 있음을 simulation 결과를 통해 확인할 수 있다.

.........................