2주차 결과보고서

전공: 컴퓨터공학과 학년: 2학년 학번: 20221549 이름: 김효림

**1. (문제는 작성하지 말 것)**

.................

**// 설명/과정 작성 시 텍스트 박스, 표 등 안내된 경우를 제외하고 사용금지**

Verilog 연속 할당문은 assign 구문을 통해 net 변수에 특정 논리 값을 지정하는데 사용한다. 입력 피연산자의 값에 변화가 발생할 때마다 식을 평가하며, 결과 값이 할당문 주변의 net을 구동하는 하드웨어적 특성을 갖는다. 우선순위가 없이 우변의 이벤트에 따라 수행되기 때문에 할당문의 기술 순서가 시뮬레이션 결과에 영향을 끼치지 않는다. 반면에 절차형 할당은 always/initial block, task, function 등의 procedural block을 통해 벡터나 스칼라 변수에 값을 할당한다. 연속 할당과는 달리 데이터 값의 변화가 아닌 해당 구문이 실행됨에 따라 값이 할당되기 때문에, 우변에 이벤트가 발생하였더라도 구문이 실행되지 않으면 좌변 객체의 값은 변하지 않는다.

................

**2.**

.......................

구문 안에 작성 시 blocking은 y = x와 같은 형식으로 현재 할당 문장이 완료된 후 다음 문장이 실행되기 전에 완료된다. 순차적인 동작을 수행하는 경우에 유용하다. non-blocking은 y <= x와 같은 형식으로 표현하며, 다음 문장이 실행되기 전에 할당이 완료된다. 병렬적인 동작을 수행하는 경우에 유용하다. Blocking은 FF가 하나 생성되고, non-blocking은 FF가 두 개 생성된다.

Simulation 상에서 동작 순서를 살펴보면 blocking assignment가 먼저 실행된 후, 그 다음에 nonblocking assignment의 업데이트가 이루어진다.

.........................

**3.**

.......................

Verilog의 for문은 순차회로(always문, initial문) 내에서만 사용 가능하며, 다음과 같이 선언한다. for (초기값 ; 조건식 ; 오퍼레이션) 처리문; for문의 index는 integer로 선언하며, 2줄 이상이 되는 경우 block으로 묶어준다. C언어의 for문과 유사한 구조를 가진다.

Verilog의 if문은 if (조건식) 처리문 else 처리문과 같이 선언된다. C언어의 if문과 유사한 구조를 가진다.

Verilog의 while문은 while(조건문) 처리문으로 작성되며 조건문이 false가 될 때까지 반복을 수행한다. C언어의 while문과 유사한 구조를 가진다.

Verilog의 case문은 case (판정식) 항1:처리문; ~ 항N:처리문; default:처리문; endcase과 같은 방식으로 작성되며 판정식이 항N과 같을 때 그 항의 처리문을 수행한다. 판정식과 일치하는 처리문을 실행하는 구조가 C언어의 switch와 유사하지만, endcase로 구문을 닫아주어야 한다는 점, break으로 처리문을 닫지 않아도 되는 점에서 차이가 있다.

........

**4.**

.......................

Net 자료형은 device 간의 물리적 연결을 나타내며, 값이 저장되는 것이 아니라 net 값이 변할 때 자동으로 net에 새로운 값이 전달되는 방식으로 동작한다. 크기를 정하는 vector를 지정하지 않으면 1bit net이 되며, keyword인 wire, trireg, tri, wand, wor, trior 등으로 선언되는데, 이때 주로 wire를 사용한다. 네트 형 [범위] [지연] 네트 이름, …, 네트이름;으로 선언된다. 이때 범위는 vector 혹은 bit로 지정하며, 지연은 simulation에서 사용한다. Net 자료형 중 wand와 wor는 각각 wired AND와 wired OR을 뜻하는데, 연결될 때마다 암묵적인 동작을 수행하며 가변 개수의 입력을 받아 논리곱 혹은 논리합을 출력하는 역할을 한다. Tri는 wire와 동일한 기능을 수행하지만, 하드웨어에서 3상태가 되는점이 다르다. trior는 tri와 wor가 결합된 구조로 가변 입력을 받아 wired OR을 출력하며, 하드웨어 상에서 3상태를 가진다. trireg는 tri와 reg의 결합 형태로, 이전 값을 저장하는 기능이 있으며, 마찬가지로 3상태를 가진다.

........