2주차 예비보고서

전공: 컴퓨터공학과 학년: 2학년 학번: 20221549 이름: 김효림

**1. (문제는 작성하지 말 것)**

.................

**// 설명/과정 작성 시 텍스트 박스, 표 등 안내된 경우를 제외하고 사용금지**

HDL이란 하드웨어를 기술 또는 표현하는 언어로, 디지털 시스템의 기능 및 하드웨어 특징을 컴퓨터와 고급 언어에 접합하여 원하는 회로를 기술할 수 있도록 하는 언어를 말한다. FPGA나 집적회로 등의 전자공학 회로를 처리하는 설계 자동화에 사용한다. Verilog 외에는 VHDL이 존재하는데, 이는 디지털 회로 및 혼합신호를 표현하는 하드웨어 기술 언어이다. DSP나 MCU에 제어를 목적으로 설계되는 임베디드 C언어의 코딩에서와 비슷한 프로그래밍의 기본 구조가 있다.

................

**2.**

.......................

Verilog는 1983년에 처음 언어와 시뮬레이터가 공개되었다. 본래 Phil Moorby가 모의시험용 언어로 개발하였는데, 이후 인수되어 업계표준 HDL로 자리를 잡게 된다. 1995년 IEEE표준이 만들어졌으며, 2001년 Verilog-2001로 변경이 있었다. 이후 2005년 System Verilog가 IEEE 표준으로 만들어졌다. 2020년대 이전까지는 검증용 테스트벤치 작성 외엔 잘 쓰이지 않았다. 그러나 2020년대에 돌입하여 공정이 고도화됨에 따라 UVM 등의 방법론과 프레임워크도 지속적으로 개발되고 있다.

.........................

**3.**

.......................

Verilog는 module를 기본 설계 단위로 사용한다. Verilog의 기본 구성은 머리부, 선언부, 몸체부 등 크게 3가지로 구성된다. 머리부는 module {모듈이름} ({port 목록})으로 구성되며, 모듈의 맨 마지막에는 endmodule을 작성하여 모듈이 끝났음을 알려야 한다. 선언부에는 port, reg, wire, parameter 등 모듈에서 필요한 것들을 선언한다. 몸체부는 회로의 기능, 동작, 구조 등을 표현하는 구문들로 구성되어 있다.

Verilog의 Data Type에는 두 가지가 있는데, 첫 째로 register는 추상적 저장 장치로 값을 저장한다. Reg는 절차형 할당문에 의해 값을 받는 객체이며, integer는 정수형 변수, time과 realtime은 시간형 변수, real은 실수형 변수이다. 다음으로 Net은 디바이스의 물리적인 연결을 담당하며 wire는 변수들 모듈 내에서 어떻게 연결 되어 있는지를 나타내고, tri는 선을 서로 연결할 때 사용한다.

Verilog HDL이 bit 수 제한이 있는 reg 값을 선언할 때는 {bit 수} ‘{입력 형식}{입력값}의 형태로 작성되며, bit(size)가 정해지지 않은 경우 214 🡺 integer 214 등의 방식으로 선언된다. 연산은 산술 연산자와 관계 연산자, 논리 연산자가 있으며 비트 단위로 기능을 하거나 축약 및 산술에 이용된다.

........