4주차 결과보고서

전공: 컴퓨터공학과 학년: 2학년 학번: 20221549 이름: 김효림

**1.**

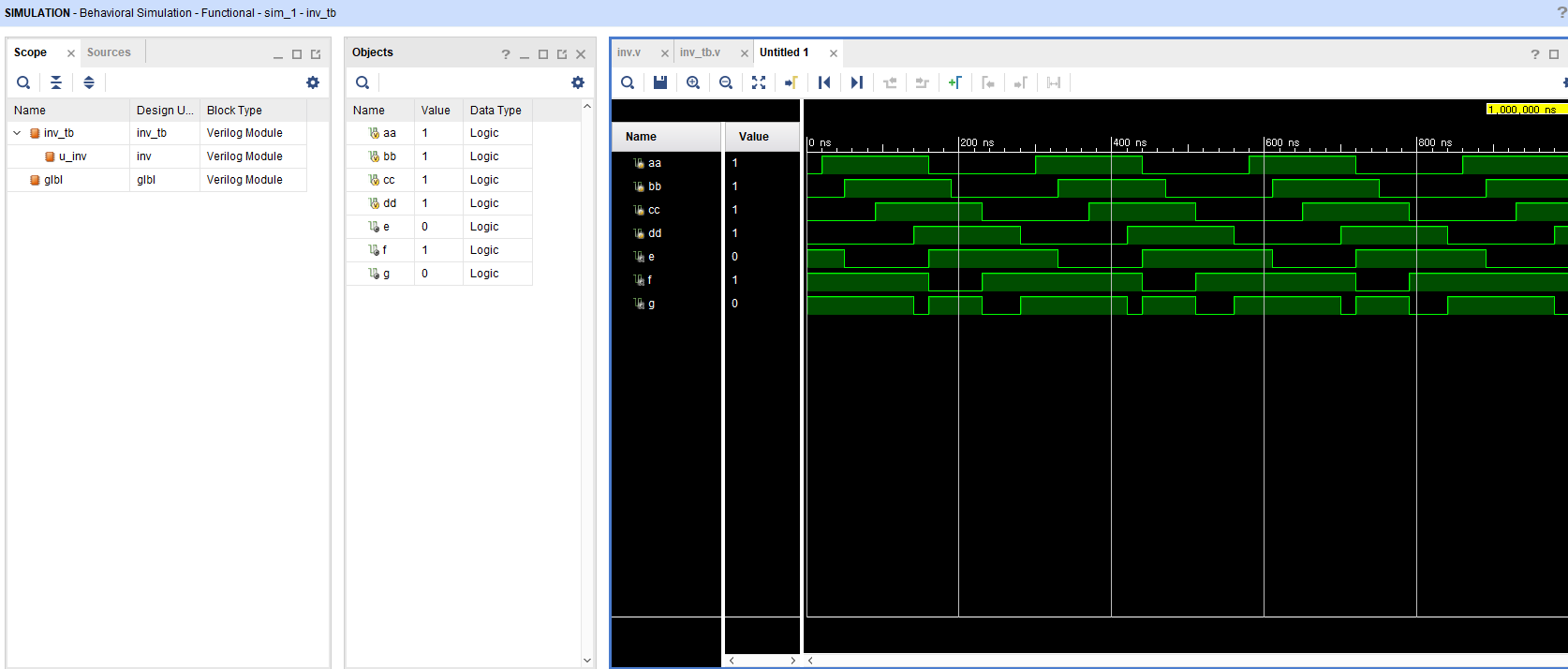
.................

NAND/NOR/XOR Gate의 동작을 이해하고 Verilog를 사용하여 다중입력 게이트를 구현한 후, FPGA를 통해 확인한다. 입력 신호를 생성하여 Simulation으로, 구현된 각 Gate의 동작을 확인하고 FPGA를 통해서 Verilog로 구현된 회로의 동작을 확인한다.

................

**2.**

.......................



4-input NAND gate의 simulation 결과이며, 진리표는 다음과 같다.

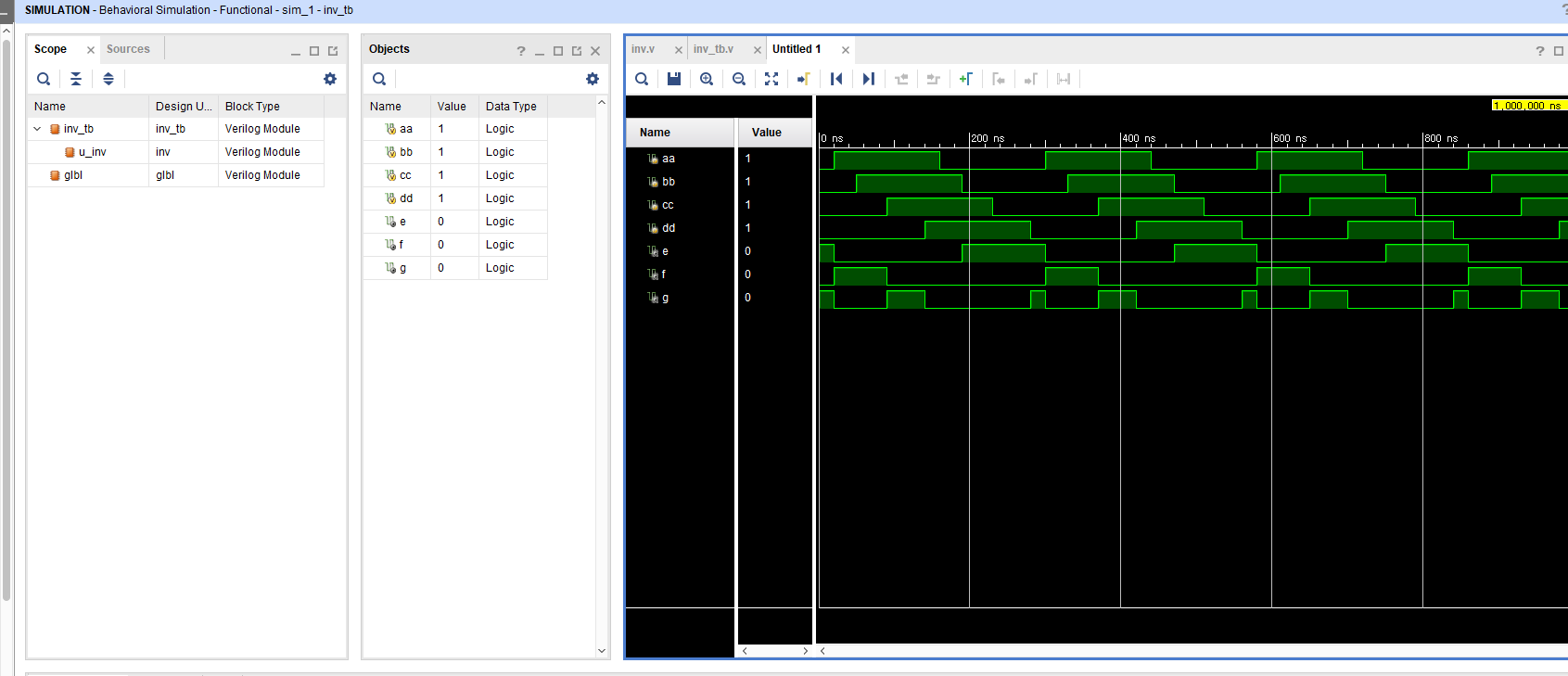
|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| Input A | Input B | Input C | Input D | Output E | Output F | Output G |
| 0 | 0 | 0 | 0 | 1 | 1 | 1 |
| 0 | 0 | 0 | 1 | 1 | 1 | 0 |
| 0 | 0 | 1 | 0 | 1 | 0 | 1 |
| 0 | 0 | 1 | 1 | 1 | 0 | 1 |
| 0 | 1 | 0 | 0 | 1 | 1 | 1 |
| 0 | 1 | 0 | 1 | 1 | 1 | 0 |
| 0 | 1 | 1 | 0 | 1 | 0 | 1 |
| 0 | 1 | 1 | 1 | 1 | 0 | 1 |
| 1 | 0 | 0 | 0 | 1 | 1 | 1 |
| 1 | 0 | 0 | 1 | 1 | 1 | 0 |
| 1 | 0 | 1 | 0 | 1 | 0 | 1 |
| 1 | 0 | 1 | 1 | 1 | 0 | 1 |
| 1 | 1 | 0 | 0 | 0 | 1 | 1 |
| 1 | 1 | 0 | 1 | 0 | 1 | 0 |
| 1 | 1 | 1 | 0 | 0 | 1 | 1 |
| 1 | 1 | 1 | 1 | 0 | 1 | 0 |

위 진리표는 4개의 input(a,b,c,d)와 3개의 output(e,f,g)로 구성된 논리 회로의 값들을 나타낸 표이다. Output e에는 a(NAND)b의 결과값이, Output f에는 c(NAND)e의 결과값이, Output F에는 d(NAND)f의 값이 Output g에 할당된다. 이때 Output g는 최종 결과값이 된다. NAND 게이트는 AND 게이트와 달리, input d값과 output f 값이 동시에 참인 경우에만 최종 결과값이 거짓으로 도출된다.

.........................

**3.**

.......................



4-input NOR gate의 simulation 결과이다.

진리표는 다음과 같다.

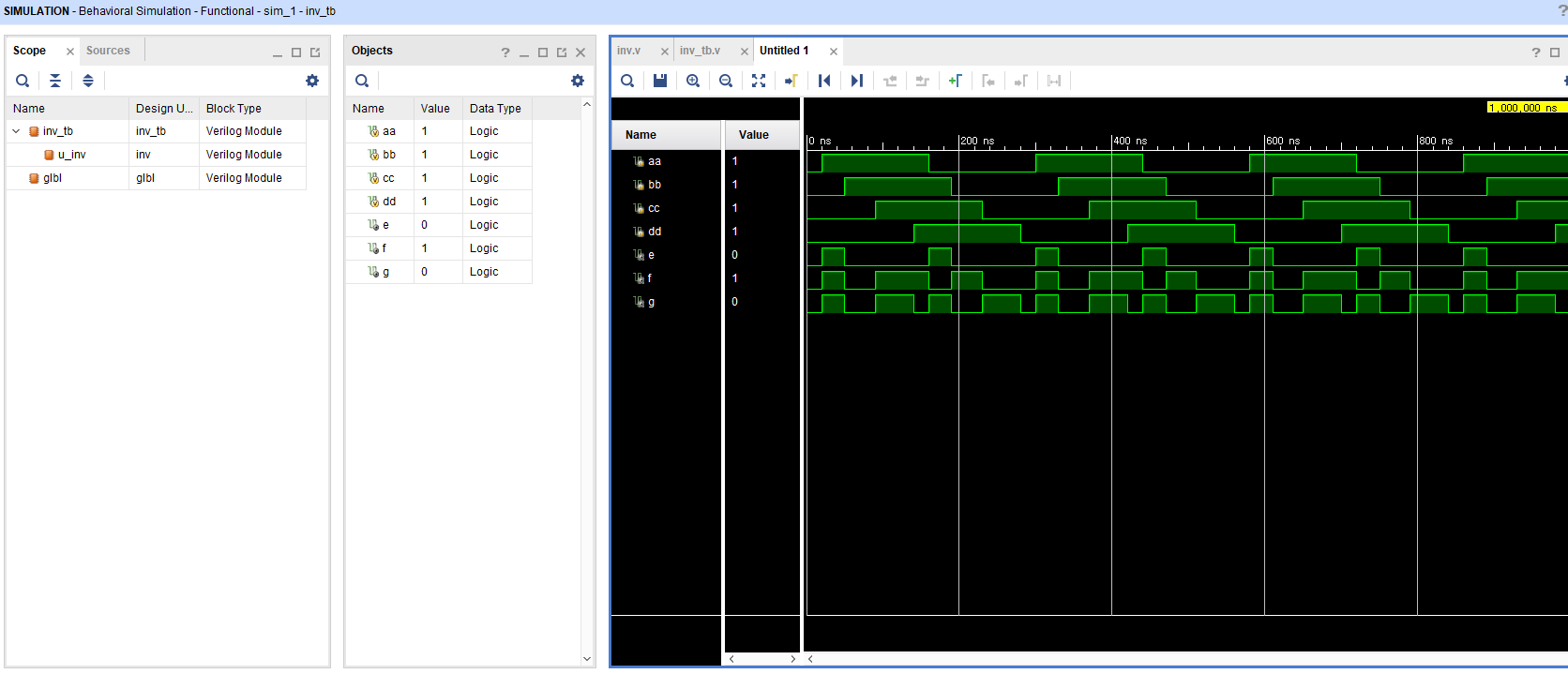
|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| Input A | Input B | Input C | Input D | Output E | Output F | Output G |
| 0 | 0 | 0 | 0 | 1 | 0 | 1 |
| 0 | 0 | 0 | 1 | 1 | 0 | 0 |
| 0 | 0 | 1 | 0 | 1 | 0 | 1 |
| 0 | 0 | 1 | 1 | 1 | 0 | 0 |
| 0 | 1 | 0 | 0 | 0 | 1 | 0 |
| 0 | 1 | 0 | 1 | 0 | 1 | 0 |
| 0 | 1 | 1 | 0 | 0 | 0 | 1 |
| 0 | 1 | 1 | 1 | 0 | 0 | 0 |
| 1 | 0 | 0 | 0 | 0 | 1 | 0 |
| 1 | 0 | 0 | 1 | 0 | 1 | 0 |
| 1 | 0 | 1 | 0 | 0 | 0 | 1 |
| 1 | 0 | 1 | 1 | 0 | 0 | 0 |
| 1 | 1 | 0 | 0 | 0 | 1 | 0 |
| 1 | 1 | 0 | 1 | 0 | 1 | 0 |
| 1 | 1 | 1 | 0 | 0 | 0 | 1 |
| 1 | 1 | 1 | 1 | 0 | 0 | 0 |

위 진리표는 4개의 input(a,b,c,d)와 3개의 output(e,f,g)로 구성된 논리 회로의 값들을 나타낸 표이다. Output e에는 a(NOR)b의 결과값이, Output f에는 c(NOR)e의 결과값이, Output F에는 d(NOR)f의 값이 Output g에 할당된다. 이때 Output g는 최종 결과값이 된다. NOR 게이트는 OR 게이트와 달리, input d와 output f값이 동시에 거짓일 때 최종 결과값이 참으로 도출된다.

.........................

**4.**

.......................



4-input XOR gate의 simulation 결과이며, 진리표는 다음과 같다.

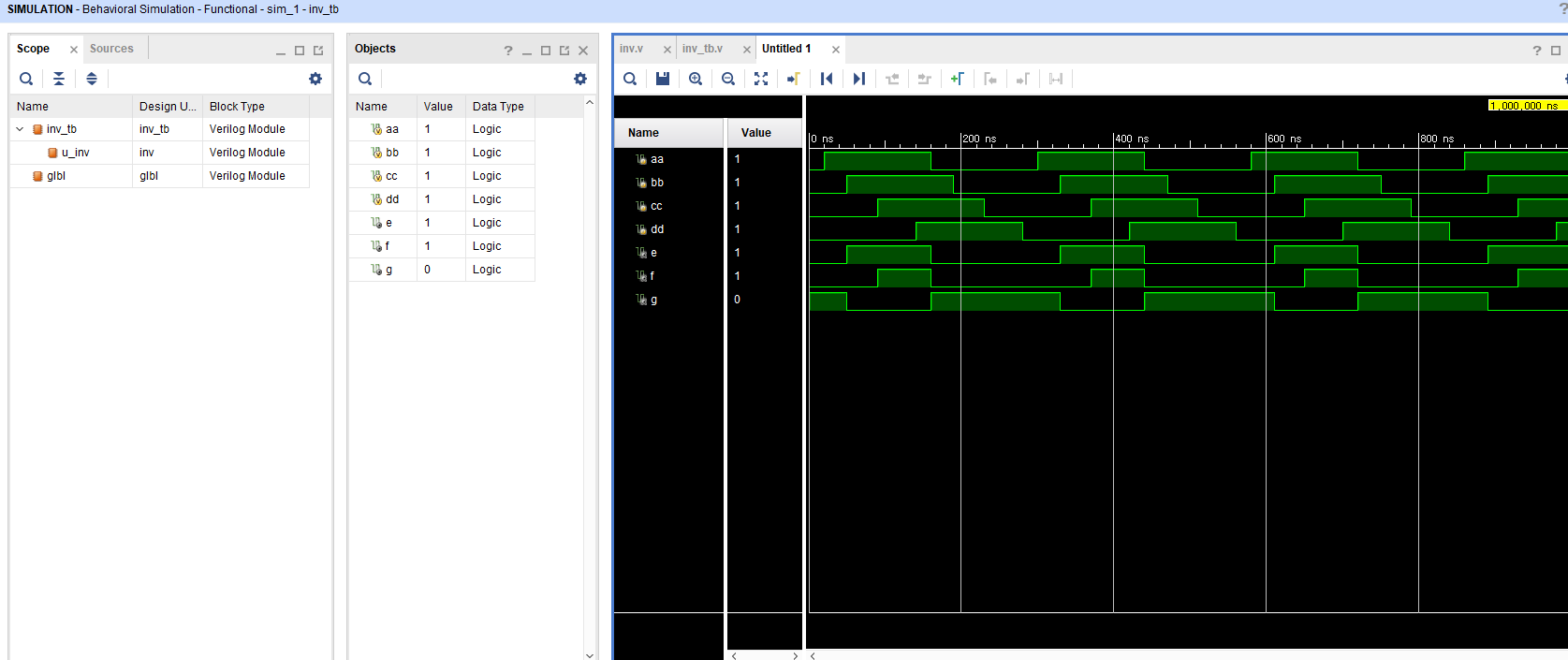
|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| Input A | Input B | Input C | Input D | Output E | Output F | Output G |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 0 | 1 | 0 | 0 | 1 |
| 0 | 0 | 1 | 0 | 0 | 1 | 1 |
| 0 | 0 | 1 | 1 | 0 | 1 | 0 |
| 0 | 1 | 0 | 0 | 1 | 1 | 1 |
| 0 | 1 | 0 | 1 | 1 | 1 | 0 |
| 0 | 1 | 1 | 0 | 1 | 0 | 0 |
| 0 | 1 | 1 | 1 | 1 | 0 | 1 |
| 1 | 0 | 0 | 0 | 1 | 1 | 1 |
| 1 | 0 | 0 | 1 | 1 | 1 | 0 |
| 1 | 0 | 1 | 0 | 1 | 0 | 0 |
| 1 | 0 | 1 | 1 | 1 | 0 | 1 |
| 1 | 1 | 0 | 0 | 0 | 0 | 0 |
| 1 | 1 | 0 | 1 | 0 | 0 | 1 |
| 1 | 1 | 1 | 0 | 0 | 1 | 1 |
| 1 | 1 | 1 | 1 | 0 | 1 | 0 |

위 진리표는 4개의 input(a,b,c,d)와 3개의 output(e,f,g)로 구성된 논리 회로의 값들을 나타낸 표이다. Output e에는 a(XOR)b의 결과값이, Output f에는 c(XOR)e의 결과값이, Output F에는 d(XOR)f의 값이 Output g에 할당된다. 이때 Output g는 최종 결과값이 된다. 진리표를 보면 알 수 있듯이 D와 F의 값이 다른 경우에만 최종 결과값이 1로 도출된다. 즉 input a,b에 할당된 값만이 같거나, input c,d에 할당된 값만 같은 경우에 Output g는 참이 된다. 다시 말하자면, 입력 중 논리적 참의 개수가 홀수인 경우에만 논리적 참이 출력된다.

.........................

**5.**

.......................



4-input AOI gate이며, 진리표는 다음과 같다.

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| Input A | Input B | Input C | Input D | Output E | Output F | Output G |
| 0 | 0 | 0 | 0 | 0 | 0 | 1 |
| 0 | 0 | 0 | 1 | 0 | 0 | 1 |
| 0 | 0 | 1 | 0 | 0 | 0 | 1 |
| 0 | 0 | 1 | 1 | 0 | 1 | 0 |
| 0 | 1 | 0 | 0 | 0 | 0 | 1 |
| 0 | 1 | 0 | 1 | 0 | 0 | 1 |
| 0 | 1 | 1 | 0 | 0 | 0 | 1 |
| 0 | 1 | 1 | 1 | 0 | 1 | 0 |
| 1 | 0 | 0 | 0 | 0 | 0 | 1 |
| 1 | 0 | 0 | 1 | 0 | 0 | 1 |
| 1 | 0 | 1 | 0 | 0 | 0 | 1 |
| 1 | 0 | 1 | 1 | 0 | 1 | 0 |
| 1 | 1 | 0 | 0 | 1 | 0 | 0 |
| 1 | 1 | 0 | 1 | 1 | 0 | 0 |
| 1 | 1 | 1 | 0 | 1 | 0 | 0 |
| 1 | 1 | 1 | 1 | 1 | 1 | 0 |

위 진리표는 4개의 input(a,b,c,d)와 3개의 output(e,f,g)로 구성된 논리 회로의 값들을 나타낸 표이다. Output e에는 a(AND)b의 결과값이, Output f에는 c(AND)e의 결과값이, Output F에는 d(NOR)f의 값이 Output g에 할당된다. 이때 Output g는 최종 결과값이 된다. AOI 게이트의 진리표를 보면 알 수 있듯, input a,b가 동시에 1을 할당 받거나, input c,d가 동시에 1을 할당 받을 때 결과값이 0이 나옴을 알 수 있다.

.........................

**6.**

.......................

NAND, NOR, AOI 게이트의 진리표를 확인하며 각 게이트의 양상이 AND, OR, XOR에 NOT 인버터를 사용한 출력 값을 도출한다는 걸 확인할 수 있었다.

.........................

**7.**

.......................

수업 시간에 다루지 않은 gate 중에 XOR에 NOT 인버터를 사용한 NXOR 게이트는, 다음과 같은 논리식을 갖는다.

NXOR 게이트는 Input 값이 같은 경우 결과값으로 참을 도출한다.

.........................