

# 基于 JESD204B 的 Serdes 接口中接收电路 设计研究

## 论文答辩

陈登

导师：姚亚峰

2015 年 5 月 13 日

Power by L<sup>A</sup>T<sub>E</sub>X

# 目录

- 1 研究背景
- 2 JESD204B 协议接收部分
- 3 接收部分具体设计
- 4 总结

# 研究背景

## JESD204B 接口介绍

在通信系统中，尤其是无线通信系统，高速 AD 转换芯片的地位非常重要。伴随着通信系统的传输速率不断飞速增长，传统的 AD 数据接口，如 USB、SPI、I2C，已经远远无法满足在更高速条件下信号传输的需求。

于是一种新的接口技术，JESD204B 应运而生，逐渐成为高速 AD 芯片上的必备接口，在实际中有着广泛的应用。

# 研究背景

AD9144



Quad, 16-Bit, 2.8 GSPS, TxDAC+®  
Digital-to-Analog Converter

Data Sheet

**AD9144**

$$MaxRate = 4 * 16 * 1.06 = 67.84 Gbps$$

$$MaxLaneRate = MaxRate / 8 = 8.48 Gbps$$

# 研究背景

## JESD204B 协议主要解决的问题

- 传输高频无线数字信号需要很高的速率。
- 所传输的数据需要适用于 ADC、DAC 的工作方式。
- 各大厂商标准化的支持。

# 研究背景

## JESD204B 协议的特点

- 新颖** 协议最早制定在 2012 年，属于硬件接口中的新成员，采用了串行设计。
- 高速** 协议规定在子类 1 条件下能够达到单通道 12.5Gbps 的传输速率。
- 专业** 协议是专门针对 ADC、DAC 芯片传输需求设计的，充分考虑信号的各种同步、传输情况。
- 通用** 协议已经实现在各大芯片公司的高端芯片中，如 AD、TI 等。

# 研究背景

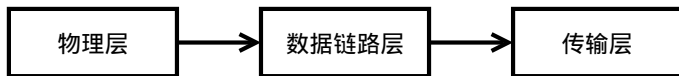
## 存在的问题

现在国内市场上还很少能够看到自主生产的、拥有知识产权的、带有 JESD204B 接口的 ADC、DAC 芯片。并且很多现有的芯片并没有采用最新的 JESD204B 协议。

本课题研究的 JESD204B 接口接收端电路能够实际应用成为完整 JESD204B 接口的一部分，具有一定的价值。

# JESD204B 协议接收部分

## 接收端系统框图



图：接收端系统框图

**物理层** SerDes 接收端，采用均衡、CDR、CML 技术保证高速串行接收。

**链路层** 8B/10B 解码器、解扰器、对齐检测。

**传输层** 解帧器。



# JESD204B 协议接收部分

## 数据链路层

### 8B/10B 解码器

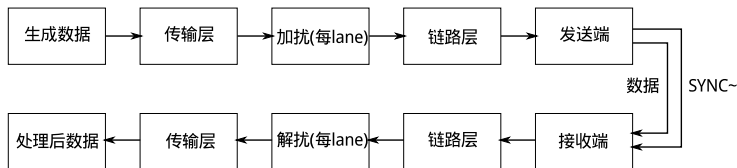
JESD204B 协议规定的 8B/10B 编码主要参考 IEEE802.3 协议相关部分。

- 编码过程含冗余信息，使传输密度均匀，便于时钟恢复。
- 能够保证足够数量的控制字，利于传输过程中帧的构建。
- 直流平衡编码，便于有限信道传输，降低功耗，减小误码率。

# JESD204B 协议接收部分

## 数据链路层

### 解扰器



图：解扰器在系统中位置

- 采用自同步扰码，需要一组未加扰数据启动解扰功能。
- 增加传输数据随机性，增强数据的信道适应性。

# JESD204B 协议接收部分

## 数据链路层

### 对齐检测

**CGS** 码群同步, Code Group Synchronization。

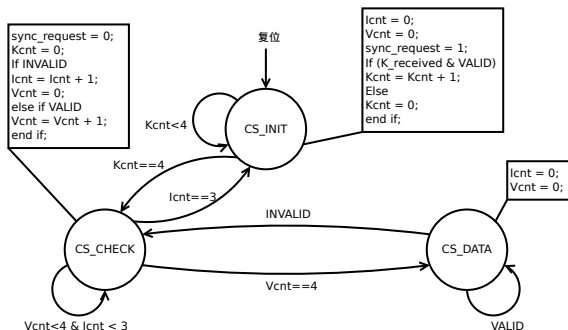
**IFS** 初始化帧同步, Initial Frame Synchronization。

**ILS** 初始化 lane 同步, Initial Lane Alignment Synchronization。

# JESD204B 协议接收部分

## 数据链路层

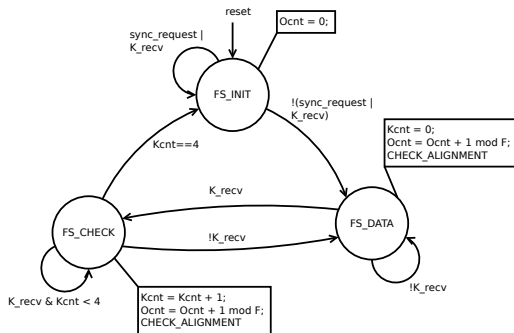
CGS：对链路数据进行检测，判断无效字符数量，在达到错误门限后发起重同步。



# JESD204B 协议接收部分

## 数据链路层

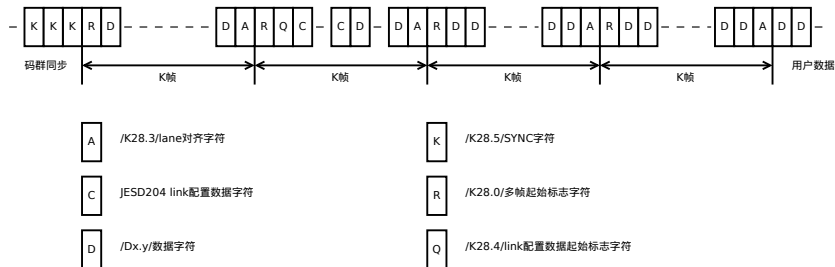
IFS：对链路数据进行检测，关注/F/字符，对齐帧时钟、发起字符替换、检测发端主动重同步。



# JESD204B 协议接收部分

## 数据链路层

ILS: 根据多帧计数判断 ILAS 位置, 给出工作阶段使能信号、替换/A/字符。



# JESD204B 协议接收部分

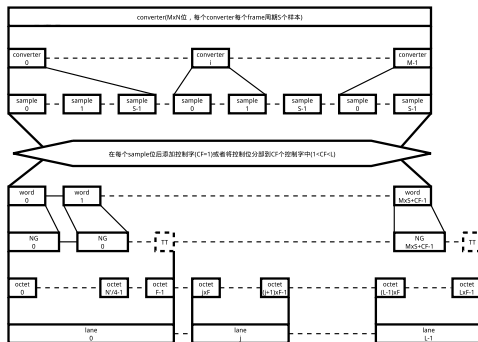
## ILAS 组成

Configuration octet no.	Bits							
	MSB	6	5	4	3	2	1	LSB
0	DID<7:0>							
1	ADJCNT<3:0>				BID<7:0>			
2	X	ADJDIR	PHADJ	LID<4:0>				
3	SCR	X	X	L<4:0>				
4	F<7:0>							
5	X	X	X	K<4:0>				
6	M<7:0>							
7	CS<1:0>		X	N<4:0>				
8	SUBCLASSV<2:0>				N'<4:0>			
9	JESDV<2:0>				S<4:0>			
10	HD	X	X	CF<4:0>				
11	RES1<7:0>-Set to all X							
12	RES2<7:0>-Set to all X							
13	FCHK<7:0>							

# JESD204B 协议接收部分

## 传输层

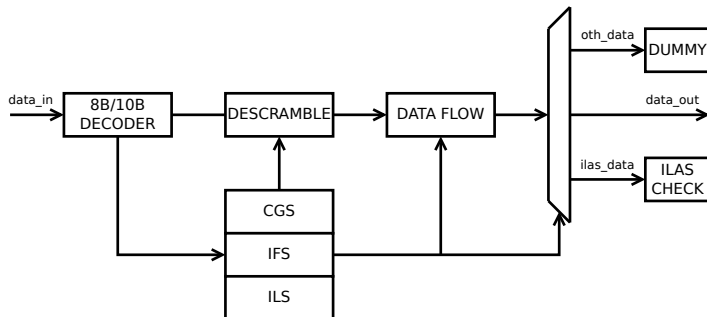
负责将接收到的各个 lane 数据转换为各个转换器对应的样本数据。





# 接收部分具体设计

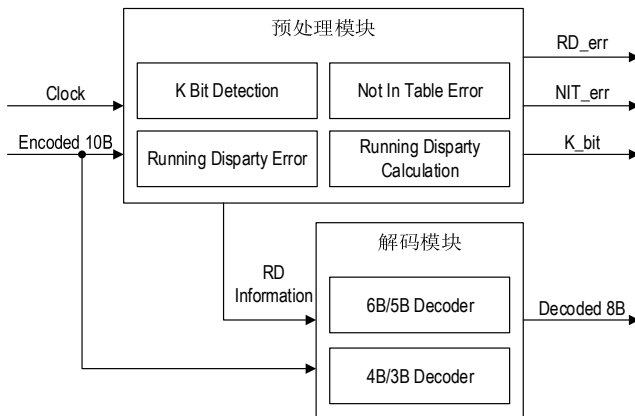
## 数据链路层设计框图



图：接收端数据链路层框图

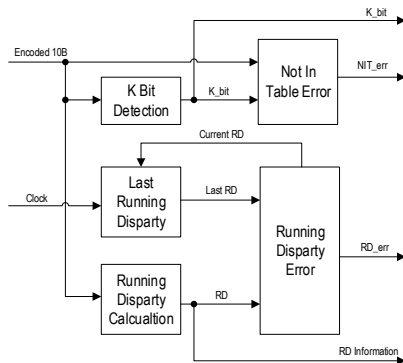
# 接收部分具体设计

## 8B/10B 解码器设计 - 设计框图



# 接收部分具体设计

## 8B/10B 解码器设计 -预处理部分设计框图



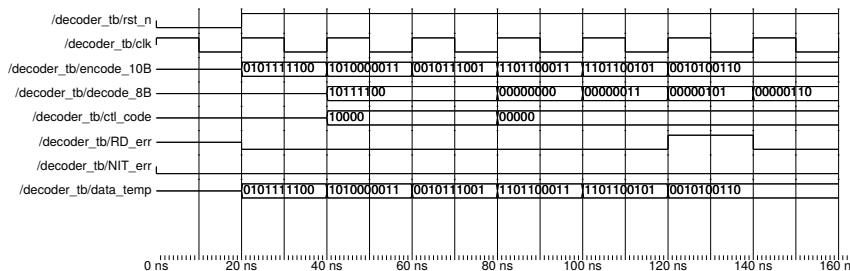
# 接收部分具体设计

## 8B/10B 解码器设计 -特色

- 采用预处理级，直接快速给出极性信息，供解码模块使用，减小解码表设计，减小面积。
- 状态机设计的极性跳转设计，提高程序稳定性。
- 3B/4B 解码与 5B/6B 解码并列分级进行，充分利用并行特点加快解码速度。

# 接收部分具体设计

## 8B/10B 解码器设计 - 仿真结果



图：8B/10B 解码器仿真结果

# 接收部分具体设计

## 8B/10B 解码器设计 -综合结果

设计 项目	Classic	Actel	New
Total Cell Area( $\mu m^2$ )	1716(98%)	2657(151%)	1759
Timing( $ns$ )	8.16	9.97	9.54
Time Used( $ns$ )	5.84	4.03	4.46
Frequency( $MHz$ )	171.2(76%)	248.1(111%)	224.2
Total Dynamic Power( $nW$ )	65.4(81%)	81.1(101%)	80.5

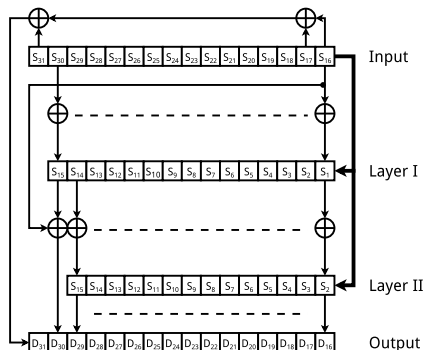
# 接收部分具体设计

## 解扰器设计 - 解扰公式

$$\left\{ \begin{array}{l} D_{31} = S_{31} + S_{17} + S_{16} \\ D_{30} = S_{30} + S_{16} + S_{15} \\ \dots \\ D_{17} = S_{17} + S_3 + S_2 \\ D_{16} = S_{16} + S_2 + S_1 \end{array} \right. \quad (1)$$

# 接收部分具体设计

## 解扰器设计 - 解扰器并行实现





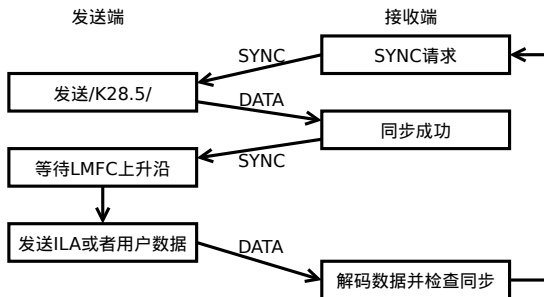
# 接收部分具体设计

## 解扰器设计 - 特色

- 采用两级缓冲处理，通过流水的设置以面积换取扰速率。
- 能够以 32 比特进行并行处理，降低处理频率。
- 自同步要求先存有未加扰数据作为种子，第一级处理保留了未加扰数据。

# 接收部分具体设计

## 对齐检测设计 -CGS 流程



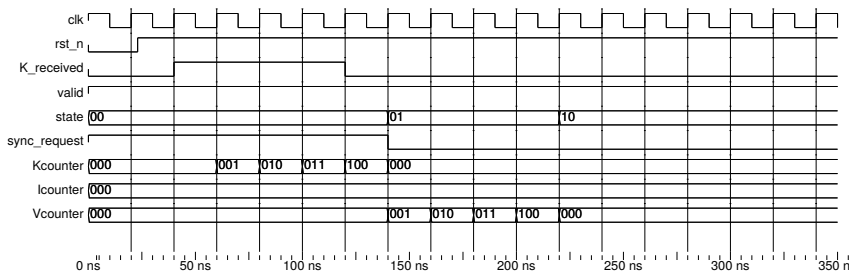
# 接收部分具体设计

## 对齐检测设计 -CGS 流程

- 1 当链接启动，接收端发送同步请求，发送端传回/K28.5/。
- 2 正确接收另外 4 个/K28.5/字符后接收端认为码群同步完成。
- 3 当收到错误码字后，接收端进入“CHECK”状态。
- 4 如果又有 3 个错误码字在“CHECK”状态被接受，就表示失去同步。
- 5 如果在“CHECK”状态连续收到 4 个正常码字，则进入正常状态。

# 接收部分具体设计

## 对齐检测设计 -CGS 仿真结果



# 接收部分具体设计

## 对齐检测设计 -IFS 流程

当一个 link 启动时，帧同步的由以下几点实现：

- 在码群同步过程中，发送端会一直发送/K28.5/的逗点符号。
- 在码群同步结束后，收端会假设收到第一个非/K28.5/符号作为帧的开始。如果发送端开始发送 ILAS，那么第一个非/K28.5/字符就是/K28.0/字符。
- 接收端假设在每 F 个 octet 后就是新的一帧的开始。

# 接收部分具体设计

## 对齐检测设计 - 帧对齐和帧纠错

```
if (A_recv | F_recv) then
    REPLACE_ALIGNMENT_CHARACTER;
    if ((Ocnt == previous_AF_position) & VALID) then
        RESET_OCTET_COUNTER;
    end if
    if VALID | (Ocnt == F-1) then
        previous_AF_position = Ocnt;
    end if
end if
```

# 接收部分具体设计

## 对齐检测设计 -ILS 流程

当一个 link 启动时，lane 同步的由以下几点实现：

- 对 ILAS 序列的检测、分析工作和 lane 的监测工作。
- 完成了初始化帧同步后紧接着的就是初始化 lane 对齐的工作。
- 初始化 lane 对齐完成后就需要对 lane 进行监控，判断是否需要重对齐。

# 接收部分具体设计

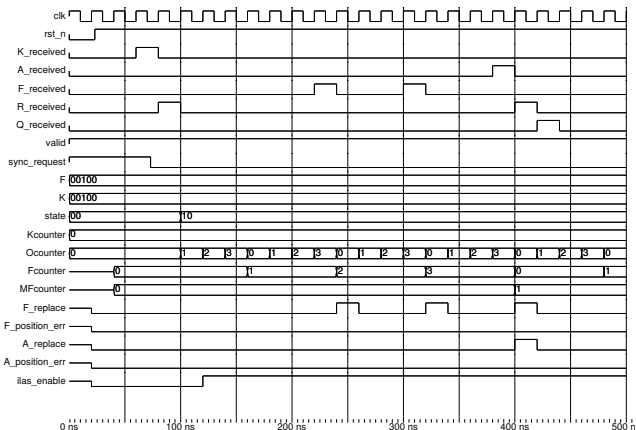
对齐检测设计 -lane 对齐和 lane 纠错

```
if A_recv then
    REPLACE_A;
    if ((Fcnt == previous_A_position) & VALID) then
        RESET_FRAME_COUNTER;
    end if
    if VALID | (Fcnt == F-1) then
        previous_A_position = Fcnt;
    end if
end if
```



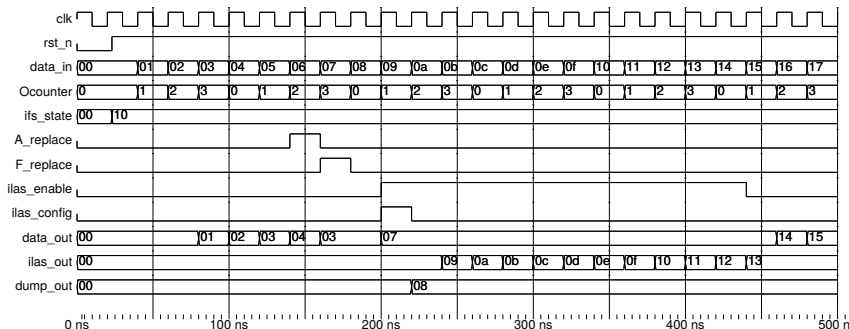
# 接收部分具体设计

## 对齐检测设计 -IFS/ILS 仿真结果



# 接收部分具体设计

## 对齐检测设计 - 数据流仿真结果



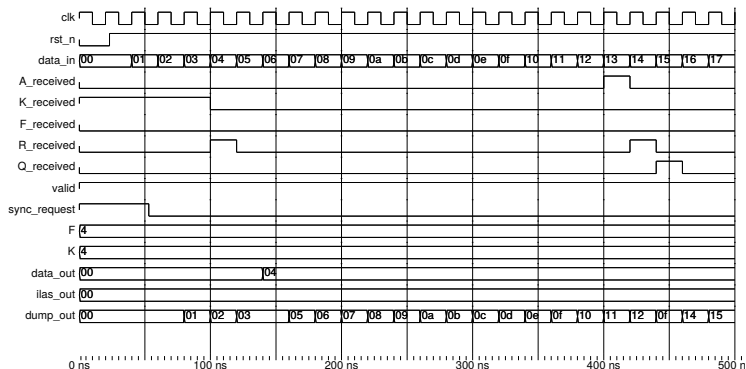
# 接收部分具体设计

## 对齐检测设计 - 综合结果

项目 \ 设计	ILS/IFS	DATA FLOW
Total cell Area( $\mu m^2$ )	8718	4966
Timing( $ns$ )	3.71	7.96
Time Used( $ns$ )	6.15	1.99
Frequency( $MHz$ )	162.6	502.5
Total Dynamic Power( $nW$ )	535.6	490.9

# 接收部分具体设计

## 对齐检测设计 -级联仿真结果



# 总结

## 设计结果

本文的主要完成的工作是设计通信接口的接收端电路，包括

- 8B/10B 解码器设计
- 解扰器设计
- 码群同步状态机设计
- 初始化 lane 同步状态机设计
- 初始化帧同步状态机设计
- 数据流模块设计

# 总结

## 芯片设计流程

- 1 分析协议接收端相关设计要求，结合已有相关芯片数据手册，得到合理的设计思路。
- 2 采用 Verilog 语言 RTL 级设计。
- 3 Verdi3 错误检查。
- 4 Modelsim 仿真。
- 5 Design Compiler 配合 SMIC 180nm 工艺库进行综合，得到逻辑仿真结果和电路综合结果。

# 总结

## 芯片设计结果

- 实现的码群同步状态机单元面积为  $1500\mu m^2$ ，工作频率可达 1GHz。
- 初始化 lane 同步状态机单元面积为  $8700\mu m^2$ ，工作频率可达 162MHz。
- 数据流模块单元面积为  $5000\mu m^2$ ，工作频率可达 500MHz。
- 8B/10B 解码器模块单元面积为  $1759\mu m^2$ ，工作频率可达 224MHz。

# 谢谢

请各位专家、教授提问！谢谢！