

1 SerDes 接收端数据链路层设计

1.1 8B/10B 解码器设计

根据 JESD204B 协议规定, SerDes 接口为保证信内数据的直流平衡, 并且为了便于时钟恢复, 采用 8B/10B 码作为数据链路层的编码方式。JESD204B 中采用的 8B/10B 编解码部分主要参考 IEEE802.3 以太网协议中关于 8B/10B 的编解码部分。但是由于应用环境的不同, JESD204B 协议的 8B/10B 编解码方式同以太网相比略有不同。

1.1.1 协议分析

以太网协议提供了完整的编码表, 也可以看作为解码表, 这几张表格的正确性毋庸置疑, 是最值得参考的资料。表中将总共 268 种的编码情况全部列出, 可以作为校验编码正确性的基准值。

在数字编码中有一个重要的概念, 叫做极性¹。极性是指一组编码中 0 的个数和 1 的个数之差, 在一定长度的编码情况下, 可以理解为 0 或 1 的个数。比如说 3B/4B 编码中, 在 4B 编码结果中, 若 1 的个数多于 0 的个数则称为正极性, 反之称为负极性, 二者相同则称为平衡。事实上, 在具体的数据字编码中, 不会出现编码结果 0 的个数多于 1 的个数三个或以上。若编码中 1 的个数减去 0 的个数记, 无论 6B 或者 4B 的编码结果只会为 -2,0,2, 相对应与负极性、平衡和正极性。

以太网协议建议, 将一个码组的极性分为三部分, 第一是上一码组计算后得出的极性, 第二是编码后 6B 部分的极性, 第三是编码后 4B 部分的极性。而最后得到的 4B 部分的极性将作为这一组码的极性用于接下来码组的计算。极性运算的基本结构: $last_code_group_RD \rightarrow 6B_sub_block \rightarrow 6B_RD \rightarrow 4B_sub_block \rightarrow 4B_RD(new_last_code_group_RD)$ 。

每个 sub-block 的判断可用以下伪代码表示 (6B 和 4B 略有不同):

```
if 000111 or 0011 or 1s > 0s
    6B_RD = +; RD_4B = +;
else if 111000 or 1100 or 1s < 0s
    6B_RD = -; RD_4B = -;
else
    6B_RD = last_code_group_RD;
    4B_RD = 6B_RD;
endif
```

最后是以以太网协议中关于极性错误的处理, 在协议附录中给出了一些接收当中的极性错误。可以发现, 极性错误是不能精确定位的, 它的检测主要是通过接收机本地的极性和所接收到的极性不符所产生的错误。但由于一系列的中性码并不会改变极性, 前一码接收产生的错误可能因为一系列的中性码而直到几个码字后才能检测到。

在 JESD204B 协议中关于 8B/10B 编解码的规定, 阅读接口协议的数据链路层内容, 可以发现, 在编解码器之前还有一级控制, 主要是用来针对数据成帧结构中的 lane、frame、multiframe 的校准、同步和错误控制, 而控制的依据就是解码器中获得的控制字。

在 JESD204B 协议中只用到了 8B/10B 所用控制字的 5 个, 这将简化控制字的解码复杂度, 控制字分别如下:

K.29.0 即 D, 表示 Multiframe 的开始。

K.28.3 即 A, 表示 Lane 校准, 一般在多帧最后出现。

K.28.4 即 Q, 表示 Link 设置数据的开始, 在他之后跟一系列设置数据, 配置 Link, 他也是 ILAS²的组成部分。

K.28.7 即 K, 表示 Group 同步, 可以说是链接开头最重要的部分, 用来保持同步, 是 CGS³的重要控制字。

K.28.7 即 F, 表示 Frame 校准, 一般表示一帧结束。

¹RD, 即 Running Disparity

²Initial Lane Alignment Sequence

³Code Group Synchronization

JESD204B 协议还规定了三种重要的解码错误，这些在解码器级别的错误是属于不太严重的错误，有可能经常发生，在错误并不严重的情况下并不需要进行重同步，但是需要上报给错误处理部分，供应用层决定如何处理。

错误包括以下三种：

Not-in-table Error 这种错误意味着接收到的码字在任何极性情况下都不存在于码表中，就是一些非法的码字。对于这些码字，协议规定接收端需要重复之前收到的最新的没有错误的帧。

Running Disparity Error 这种错误就是上文提到的极性错误，协议规定解码器要根据收到的数据和极性直接解码。由于在检测到极性错误时，可能产生错误的不是这个码字，这样的处理方式也比较合理。

Unexpected Control Character 这种错误就是指未出现在指定位置的控制字，这一错误的具体处理需要由 lane/frame 监测部分来决定，属于接下来层级的处理，解码器并无法判断出这一错误。

1.1.2 解码思路

具体逻辑框图如图 1 所示。

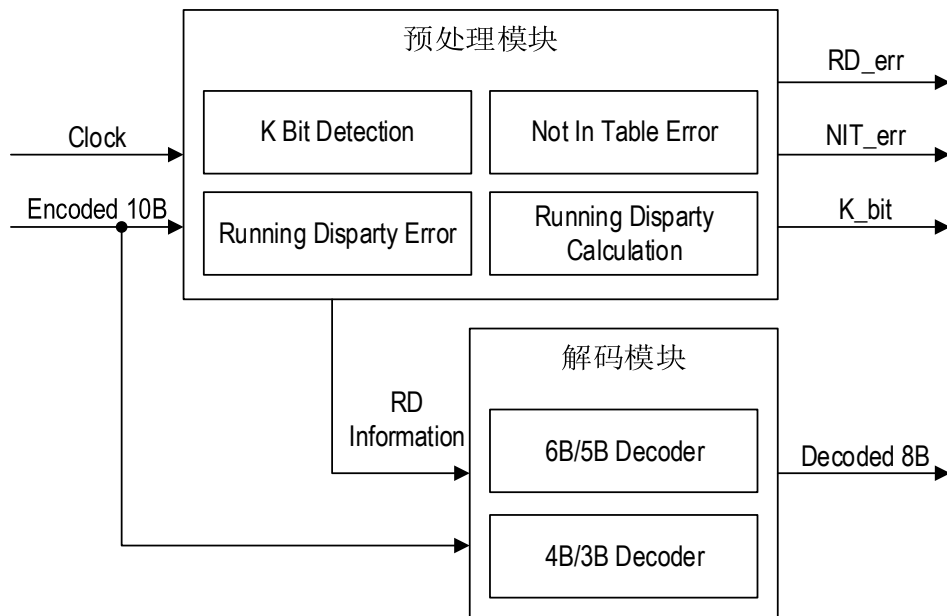


图 1: 8B/10B 解码器系统框图

通过对现有论文编解码方式的理解分析，可以发现编码的方式比较多样，但解码仍主要停留在通过逻辑的方式。在 [6]、[5] 和 [3] 中采用的是纯逻辑解码方式；在 [4] 和 [2] 这两篇文章中采用的是多路选择器的方式。

在现有文章的解码中，极性仅作为差错检测，这是一种对信号资源的浪费，如果通过极性来进行解码，可以更好的利用现有的码表。对于已知码组的极性信息，可以得出下一组码可能的编码情况，这时就可以通过取反操作来压缩解码表的大小，更快的处理解码操作。例如，已知前一组码字的极性信息为 $RD+$ ，则可以推测出接下来的 6B 数据的极性信息只有可能为 $RD-$ 或者均衡两种可能。因此只需要处理一种极性的码字就可以完成对整个编码的解码，复杂度变为原来的一半。

对于数据字而言，在获知当前 RD 状态的前提下，解码就分为两种情况。一种是相反的极性，还有一种是均衡的极性。对于相反的极性而言，不需要对另一种极性解码，整张解码用表就可以缩小一半，一方面节约了芯片面积额，一方面提高了解码效率。对于均衡极性而言，由 [3] 中编码原理分析可知，对于均衡码的解码其实非常简便，只需要输出其低 5 或 3 位。因此，只需要设计一个均衡码判断电路，就可以快速选择是否通过解码逻辑极性解码。

对于控制字而言，由 [2] 中提到的控制信息检测可以发现，通过 RD 和固定位置的比特就可以区分该码字是否为控制字，并且确定是哪一类控制字 ($K.28.x$ 还是 $K.23.7$ 、 $K.27.7$ 、 $K.29.7$ 、 $K.30.7$)。在分析编码可知，控制字的 3B

或 5B 部分的编码规则同数据字是相同的。那么就可以“借用”数据字的解码部分来对控制字部分解码，准确输出控制码字。其中包括了均衡和非均衡的情况，处理逻辑同数据字，唯一不同的就是控制字状态标记是否拉高。

最后对于解码模块的考虑，一般情况下都是采用的是 verilog 语言的 case 逻辑，但是对于高效的电路来说要尽量避免对语言原生性能的依赖。通过逻辑化简的方法对更小的码表进行化简，这样的得到表达式速度更快，并且面积较小。

1.1.3 第一级，预处理级

预处理级系统框图如图 2 所示。

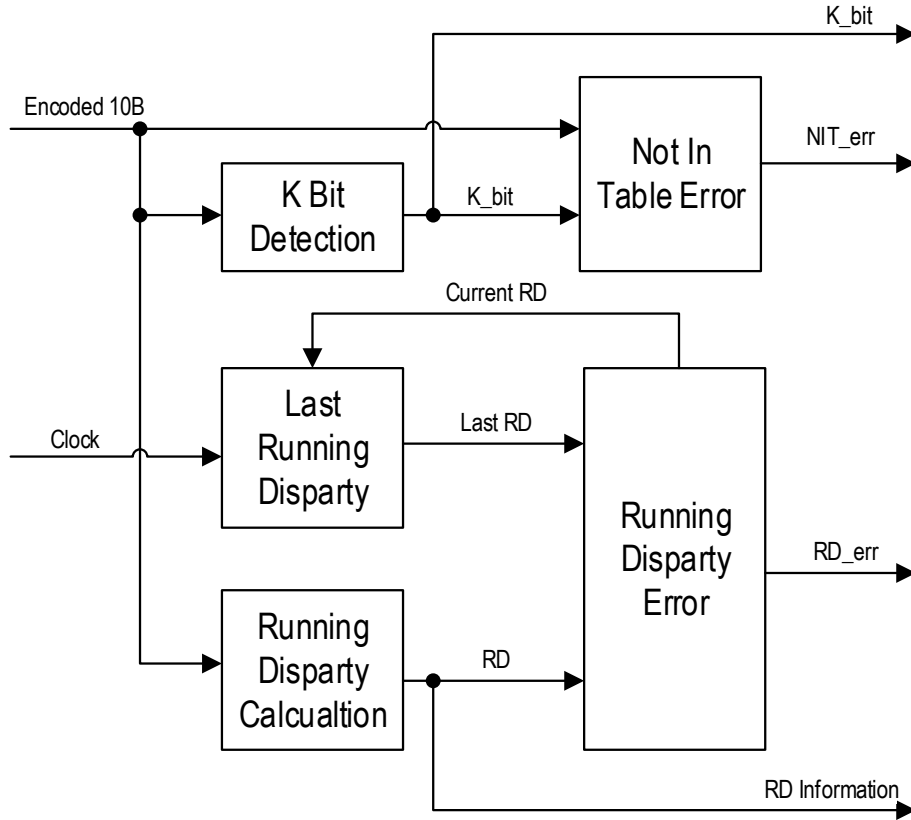


图 2: 8B/10B 解码器预处理级框图

K Bit 检测 根据输入完整的 10B 数据判断是否为控制信号。有以下伪代码：

```

if iedc == 1111|0000
    K.28.x = 1; K.x.7 = 0;
else if jhgfi == 010111|101000
    K.28.x = 0; K.x.7 = 1;
else
    K.28.x = 0; K.x.7 = 0;
endif

```

本设计中的 8B/10B 编码，只采用了 6B 部分为 K.28 的控制字。由完整检测逻辑可以得出，只需要检测 6B 部分的 cdei 位是否为 0000 或者 1111，就能判断出结果。所以判断控制字本设计可以采用最简单的逻辑表达式：

$$K_bit = (c \& d \& e \& i) \mid (c \mid d \mid e \mid i)$$

6B 和 4B 平衡检测 就是对给出的并行数据，分别输出 6B 和 4B 是否平衡，平衡即指 0 和 1 的数量是否相同。有以下伪代码⁴：

```

if  $RL(6B) == 3$ 
     $Balance\_6B = 1$ ;
else
     $Balance\_6B = 0$ ;
endif

if  $RL(4B) == 2$ 
     $Balance\_4B = 1$ ;
else
     $Balance\_4B = 0$ ;
endif

```

RD 信息检测 RD 信息检测主要指分别计算 6B 和 4B 部分的极性，每一部分又分别有两个输出， $RD-$ 和 $RD+$ 。因为每一组码字的极性一共存在三种可能，即正、负和平衡，不属于负和正的码字，既为平衡，平衡的判断也可由上文中的伪代码确定。这些重要的信息主要用于极性错误检测和解码。通过对合法码字的真值表进行化简，可以得到快速 RD 极性检测模块，准确输出正确码字 RD 的负和正信号。

最终模块输出 4 个信号，即 RD_6B_pos 、 RD_6B_neg 、 RD_4B_pos 、 RD_4B_neg 。

NIT 错误检测 Not-In-Table Error 的检测也分为 4B 和 6B 两部分。

6B 部分的错误码字一共为 14 种，如表 1，参考 [3] 一文的方法可以分为两类，既考虑 abcd 全为 0 或全为 1 的情况和 abcd 有且仅有 1 个 1 或仅有 1 个 0 的情况。前者直接可以判断该码字为错误码字，后者再观察 ef 是否全为 0 或全为 1，也可判断码字是否错误。

4B 部分的错误码字相对较为复杂，考虑到 K.28 中只有 5 个控制字是合法的，所以要对余下的码字报错。4B 部分报错情况如表 2 所示。

表 1: 6B 码字错误情况

abcdei	abcdei
000000	111111
000001	111110
000010	111101
000100	111011
001000	110111
010000	101111
100000	011111

表 2: 4B 码字错误情况

abcdei	hgfi
xxxxxxx	0000
	1111
001111	0101
	1001
	0110
110000	1010
	1001
	0110

极性错误检测部分负责检测关于极性的错误，主要就是指不能出现连续相同的极性变化。例如之前一个码字的 RD 为 $RD-$ ，则接下来收到的 6B 编码的 RD 必须为均衡或者是 $RD+$ ，这样就保证了信道上码字的均衡。极性检测实际上考虑的是三个部分的信息，可以细化为五个信号，包括上一个码字的极性，当前码字 6B 部分的 $RD+$ 或 $RD-$ ，当前码字 4B 部分的 $RD+$ 或 $RD-$ 。极性错误的监测并不能精确定位，因为均衡的码字是无法判断出是否有错的，只有当数据扩散到非均衡位置时才能判断出错误。由于正确的检测需要保存上一码字的极性信息，所以极性错误检测还负责解码器极性的刷新。检测可以通过极性信息计算模块提供的信号进行判断，并将得到新的极性存入寄存器，如表 3 所示。

⁴其中 RL 表示游程长度计算，即 1 的个数。下同。

表 3: 极性错误检测及新极性生成表

last	6B+	6B-	4B+	4B-	err	new
0	0	0	0	0	0	0
0	0	0	0	1	1	0
0	0	0	1	0	0	1
0	0	1	0	0	1	0
0	0	1	0	1	1	0
0	0	1	1	0	1	1
0	1	0	0	0	0	1
0	1	0	0	1	0	0
0	1	0	1	0	1	1
1	0	0	0	0	0	1
1	0	0	0	1	0	0
1	0	0	1	0	1	1
1	0	1	0	0	0	0
1	0	1	0	1	1	0
1	0	1	1	0	0	1
1	1	0	0	0	1	1
1	1	0	0	1	1	0
1	1	0	1	0	0	1
1	1	1	0	0	0	1
1	1	1	0	1	1	0
1	1	1	1	0	1	1

根据此表化简逻辑表达式即可得到准确的极性错误和本码字的极性情况。也可以采用有限状态机的方法进行判断，通过几个固定的状态转换进行极性的判断和存储了 [1]。极性状态转移图如图 3 所示。

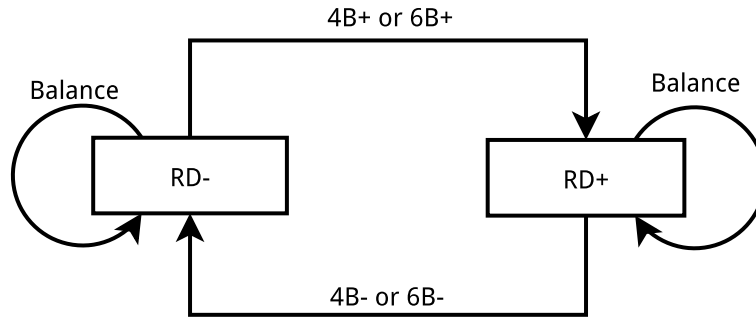


图 3: 8B/10B Running Disparity 状态转移图

1.1.4 第二级，解码级

解码级系统框图如图 4 所示。

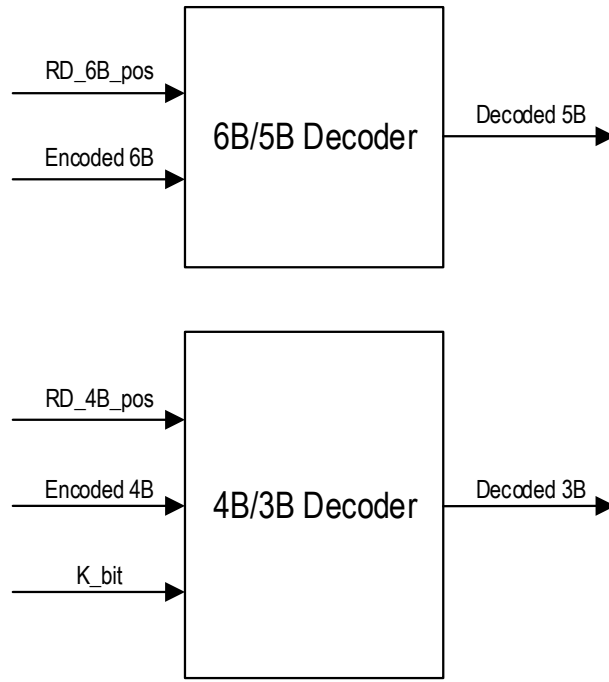


图 4: 8B/10B 解码器解码级框图

解码输入的第一步就是根据极性情况，对输入码字进行反转。根据 8B/10B 原理，对于相同的原始码字编码，在不同极性情况下的变化就是互为反码。所以在知道具体码字的极性信息时对其进行反转就可以准确的得到同极性下的编码，使之后的解码器只需要处理一种极性。具体的反转判断伪代码如下：

```

if  $RD == RD+$ 
     $6B = 6B;$ 
else
     $6B = !6B;$ 
endif

 $RD\_6 = RD | Balance\_6B$ 
if  $RD\_6 == RD+$ 
     $4B = 4B;$ 
else
     $4B = !4B;$ 
endif
  
```

6B/5B 和 4B/3B 解码部分，主要根据解码表对输入码字解码。解码表中存的查找项均为极性为正时的解码，根据输入输出解码结果，5B/6B 解码部分解码表如表 4 所示，3B/4B 解码部分解码表如表 5 所示。

需要特别注意的是 3B/4B 解码部分，不同于 5B/6B 解码，3B/4B 解码还需要考虑控制字的信息。这是因为对于特定的控制字 K.28 来说，为了避免整个 10B 编码偶然的出现连续 5 个 0 或 1，解码器就要根据情况来选择不同的 3B 编码。在解码过程中要着重考虑到这一点，为此增加了 K 位作为解码输入条件之一，K 位即表示控制位，由预处理级的控制字检测电路产生。通过化简增加信息后的真值表，得到表达式用以解码。

最后需要考虑的是均衡码字的情况，这种情况可以由之前的极性信息直接推断出来，这时候解码器需要做的就是输出相应解码部分的低位。

不同于 [2] 文中所描述的 CASE 方法，也不同于 [3] 中的纯逻辑方法。本设计引入了各个模块的 $RD+$ 信息，在读入数据之前先根据 RD_pos 信息对码字进行反转。这样，在解码时只要考虑 RD 为 $RD-$ 和平衡的情况。对于 6B

解码表由原来的 48 种情况减少为 34 种（如表 4 所示）；对于 4B 解码表，由于其解码需要考虑 K Bit 的情况，由原来的 28 种情况减少为 16 种（如表 5 所示）。并且由于快速的极性信息计算，使得解码模块能够更快的进行解码，缩短了解码所需时间。最后通过逻辑化简的方法对更小的码表进行化简，这样的得到表达式速度更快，并且面积较小。

表 4: 6B 解码表

abcdei	EDCBA	abcdei	EDCBA
000011	11100	011001	11001
000101	01111	011010	11010
000110	00000	011100	11100
000111	00111	100001	11110
001001	10000	100010	11101
001010	11111	100011	00011
001011	01011	100100	11011
001100	11000	100101	00101
001101	01101	100110	00110
001110	01110	101000	10111
010001	00001	101001	01001
010010	00010	101010	01010
010011	10011	101100	01100
010100	00100	110001	10001
010101	10101	110010	10010
010110	10110	110100	10100
011000	01000	111000	00111

表 5: 4B 解码表

K	hgfi	HGF
0	0001	111
0	0010	000
0	0011	011
0	0100	100
0	0101	101
0	0110	110
0	1000	111
0	1001	001
0	1010	010
0	1100	011
1	0001	111
1	0010	000
1	0011	011
1	0100	100
1	1010	101
1	1100	011

1.2 解扰器设计

JESD204 的发送端和接收端设备都需要支持加扰传输的数据流。并且每一对 lane 都要包含加扰器和解扰器。加扰器和解扰器的位置位于数据链路层和传输层之间，也就是位于 8B/10B 解码器之后进行解扰，加扰后进行编码。所以加扰操作主要是针对数据进行的，不涉及链路上的控制字符。对一个 link 启动加解扰意味着在 link 两端启动所有 lane 的加扰器和解扰器。但采用混合模式，只对一个 link 中的固定几条 lane 启动加解扰器是不允许的。

加扰的主要目的是避免频谱出现过大的峰值，这就意味着过多的帧到帧之间重复数据传输。在一个敏感的系统，频谱的峰值会引起电磁不兼容或者互相干扰的问题。过多相同帧也会引起基于编码的直流偏置。另一个加扰的好处就是使传输信道的频谱和数据区分开，这样接口上可能的频率选择效应就不会影响到数据的独立性。

1.2.1 协议分析

每一种扰码都有相对应的符合实际传输需求的扰码多项式，作为加扰和解扰的依据。JESD204B 协议规定的扰码多项式如式 1 所示。

$$1 + x^{14} + x^{15} \quad (1)$$

可见这个加扰多项式的周期长达 32767 位，足以符合敏感电磁系统频谱的要求。并且他允许解扰器在接收到 2 个 octet 数据后达成自同步。

加扰器和解扰器的根据它们的串行实现，一帧一阵的处理发送和接受的数据。一帧中最左边的位首先被转换，具体的转换顺序如图 5 所示。

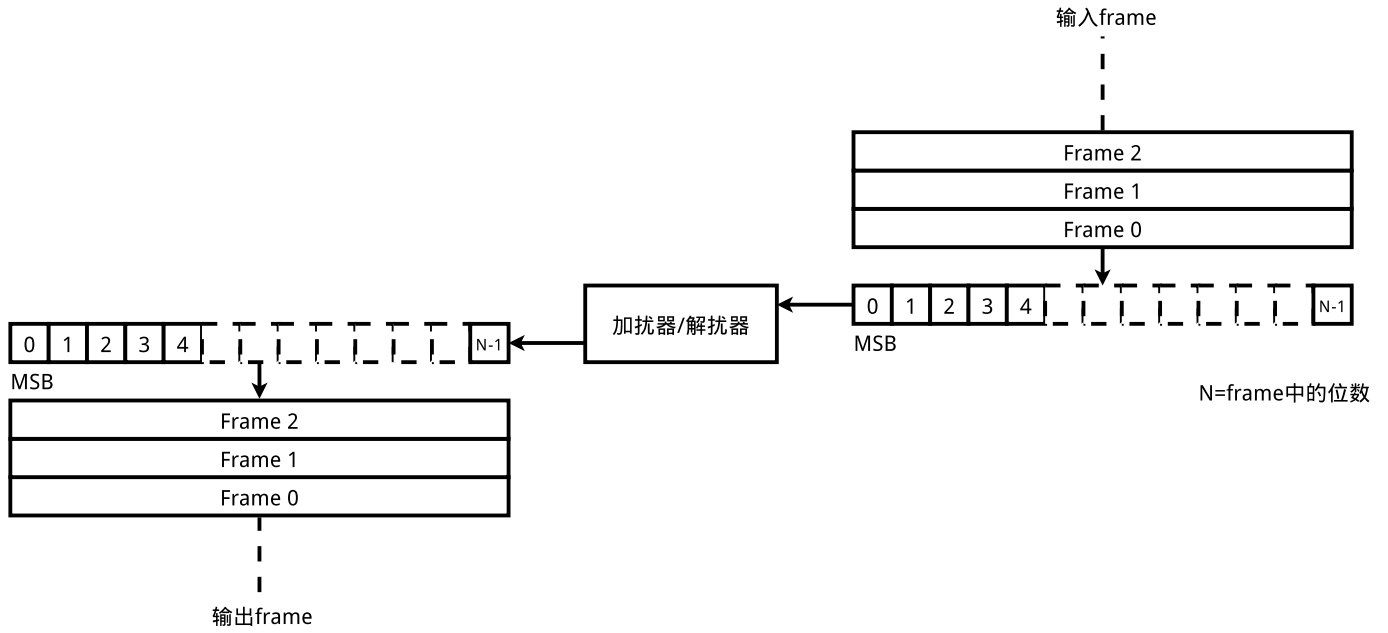


图 5: 扰码 frame 传输顺序

加扰器和解扰器要能够实现自同步，就是在没有额外初始信号的情况下，最终能够正确输出加扰编码。针对 JESD204B 的协议规定的扰码多项式，可以得到解扰器串行实现的流程框图，如图所示。

加扰器串行更新函数如式 2所示。

$$S_{15} = D_{15} + S_1 + S_0 \quad (2)$$

加扰器并行更新函数如式 3所示。

$$\begin{cases} S_{31} = D_{31} + S_{17} + S_{16} \\ S_{30} = D_{30} + S_{16} + S_{15} \\ \dots \\ S_{23} = D_{23} + S_9 + S_8 \\ S_{22} = D_{22} + S_8 + S_7 \\ \dots \\ S_{17} = D_{17} + S_3 + S_2 \\ S_{16} = D_{16} + S_2 + S_1 \end{cases} \quad (3)$$

解扰器串行更新函数如式 4所示。

$$D_{15} = S_{15} + S_1 + S_0 \quad (4)$$

解扰器并行更新函数如式 5所示。

$$\left\{ \begin{array}{l} D_{31} = S_{31} + S_{17} + S_{16} \\ D_{30} = S_{30} + S_{16} + S_{15} \\ \dots \\ D_{23} = S_{23} + S_9 + S_8 \\ D_{22} = S_{22} + S_8 + S_7 \\ \dots \\ D_{17} = S_{17} + S_3 + S_2 \\ D_{16} = S_{16} + S_2 + S_1 \end{array} \right. \quad (5)$$

其中，D 表示为未加扰的原始数据位，S 表示加扰状态位即加扰数据输出。

扰码的使能也是协议中重点规定的部分。加扰只是针对用户数据，并不包括控制字信息，例如码群同步控制字符串和初始化帧对齐序列。事实上，在传输中，前两个 octet 并不会全部进行加扰，因为发送端的加扰器也需要这两个 octet 作为初始化信息，才能正确进行之后的扰码输出。但是两个 octet 中的最后一位需要根据第一位、第二位和最后一位自己，加扰得到一个新的加扰位进行传输，接下来的数据将需要进行正规的加扰。在解扰端的状态寄存器跟踪上扰码同步前需要先接收两个 octet 的前 15 位作为初始化信息，之后才能根据第 16 位和之前接收到的第一第二位正确的输出解扰后数据。为了避免在最初的两个 octet 处理时同正常的加扰区分开来，需要加解扰器有使能开关来切换是否进行解扰或者加扰。在接收端，解扰器的输入端连接在 8B/10B 解码器的输出端，有一个使能开关决定数据是进行解扰还是直接通过。

所以，总体的加扰流控制图如图 6 所示。

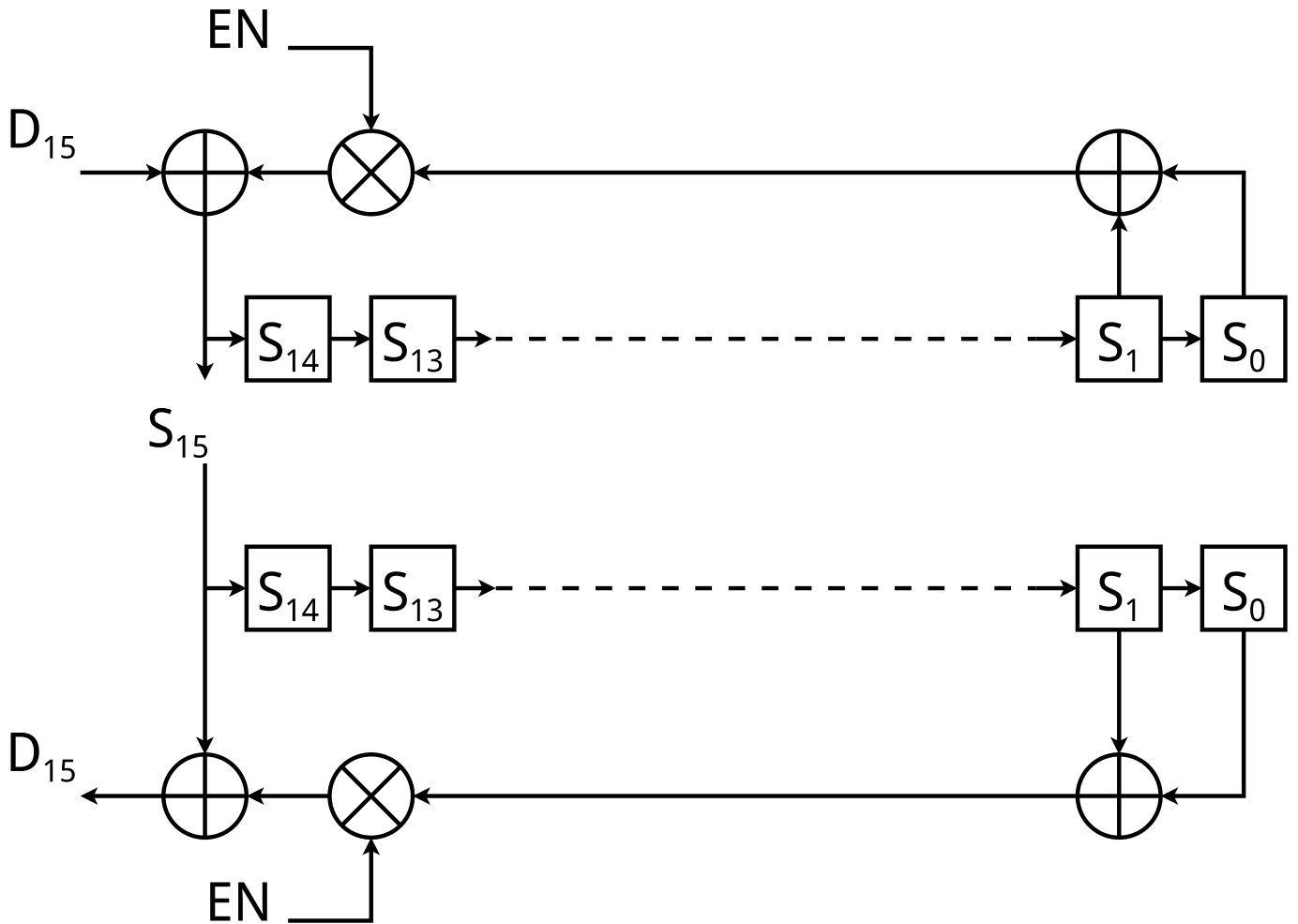


图 6: 解扰器和加扰器实现流程框图

最后需要考虑的是加解扰的初始状态问题。同很多使用自同步的加扰器一样，当输入数据是重复的初始状态值

时，将会产生重复的加扰输出。这就失去了加扰的意义，使信号的波形产生较大的峰值，会导致借口的电磁串扰。为了尽量避免重复输出，加扰器的初始状态必须设置为一个在传输层不太可能产生的 octet。推荐的初始值是高位 8 个 1，余下各位为 0，即 1111111100000000。

1.2.2 解扰思路

具体逻辑框图如图 7所示。

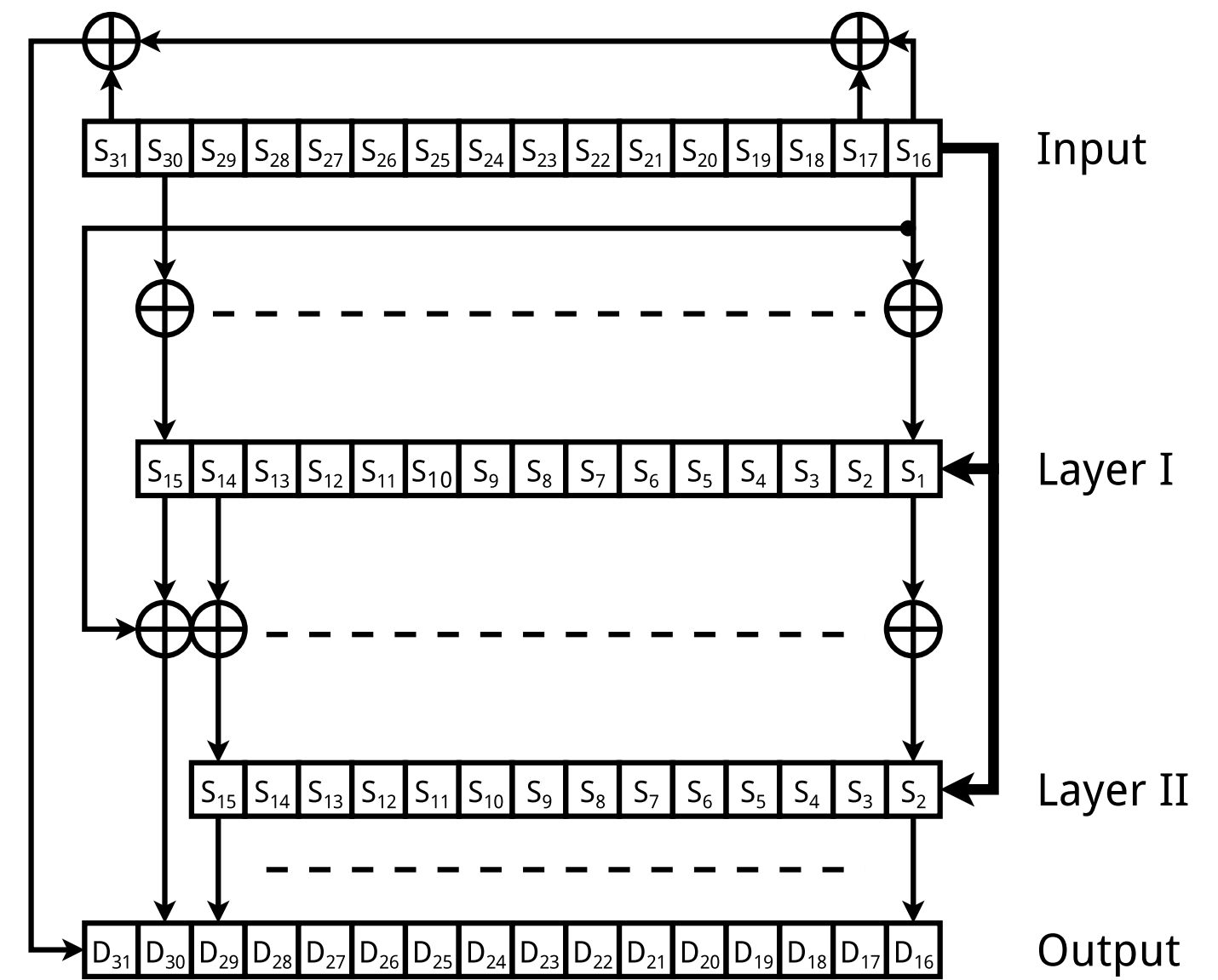


图 7: 解扰器并行驶线

为了适应高速的处理环境，解扰器的尽量采用并行设计的思路。原先解扰器采用的是串行设计，一个时钟周期只能处理一位。在高速系统中，位于数据链路层的解扰器不属于关键部分，不应采用过高的时钟频率。图 7中将解扰器分为四层进行处理，一次可以 16 位加扰数据。模块以两个 octet 的周期作为时钟，通过并行处理加快处理速度，牺牲了一定的芯片面积。

第一层输入层，作为最先输入的需要解扰的数据，在解扰使能刚开启时只需要对最后一位进行解扰。在完成第一个解扰周期的工作后，会将输入的低 15 位复制到第二层，低 14 位复制到第三层，作为之后解扰的依据。第二、第三层在一个解扰周期中主要是作为暂存器，将之前的输入存储下来，为之后的解扰做准备。通过三层数据对应位置的亦或操作，最后输出正确的解扰结果送到第四层输出层。

1.3 Frame/Lane 对齐字符检测设计

参考文献

- [1] Abdullah-Al-Kafi. Development of fsm based running disparity controlled 8b-10b encoder-decoder. *HCTL Open Int. J. of Technology Innovations and Research*, 2, 2013.
- [2] Actel. Implementing an 8b/10b encoder/decoder for gigabit ethernet in the actel sx fpga family. Technical report, Actel Corporation, October 1998.
- [3] A. X. Widmer. A dc-balanced, partitioned-block, 8b/10b transimission code. *IBM Journal of research and development*, 27(5):440–451, September 1983.
- [4] 温龙. 8b/10b 解码器设计. 科学技术与工程, 18(7), 2007.
- [5] 贺传峰. 一种新的 8b/10b 编解码硬件设计方法. 高技术通讯, 15(3), 2005.
- [6] 赵王虎. 基于逻辑设计的光纤通信 8b/10b 编解码方法研究. 电路与系统学报, 8(2), 2003.