

# 1 基本原理及工具

## 1.1 JESD204B 接口基本原理

JESD204 协议描述了一种在模数转换器和接收机之间的、速率可达 Gb 级别的串行链路，通常作为一个设备应用于 FPGA 或者 ASIC 上。

JESD204B 的物理层定义一个基于 SerDes 的单向点对点式差分串行协议。SerDes 物理层的收发端实现主要包括锁相环部分、接收端部分和发送端部分，其中接收端部分包括接收终端电路、时钟恢复电路、解串器，发送端包括发送驱动电路、串行器、伪随机序列生成器 [2]。具体结构如图 1所示。

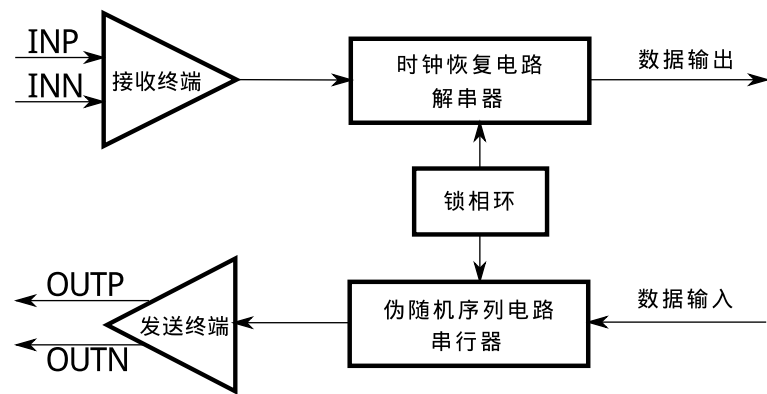


图 1: SerDes 物理层框图

最初的并行原始信号由模数转换器给出，经过组帧、编码及加扰后进入物理层，由并串转换器转换为串行码流通过发送端驱动输出到信道上。接收端由信道经过输入捕获电路得到串行码流，时钟恢复电路通过信息码字的边沿获取时钟信号，并结合锁相环输出恢复出的时钟信号供接收端各模块使用。收到的码流进入由恢复后的时钟信号驱动的串并转换器转换为最终的并行信号，输出至上一层逻辑，在经过解扰、解码及解帧后恢复出原始信号。

### 1.1.1 时钟恢复电路

时钟恢复电路是高速串行通信所必须具有的核心电路。时钟恢复电路所需要做的就是根据参考时钟，从接收到的串行信号中将时钟信号提取出来。在串行传输中，信道上只有串行数据在传输，并没有单独的可以同步的时钟信号。这就需要接收端从信号中提取出时钟信号，以方便获取正确的码流。

时钟恢复电路主要实现两个基本功能，一是对数据信号的边沿进行监测，二是通过 PLL 产生稳定在输入数据流码率的输出信号，并且在信号缺少变化时保持自由振荡。由此可见，在数据信道上传输的数据必须要有很高的随机性，能够保留足够多的边沿供时钟恢复电路恢复出时钟信号。JESD204B 通过对输入原始数据的编解码和加扰实现传输数据的随机性和均衡性，保证可提取边沿数量。再通过接口握手时的码群同步，在连接建立初期使时钟恢复电路快速跟踪到当前信号的时钟频率。

### 1.1.2 接收端和发送端电路

为了确保端口的高速传输，SerDes 的收发端驱动都是采用差分的 CML 电路。典型的带锁存的差分 CML 电路如图 2所示。

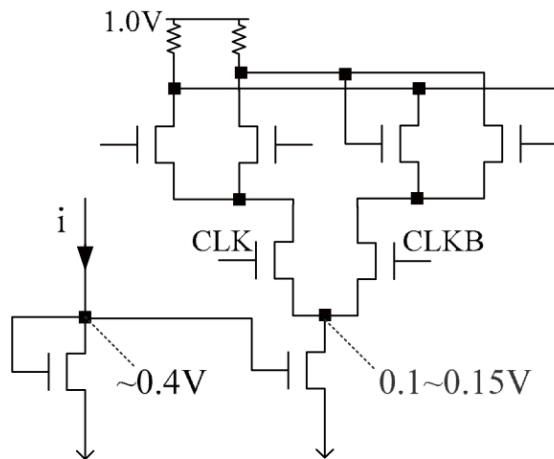


图 2: 典型的带锁存的差分 CML 电路

可以发现 CML 电路不同于传统的 CMOS 电路，该逻辑电路在上电时一直保持一定的电流通过，产生一定的功耗，而在高低电平转换时并不产生多余的电流损耗，这样即使在很高的传输速率下，收发端的功耗都保持在一个较低的水平。CMOS 电路在开通与关断时会产生能量损耗，在越高的传输的速率下，功耗越大。

相较于 LVDS 电路的并行传输，CML 电路在引脚数量上有着明显的优势，在相同的通道数和模数转换分辨率前提下，CML 电路引脚数量远小于 CMOS 电路和 LVDS 电路 [1]。另外，CML 电路采用差分传输，能够有效的抑制共模干扰，提高信号的信噪比，有理由更高速的传输。

### 1.1.3 解串器和串行器

解串器和串行器是 SerDes 收发端的核心功能电路。解串器通过时钟恢复电路从信号中恢复得到的时钟，对输入码流进行串并转换，将串行信号恢复成并行信号，完成物理层的传输转化。串行器通过锁相环生成的时钟信号，对输入的并行数据进行串行处理，最终得到输出码流，通过发送端 CML 电路发送至接收端。

解串器和串行器的工作速率也取决于自身的设计以及采用的电路逻辑。受限于 CMOS 电路的工作频率，采用 MCML 电路的串并转换电路能够达到更高的切换速率。但由于 MCML 电路需要保持一定的功耗，在低速情况下并没有优势，所以采用 MCML 电路作为解串器的第一级解串模块，作为串行器的最后一级串行模块，从而达到了速度和功耗的平衡 [3]。

## 1.2 芯片设计流程介绍

### 1.3 设计工具介绍

## 参考文献

- [1] Jonathan Harris. What is jesd204 and why should we pay attention to it? Technical report, Analog Devices, 2013.
- [2] Yoshinori Nishi, Koichi Abe, Jerome Ribo, Benoit Roederer, Anand Gopalan, Mohamed Benmansour, An Ho, Anusha Bhoi, Masahiro Konishi, Ryuichi Moriizumi, et al. An asic-ready 1.25–6.25 gb/s serdes in 90nm cmos with multi-standard compatibility. In *Solid-State Circuits Conference, 2008. A-SSCC'08. IEEE Asian*, pages 37–40. IEEE, 2008.
- [3] Akira Tanabe, Masato Umetani, Ikuo Fujiwara, Takayuki Ogura, Kotaro Kataoka, Masao Okihara, Hiroshi Sakuraba, Tetsuo Endoh, and Fujio Masuoka. 0.18- $\mu\text{m}$  cmos 10-gb/s multiplexer/demultiplexer ics using current mode logic with tolerance to threshold voltage fluctuation. *Solid-State Circuits, IEEE Journal of*, 36(6):988–996, 2001.