

1 绪论

1.1 课题研究背景

随着社会的发展,业界对更高速的传输接口需求在不断提高,尤其是高速的无线通信网络。目前,4G 网络正在全世界范围内广泛的布局,5G 网络的协议制定已经全面展开。4G 通信技术的频谱量约为 100MHz,达到了 3G 网络的 20 倍 [4],这就对现有的基站硬件处理能力提出了考验。基站当中采用的模数转换模块(ADC)需要能够采集更 frequencies、更高速度的无线信号,并且能够快速的将采集到的结果送往基站核心进行进一步的处理,这就对模数转换模块和处理器之间的接口技术提出了要求。大体上,过去的芯片间通信、模块间通信、系统间通信的传输速度已经跟不上现实的需求,传输的速度太慢,这一方面需求促进了新接口标准的发展。

现有的传输接口,按数组的组成来说,主要分为串行(Serial)传输和并行(Parallel)传输,它们之间的主要区别在于信道的连接线数目不同。串行传输接口以用于外围设备连接的 USB 接口、用于硬盘链接的 SATA 接口、用于芯片间和板卡间链接的 PCI Express 接口、针对长距离传输的 Infiniband 接口为代表;并行传输接口以 IEEE 1284、PATA、PCI 为代表。串行传输一般只由两路差分信号组成,不存在公用的地线;并行传输则是根据带宽的需求存在数路并行信号,并且公用一路地线。这样的物理结构和传输方式决定了并行传输只能采用同步模式进行,需要对几路信号到达的节律进行规定,这样就限制了传输的速率。而串行传输则可以采用异步模式,其允许两个系统间存在频率偏差,不需要使用同一个时钟源,这样可以更大程度的利用好信道的带宽。串行传输也不需要考虑并行传输中存在的信号完整性问题,例如线与线之间的串扰(Crosstalk)和时钟偏移(Skew),从而使其能够达到更高的速率和更长的传输距离。再加之串行传输相比并行传输需要的数据线数量更少,使得电路设计、布线布局等方面的问题得以简化。所以串行传输技术正在逐步取代并行传输技术,更为广泛的为业界采用。

目前,SerDes 技术广泛运用于串行传输的物理层。早期对于串行传输高速率的要求主要来自于以光纤为介质的互联网主干网络中,所以早期的 SerDes 发展主要来自于广域网。随着网络发展的需求,IEEE 的万兆以太网协议的物理层实现也采用了 SerDes 技术。此外,SerDes 也被运用在计算机外围设备接口的物理层中,包括 PCI Express、SATA、InfiniBand、RapidIO。

JESD204B 协议是针对模数转换芯片的串行通信协议,适用于高速模数转换芯片、高速数模转换芯片、高速信号处理器之间的通信。由于 SerDes 技术的良好通用性,该协议的物理层实现也采用了 SerDes 技术。但不同于应用于以太网、广域网、数据总线等接口的 SerDes 实现,JESD204B 协议针对高速模数转换的需求,设计了独特的物理层、数据链路层、传输层实现。随着高速无线网络的不断发展,与之配套的带有高速通信接口的高速模数转换芯片需求非常旺盛。然而国内缺乏相关的技术支持,尤其是高速的通信接口实现方面。本课题旨在研究实现这一接口技术的数据链路层和传输层。

1.2 国内外发展现状

网络系统是早期大量使用串行传输的系统,所以 SerDes 接口早期作为物理层实现,广泛运用于网络系统。但随着无线高速通信网络的需求不断扩大,原有的模数转换芯片数据串行传输方案已经远远无法满足需求,模数转换数据的传输正在成为无线系统速率提高的瓶颈。且相较于复杂的并行传输解决方案,业界更倾向于串行方案。因此适应于模数转换芯片的,采用 SerDes 接口作为物理层的协议 JESD204 应运而生。

如今,JESD204 协议已经经历了三个版本的更迭:JESD204、JESD204A、JESD204B。JESD204 协议作为最初的协议,基本实现了基于 SerDes 的模数转换芯片数据互传。JESD204A 协议解决了使用更少的引脚进行发送和传输数据的需求问题。而 JESD204B 作为最新版本的协议则对原有的协议有个较大的进步,实现了三个重要特性:更高的通道速率(每通道达到 12.5Gb/s)、支持确定性延时和谐波帧时钟。[2]

随着 JESD204 标准的不断完善,目前市面上已经有很多模数转换芯片采用了 SerDes 接口作为数据传输的接口。国外各大芯片厂商已经推出了带有符合 JESB204B 协议的 SerDes 接口的高速模数转换芯片,例如 AD 公司最大采样速率可达 2.8GSPS 的 AD9144[1],TI 公司最大转换速率可达 2.5GSPS 的 DAC38J84[3]。但在国内,由于模数转换核心技术主要掌握在国外大公司手中,暂时还没有能够达到相应速率的产品上市。

SerDes 接口技术在数据传输中有着很大的优势,已经引起了国内各个科研机构和业界的重视。国内以电子科技大学为代表的一系列科研机构正着力于研究和实现 SerDes 接口。经过长时间的发展和研究,取得了较好的科研成果。

由于业界的迫切需求，基于 JESD204B 协议设计、针对模数转换芯片所使用的 SerDes 接口的研究也在进行。西南电子技术研究所近期已经实现了基于 FPGA 实现了单通道传输速率达 3.2Gb/s 的接口 [5]。

1.3 研究特点

JESD204 协议是专门针对模数转换芯片的传输协议，并采用 SerDes 接口作为物理层实现。在专门的协议保证下，模数转换芯片的传输效率和方式有了很大的提升，功耗也得到了有效的降低。总结起来包括以下一些特点。

1.3.1 接口电路

相较于并行传输中较为流行的 LVDS 接口，JESD204 的 SerDes 实现采用了 CML 接口。在较高的传输速率下，CML 和 LVDS 的功耗都小于传统的 CMOS 接口。并且在相同的传输速率情况下，CML 的功耗要略小于 LVDS，并且随着传输速率的增加，CML 的优势越来越明显。再加之 LVDS 是并行接口，需要大量的数据线保证传输速率，而 CML 仅需要数根数据线就可以达到相同的效果，在布线布局上由明显的优势。

1.3.2 成帧方式

JESD204 协议是专门针对模数转换芯片的协议，着重考虑到了模数转换器的物理结构以及数据格式。首先，模数转换芯片由多个模数转换器构成，在转换结果传输时就需要通过协议区分开每一个转换器的数据。再者，在同一个时钟周期完成的多个转换数据需要进行同步处理，避免不同时间的数据发生混淆，这也是通过协议成帧保证的。最后，多个模数转换器的同时采样数据，通过协议保证，能够同步的传送到接收端。

综上，JESD204 协议有着复杂的成帧方式来保证模数转换数据的同步，这是实际设计中的一大难点。

1.3.3 编解码及加扰

串行传输有着并行传输无法替代的优势，但由于高速传输，所以也无法避免着干扰、误码等问题。为了使传输信号能够更好的适应串行传输信道，JESD204 就规定了编解码及加扰策略。编解码能够为原始数据添加冗余空间，使编码更加均衡，便于传输。加扰能够使序列随机化降低突发干扰的影响，增强了容错。

由此可见，为了保证较高的传输速率和较低的误码率，高效、快速的编解码及加解扰模块设计，也是实际设计中需要着重考虑的。

1.4 论文结构

第一章序言部分，主要介绍选题的来源、该课题国内外发展的现状和一些需要解决的问题，并讨论具体研究的一些特点和优势。第二章基本原理及工具部分，主要介绍 SerDes 接口实现的基本原理，以及对 ASIC 芯片设计流程，并对设计过程中可能用到的设计、仿真工具进行简单描述。第三章 SerDes 接收端主要结构，主要介绍需要设计实现的 SerDes 接口接收端的详细框架，分层次对需要设计的各个模块进行概括描述。第四章 SerDes 接收端数据链路层设计，主要介绍数据链路层的各个子模块的设计思路，分模块阐述设计思路、方法、关键代码。第五章 SerDes 接收端传输层设计，主要介绍数传输层的各个子模块的设计思路，分模块阐述设计思路、方法、关键代码。第六章设计结果验证，对各个子模块的设计结果进行详细说明，包括各个模块的仿真结果和级联仿真后的运行效果。第七章总结和展望，对主要内容再进行梳理，简述本文完成设计的创新点。同时，指出研究工作还需要改进的地方，或者今后继续努力的方向。

参考文献

- [1] AD. Quad, 16-bit, 2gsps, txdac+ digital-to-analog converters ad9144, 2012.
- [2] Ian Beavers. 以 jesd204b 开始您的系统设计. 中国电子商情, 2014.
- [3] TI. Quad-channel, 16-bit, 1.6/2.5 gsps, digital-to-analog converters, 2014.

- [4] 张小伟. 4g 通信技术及其应用前景. 信息通信, 2013.
- [5] 张峰. 基于 jesd204 协议的 ad 采样数据高速串行传输. 电讯技术, 2014.