

1 JESD204B 接收端整体结构介绍

1.1 总体框架

JESD204B 协议能够支持多 Converter¹、多 link²、多 lane³的数据传输，并且不同设备之间允许采用不同的时钟，实现异步传输。基于 JESD204B 协议的传输结构图如图 1所示。

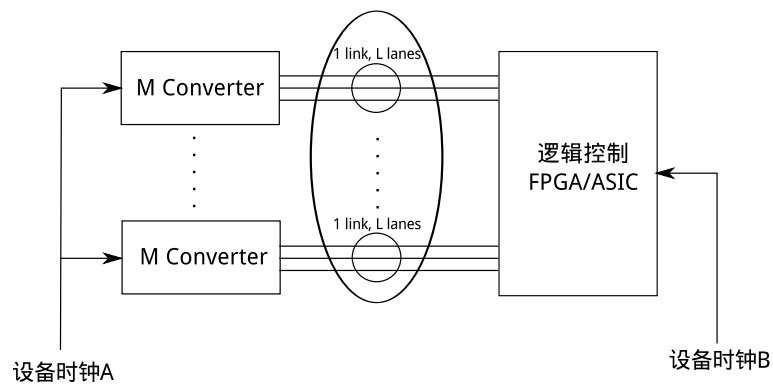


图 1: JESD204B 协议传输结构框图

基于 JESD204B 协议的 SerDes 接收端在数据流传输上，主要包括了数据链路层协议和传输层协议，并且为了实现这两个层面的协议，定义了一系列配置寄存器，供使用者配置 SerDes 接收端。数据流传输结构框图如图 2所示。

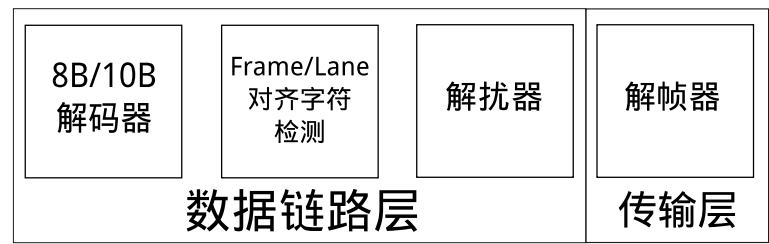


图 2: SerDes 接收端数据流传输结构框图

在实际使用中的 SerDes 接口接收端还包含有 Crossbar Mux 用来将物理 lane 端口，对应到逻辑 lane 端口，使得端口的使用配置更加灵活。发送端在发送数据时，为保证传输的数据能够适应信道的特性，降低误码率，对原始信号进行了编码和加扰；又为了保证接收端能够正确的识别出恢复出的信号属于哪一个时刻哪一个设备，添加了控制信息、帧定界符等具体信息。数据链路层主要的功能就是对由物理层获得的码流进行初步的解析，进行解码和解扰的操作，恢复出实际的传输数据。同时也对以一个字符为单位的 frame 和 lane 进行对齐校验，以保证时序正确。传输层主要的功能就是对由数据链路层解析出来的码流进行解帧操作，恢复到传输前的具体信息，对应到相应的设备、converter 等。

1.2 数据链路层

数据链路层是物理层获得码流后首个进入的数据逻辑层面，该层面主要负责对数据流进行解码、解扰、帧检测以及同步的工作。

JESD204B 协议规定了 8B/10B 编码作为数据链路层的编码，该编码主要参照 IEEE802.3 以太网协议中的 8B/10B 编解码标准。在以太网标准的基础上，JESD204B 协议也做了一定的取舍，只采取了协议中一部分控制码字作为 SerDes 传输的控制码字。采用这种编码方式主要有以下几点优势：

- 传输密度均匀，能够使得时钟恢复更加便利。

¹Converter 即为一个模数或者数模转换器，在本文中代指单个数字样本的数据流接口。
²link 即为数据连接。
³lane 即为同一方向的单个差分信号对。

- 编码中含有足够数量的控制字，利于数据帧的构建。
- 能够直接通过控制字标示出 frame 的开始和结束。
- 能够直接通过控制字标示出 alignment，区分出各个 lanes。
- 该编码是直流平衡的编码，便于有线信道传输，降低功耗，减小误码率。
- 根据编码的顺序特性，能够一定程度上检测到错误的码字。

JESD204B 协议也规定了几种同步方式，使得接收到的数据流能够保证时序上的正确。包括码群同步⁴、初始化 frame 同步⁵、初始化 lane 同步⁶。码群同步的主要目的是在最初的连接发起阶段，通过发送数个固定码字/K28.5/控制字，使接收端快速跟踪到发送端的时钟，通过始终恢复电路完成对齐工作，保证接下来的传输稳定。在完成码群同步后，就需要发送一个关键的初始化 lane 对齐序列⁷，在这个帧中包含了本次通信的具体配置信息，接收端要根据这个帧的内容和实际的由寄存器设置的配置内容，完成对接收端的设置。初始化 frame 同步的主要目的是对 frame 进行同步，同时进行 frame 同步的监测、纠错功能。初始化 frame 同步主要通过监视数据流中 frame 对齐字符实现，这些对齐字符是由发射端在确定情况下加在每一个 frame 的结尾处。通过配置信息以及 frame 对齐字符的位置，可以推断出接收端是否跟踪上 frame 同步，若发现未跟踪上同步则需要及时报错并通知发送端。初始化 lane 同步主要是通过对齐字符保证各个 lane 同步的被接收到，通过接收端来对齐。各条 lane 基本上表示各条差分传输对，每一个 converter 所使用的 lane 需要对齐就由初始化 lane 同步来确保。当所有接收端标示了对齐接收到的标志后，则同时向上层传输收到的数据。

加扰和解扰技术是串行通信中经常使用的关键技术，目的就在于增加传输数据的随机性，避免过多的连续字符出现，影响传输效果。串行加解扰可分为同步扰码和自同步扰码，两者的区别在于输入到反馈移位寄存器的序列不同，自同步扰码由之前传输序列决定，同步扰码则需要另外干预。同步扰码的实质是让输入比特再与随机数产生器所共同产生的随机位进行异或来产生扰码的确定输出。在 JESD204B 协议规定中，加解扰采用的是自同步机制，并且加扰和解扰是可选项，可以通过寄存器配置取消或使用加解扰技术，增加了传输的灵活性。一般加扰技术应用于编码和成帧之前，解扰在解码和同步之后，并且加解扰是根据具体加解扰公式确定，需要根据前一组数据的情况才能计算出下一组数据的加扰后值。所以有一个字符的延时，接收端要在正确收到一个字符后才能对下一个字符正确的解扰，往往在启用加解扰之后的第一个传输的字符是不进行加扰和解扰的。加解扰位置如图 3 所示。

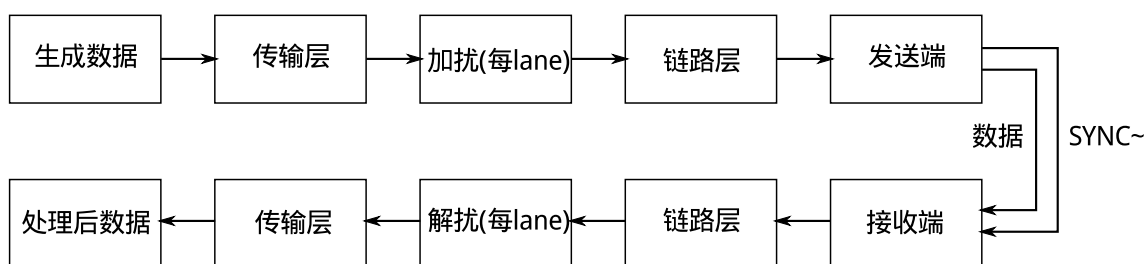


图 3: 加解扰结构位置示意图

1.3 传输层

传输层是数据流经过数据链路层解码、解扰、同步之后将数据流重新恢复为模数转换器数据的层面，这一层面的主要作用就是根据配置规定，提取出相关转换器的数据。

JESD204B 协议主要支持以下几种成帧方式，这也是接收端需要负责完成解帧的几种格式：

- 单个设备单个 converter 到单个 lane 的 link。
- 单个设备多个 converter 到单个 lane 的 link。

⁴Code Group Synchronization

⁵Initial Frame Synchronization

⁶Initial Lane Synchronization

⁷Initial Lane Alignment Sequence, 即 ILAS。

- 单个设备单个 converter 到多个 lane 的 link。
- 单个设备多个 converter 到多个 lane 的 link。

以上成帧方式，是直接定义在协议中的，可以发现 JESD204B 协议主要还是针对单个设备的连接协议。但在单个设备中可以存在单个或者多个 converter，即模数或数模转换器。

在实际传输中，一系列的样本或者部分样本组成一个 frame⁸，一个 frame 可以包含 F^9 个 octet¹⁰。并且在大部分实现中，frame 的时钟频率和采样频率相同。协议允许在每个 frame 周期中，同一个 converter 传送多个样本，样本的数量由寄存器配置项 S^{11} 决定。每一个样本就是一组编码，由可以控制的变量 N^{12} 来决定样本的位数，并且允许包含控制位和结束位。

考虑最复杂情况，即多个 converter，多个 lane 的成帧情况，成帧方式如图 4 所示。其中 M 表示单个设备 converter 的数量， CF 表示每个 link 中每个 frame 时钟周期控制字的数量， NG 表示 4 位长度二进制数据， L 表示每个设备的 lane 数。

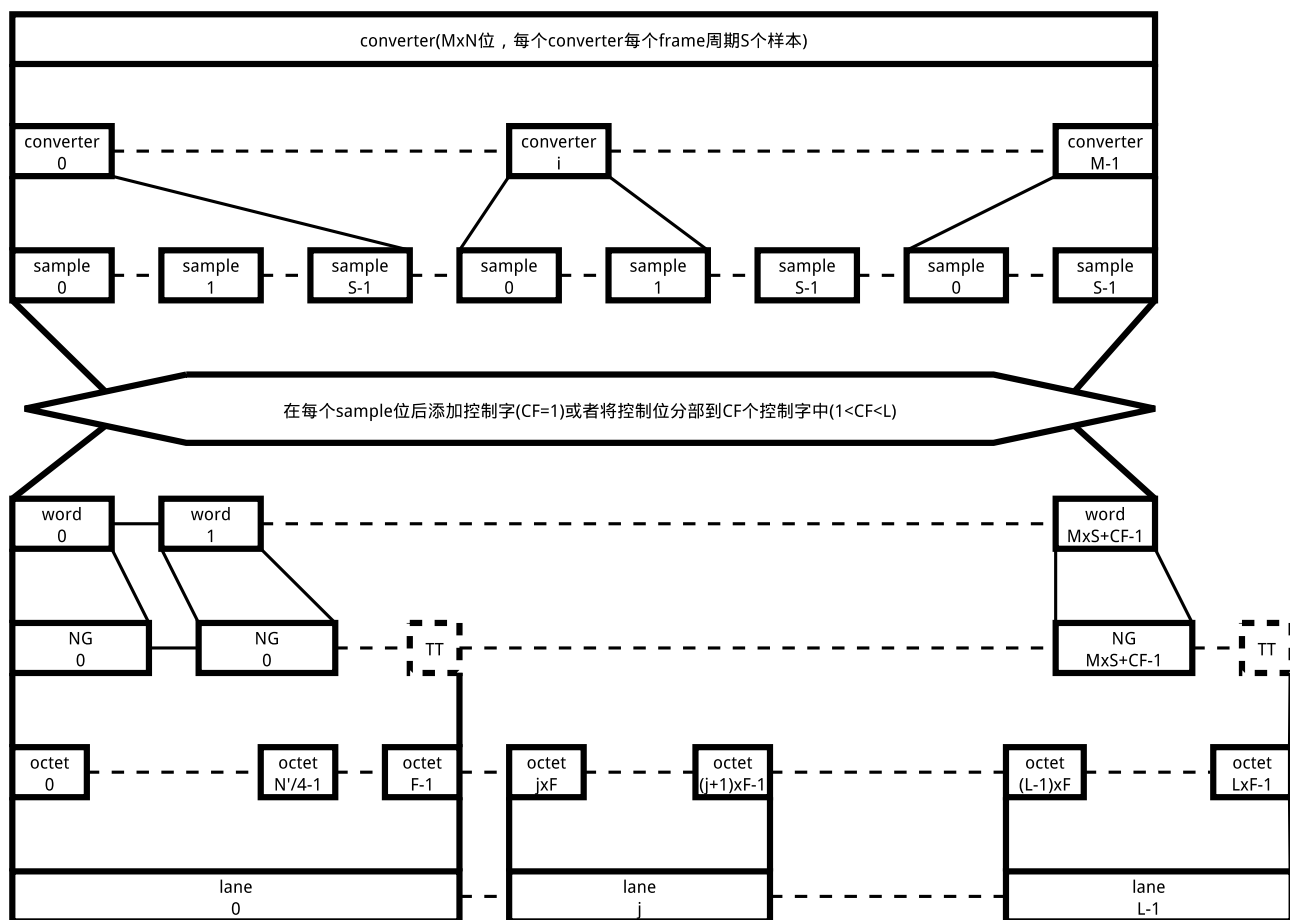


图 4: 多 lane 传输的用户数据格式

1.4 确定性时延

确定性时延主要指的是多个设备之间保证传输数据的同步。对于 ADC 和 DAC 设备来说，同一时刻需要转换的数据在传输过程中可能会发生相位的偏差，这对传输的正确性有很大的影响。而确定性时延就是要解决这一问题，通过延时准确的时钟周期来保证数据的同步可靠，同时也对加快传输速度有很大的帮助。

在很多情况下，JEDS204B 系统包含了数据处理单元横跨了很多时钟域，在各个界面间将会造成时延的歧义。时延的不确定是由很多复杂的情况引起的，包括了时钟分频产生的相位模糊、设备上电掉电不同步、线路布线布局等多

⁸frame，即一组连续的 octet。一些位置的 octet 可以被用作 frame 对齐信号。

⁹ F ，即表示每个 frame 的 octet 数量。

¹⁰octet，即 8 位二进制数据

¹¹ S ，单个 converter 每个 frame 周期传输的样本数。

¹² N ，即 converter 的分辨率

种不同情况。

对于相位模糊，主要是由于同一时钟在由高频信号分频成低频信号的过程中，不同分频器可能产生多种同频但不同相的信号，从而影响各个传输信号之间相位的同步。设备上电掉电所产生不确定性，主要是由于各个不同芯片在上电过程中可能产生的本源性的相位不同步，在绝对时延上可能产生较大的不同。布线布局问题，主要是由于高频率的时钟信号在线路传输中会产生差异，几毫米的线路长度差异可能会造成数个时钟周期的差异，从而产生时延的不确定。

以上解释的是时钟信号在传输过程中可能产生的时延不确定性。针对这种最基本的时钟不同步问题，Subclass 1 类设备主要依靠外部的时钟参考信号来解决，而 Subclass 2 类设备主要依靠收发端握手协商来解决。Subclass 1 类设备由于采用了更加简单稳定的外部时钟，所以在传输速率上有一定的优势，但是需要添加额外的芯片和更多的接口。而 Subclass 2 类设备利用自身的接线完成本地 multiframe 时钟同步，在最初的握手阶段可能需要一定的时间完成初始化，之后也可能在一段时间后失去同步，虽然简化了线路和设计，但是无法达到较高的传输速率，也对芯片内的设计提出了一定要求。

在完成了本地 multiframe 时钟的同步后，确定性时延主要需要完成的就是各个 lane 之间 octet 的同步。由于各个 lane 之间也会由于时延问题产生不确定性，有的 lane 的数据可能最先到达，有的 lane 的数据可能会比最先收到的数据晚数个 octet 之后才会到达收端，这也是表现在收端的主要的时延不确定性问题。为了实现在这一阶段的确定性时延，就需要设计合理的接收缓冲来对数据进行缓存，确保之后的输出是同步的。从数据从发送端发送开始，到接收端将数据弹出缓存结束，之间产生的时延就被称作确定性时延，这是需要通过电路设计和配置来保证的。

1.5 设计指标

本文的设计旨在一定的工艺库支持及约束条件下，设计出符合 JESD204B 协议规范的 SerDes 接收端传输层和数据链路层。

第一个重要的实现目标就是多版本兼容。JESD204B 协议是 JESD204 协议经由 JESD204A 协议的升级版本，增加了许多新的功能和特性，尤其是在多设备通信和固定时延设计上。协议规定了需要支持的三个 Subclass，这些 Subclass 的主要区别就在于对确定性时延的支持方式上，Subclass 0 设备是不支持确定性时延的，Subclass 1 设备是通过外部的参考时钟作为确定性时延的基准，Subclass 2 设备是通过收发端之间的 SYNC 信号和 ILAS 序列不断握手完成本地 multiframe 时钟的对齐工作。设计中需要配有相应的寄存器来选择对应的 Subclass，只有当收发端都为相同的 Subclass 时才能正确通信。

第二个是设计达到的层级。本设计的设计范围是接收端的传输层和数据链路层，相应的设计层级是门级综合，即能根据特定工艺库生成门级网表。设计的流程即为 RTL 级逻辑代码，到 RTL 级仿真，最后到门级综合。

第三个是具体性能指标。芯片设计的性能指标主要包括功耗、面积、时序、工作频率等。这些都受限于所采用的工艺库和约束条件，所以以下讨论均采用 SMIC180 工艺，布线负载采用 w110。本设计主要运用于高端的模数、数模转换芯片，并主要使用在无线通信的基站端，对于功耗的要求相对较低，所以在保证性能的前提下不会着重考虑功耗的问题。但由于是整个芯片中比较小的功能模块，所以对面积有一定的要求，设计需要限制在器件面积 $10000\mu\text{m}^2$ 以内（不包括布线面积）。最后是工作频率，高速的通信芯片需要能够达到较高工作频率，但是受限于工艺，设计需要限制在 500MHz 。