

1 序言

目标 1 完成一些基础性的概述内容，需要阅读一些现有硕博士论文的描述，结合本课题进行描述。

时间 1 2014.12.15-2014.12.17

1.1 课题来源

参考开题报告和相关论文，结合项目内容，阐述开题来源。

1.2 国内外发展现状及优缺点

参考开题报告和相关论文，针对 SerDes 接口在国内缺乏研发进行阐述。

1.3 研究特点

重点描述 JESD204B 协议的新颖，国内缺乏研究基础。

1.4 论文结构

根据提纲描述具体论文机构。

2 基本原理及工具

目标 2 就设计中可能需要设计的原理和工具进行简介，突出芯片设计的流程。

时间 2 2014.12.18-2014.12.22

2.1 SerDes 接口基本原理

参考协议，概括 SerDes 接口具体工作方式。

2.2 芯片设计流程介绍

简介 ASIC 设计的主要流程及重点难点。

2.3 设计工具介绍

对设计中使用到的 DC、ModelSim、Verdi 进行简单介绍。

3 SerDes 接收端整体结构介绍

目标 3 根据协议规定内容，对接收端的各个部分做概述，并绘制系统框图，确定最终设计目标。

时间 3 2014.12.23-2015.12.26

3.1 总体框架

接收端的整体的从串行数据开始到传输结果输出的流程描述，即结构框图。

3.2 数据链路层

数据链路层负责的字节处理流程的描述，从输入到输出需要进过的模块及结果。

3.3 传输层

传输层负责的字节流处理流程的描述，从链路层传送出来的数据进一步处理的方法。

3.4 设计指标

即对设计芯片面积、功耗、仿真结果、工作频率的描述，在特定工艺下的效果估计。

4 SerDes 接收端数据链路层设计

目标 4 根据协议规定内容，对数据链路层的各个子模块进行设计，分模块阐述设计思路、方法、关键代码。

时间 4 2014.12.26-2015.1.10

4.1 8B/10B 解码器设计

数据链路层核心模块，结合之前设计思路，详细描述该设计，另外对重新对代码仿真已验证。

4.2 解扰器设计

阅读协议和已有研究结果，对解扰器的设计思路进行描述，另需写代码完成仿真验证。

4.3 Frame/Lane 对齐字符检测设计

阅读协议，绘制出对齐检测的状态转换图，写代码完成仿真验证。

5 SerDes 接收端传输层设计

目标 5 根据协议规定内容，对传输层的各个子模块进行设计，分模块阐述设计思路、方法、关键代码。

时间 5 2015.1.20-2015.2.2

5.1 解帧器设计

解帧器是接收端传输层的主要功能模块，重点还是在于状态机的设计描述，另需写代码完成仿真验证。

5.2 差错检验设计

差错检验负责全局的差错处理，以及向应用层汇报下层运行状态。

6 设计结果验证

目标 6 对各个子模块的设计结果进行详细说明，包括大小、功耗、性能。级联仿真后的运行效果进行评估。仿真结果的描述可以在之前模块设计同时进行。

时间 6 2015.2.3-2015.2.10

6.1 数据链路层仿真结果

根据之前的链路层模块综合仿真得到的结果进行描述和分析。

6.1.1 8B/10B 解码器仿真结果

6.1.2 解扰器仿真结果

6.1.3 Frame/Lane 对齐字符检测仿真结果

6.2 传输层仿真结果

根据之前的传输层模块综合仿真得到的结果进行描述和分析。

6.2.1 解帧器仿真结果

6.2.2 差错检验仿真结果

6.3 综合仿真结果

将之前的模块级联后得到整个接收端的仿真结果。

7 结论

目标 7 将主要内容再进行复述，特别要注明论文的创新点。同时，指出研究工作还需要改进的地方，或者今后继续努力的方向。

时间 7 2014.2.11-2015.2.15

8 摘要、格式、参考文献及其他

目标 8 根据主体完成的内容撰写摘要等内容，并提交草稿。

时间 8 2014.2.16-2015.2.20