

1 SerDes 接收端整体结构介绍

1.1 总体框架

JESD204B 协议能够支持多 Converter¹、多 link²、多 lane³的数据传输，并且不同设备之间允许采用不同的时钟，实现异步传输。基于 JESD204B 协议的传输结构图如图 1所示。

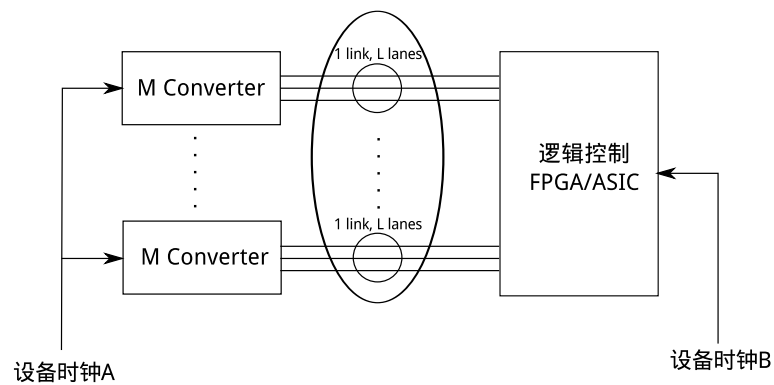


图 1: JESD204B 协议传输结构框图

基于 JESD204B 协议的 SerDes 接收端在数据流传输上，主要包括了数据链路层协议和传输层协议，并且为了实现这两个层面的协议，定义了一系列配置寄存器，供使用者配置 SerDes 接收端。数据流传输结构框图如图 2所示。

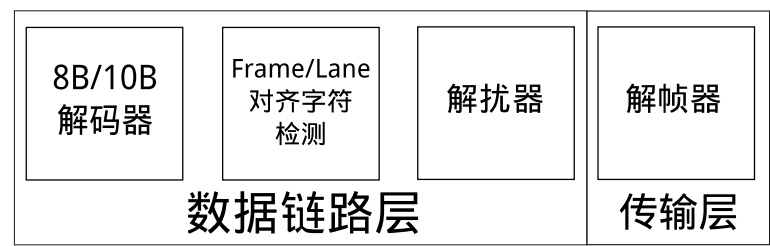


图 2: SerDes 接收端数据流传输结构框图

在实际使用中的 SerDes 接口接收端还包含有 Crossbar Mux 用来将物理 lane 端口，对应到逻辑 lane 端口，使得端口的使用配置更加灵活。发送端在发送数据时，为保证传输的数据能够适应信道的特性，降低误码率，对原始信号进行了编码和加扰；又为了保证接收端能够正确的识别出恢复出的信号属于哪一个时刻哪一个设备，添加了控制信息、帧定界符等具体信息。数据链路层主要的功能就是对由物理层获得的码流进行初步的解析，进行解码和解扰的操作，恢复出实际的传输数据。同时也对以一个字符为单位的 frame 和 lane 进行对齐校验，以保证时序正确。传输层主要的功能就是对由数据链路层解析出来的码流进行解帧操作，恢复到传输前的具体信息，对应到相应的设备、converter 等。

1.2 数据链路层

数据链路层是物理层获得码流后首个进入的数据逻辑层面，该层面主要负责对数据流进行解码、解扰、帧检测以及同步的工作。

JESD204B 协议规定了 8B/10B 编码作为数据链路层的编码，该编码主要参照 IEEE802.3 以太网协议中的 8B/10B 编解码标准。在以太网标准的基础上，JESD204B 协议也做了一定的取舍，只采取了协议中一部分控制码字作为 SerDes 传输的控制码字。采用这种编码方式主要有以下几点优势：

- 传输密度均匀，能够使得时钟恢复更加便利。

¹Converter 即为一个模数或者数模转换器，在本文中代指单个数字样本的数据流接口。
²link 即为数据连接。
³lane 即为同一方向的单个差分信号对。

- 编码中含有足够数量的控制字，利于数据帧的构建。
- 能够直接通过控制字标示出 frame 的开始和结束。
- 能够直接通过控制字标示出 alignment，区分出各个 lanes。
- 该编码是直流平衡的编码，便于有线信道传输，降低功耗，减小误码率。
- 根据编码的顺序特性，能够一定程度上检测到错误的码字。

JESD204B 协议也规定了几种同步方式，使得接收到的数据流能够保证时序上的正确。包括码群同步⁴、初始化 frame 同步⁵、初始化 lane 同步⁶。码群同步的主要目的是在最初的连接发起阶段，通过发送数个固定码字/K28.5/控制字，使接收端快速跟踪到发送端的时钟，通过始终恢复电路完成对齐工作，保证接下来的传输稳定。在完成码群同步后，就需要发送一个关键的初始化 lane 对齐序列⁷，在这个帧中包含了本次通信的具体配置信息，接收端要根据这个帧的内容和实际的由寄存器设置的配置内容，完成对接收端的设置。初始化 frame 同步的主要目的是对 frame 进行同步，同时进行 frame 同步的监测、纠错功能。初始化 frame 同步主要通过监视数据流中 frame 对齐字符实现，这些对齐字符是由发射端在确定情况下加在每一个 frame 的结尾处。通过配置信息以及 frame 对齐字符的位置，可以推断出接收端是否跟踪上 frame 同步，若发现未跟踪上同步则需要及时报错并通知发送端。初始化 lane 同步主要是通过对齐字符保证各个 lane 同步的被接收到，通过接收端来对齐。各条 lane 基本上表示各条差分传输对，每一个 converter 所使用的 lane 需要对齐就由初始化 lane 同步来确保。当所有接收端标示了对齐接收到的标志后，则同时向上层传输收到的数据。

加扰和解扰技术是串行通信中经常使用的关键技术，目的就在于增加传输数据的随机性，避免过多的连续字符出现，影响传输效果。JESD204B 协议中，加扰和解扰是可选项，可以通过寄存器配置取消或使用加解扰技术，增加了传输的灵活性。一般加扰技术应用于编码和成帧之前，解扰在解码和同步之后，并且加解扰是根据具体加解扰公式确定，需要根据前一组数据的情况才能计算出下一组数据的加扰后值。所以有一个字符的延时，接收端要在正确收到一个字符后才能对下一个字符正确的解扰，往往在启用加解扰之后的第一个传输的字符是不进行加扰和解扰的。加解扰位置如图 3 所示。

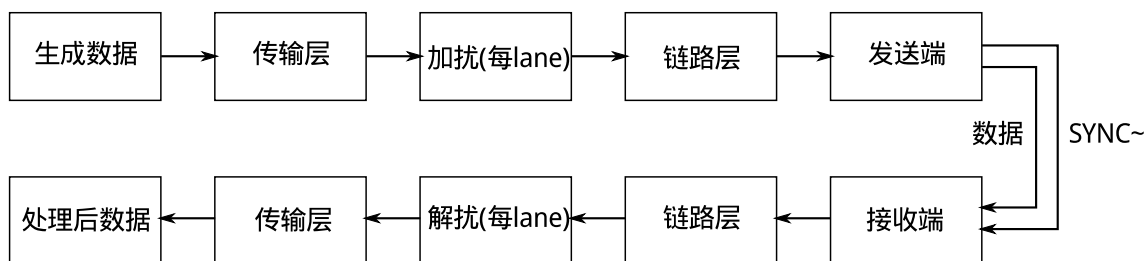


图 3: 加解扰结构位置示意图

1.3 传输层

1.4 设计指标

⁴Code Group Synchronization

⁵Initial Frame Synchronization

⁶Initial Lane Synchronization

⁷Initial Lane Alignment Sequence, 即 ILAS。