

## 2o Projeto - comparador de magnitude de números de 1 bit:

**Integrantes do grupo:** Lara Gama Santos, Mateus Ribeiro Ferraz, Sulamita Ester Costa.

**Objetivo:** Implementar, usando descrição Verilog HDL, um circuito digital que compare a magnitude de dois números de 1 bit.

Esse circuito compara o nível lógico de duas entradas.

**A = 1:** nível lógico alto

**~A = 0:**

**Amaior = 1:** indica que A tem nível lógico alto e B tem nível lógico baixo.

**Amenor = 1:** indica que A tem nível lógico baixo e B tem nível lógico alto.

**igual = 1:** A e B possuem o mesmo nível lógico.

1)

A	B	Amaior	igual	Amenor
0	0	0	1	0
0	1	0	0	1
1	0	1	0	0
1	1	0	1	0

Nos primeiro e quarto casos, o nível lógico de A e B são iguais, sendo 1 e 0, respectivamente. Com isso, as saídas “Amaior” e “Amenor” indicarão falso(0) e a saída igual indicará verdadeiro(1). No segundo caso, como o nível lógico de A é menor que o de B, a saída será “Amenor” indicará verdadeiro e as demais indicarão falso. Ademais, no terceiro caso, o nível lógico de A é maior que o de B, fazendo com que a saída “Amaior” indique verdadeiro e as demais indiquem falso.

2) Expressões booleanas:

Para chegarmos às seguintes expressões booleanas, utilizamos o Mapa de Karnaugh montado a partir das entradas e saídas obtidas pelas tabela verdade.

$$\text{Amaior} = (A \cdot \sim B)$$

	$\sim A$ 0	A 1
$\sim B$ 0	0	1
B 1	0	0

$$\text{Amenor} = (\sim A \cdot B)$$

	$\sim A$ 0	A 1
$\sim B$ 0	0	0
B 1	1	0

$$\text{igual} = (A \cdot B) + (\sim A \cdot \sim B)$$

	$\sim A$ 0	A 1
$\sim B$ 1	1	0
B 1	0	1

3)

O circuito não é sequencial, ele é combinacional, pois depende apenas das entradas atuais e é modelado por expressões booleanas.

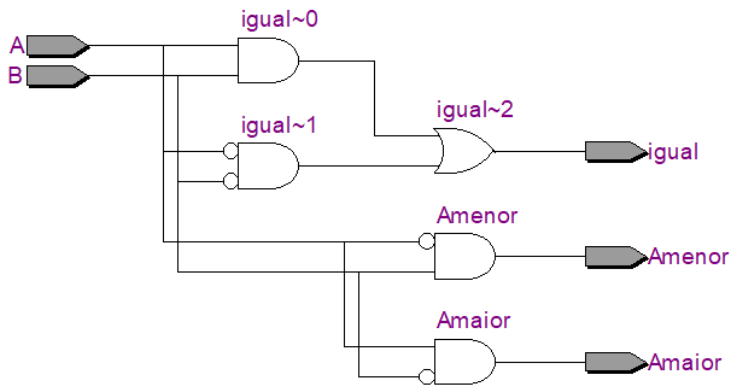
4)

```
module comparador (A, B, Amaior, igual, Amenor);
input A,B;
output Amaior, igual, Amenor;

assign igual = (A & B) | (~A & ~B);
assign Amaior = (A & ~B);
assign Amenor = (~A & B);

endmodule
```

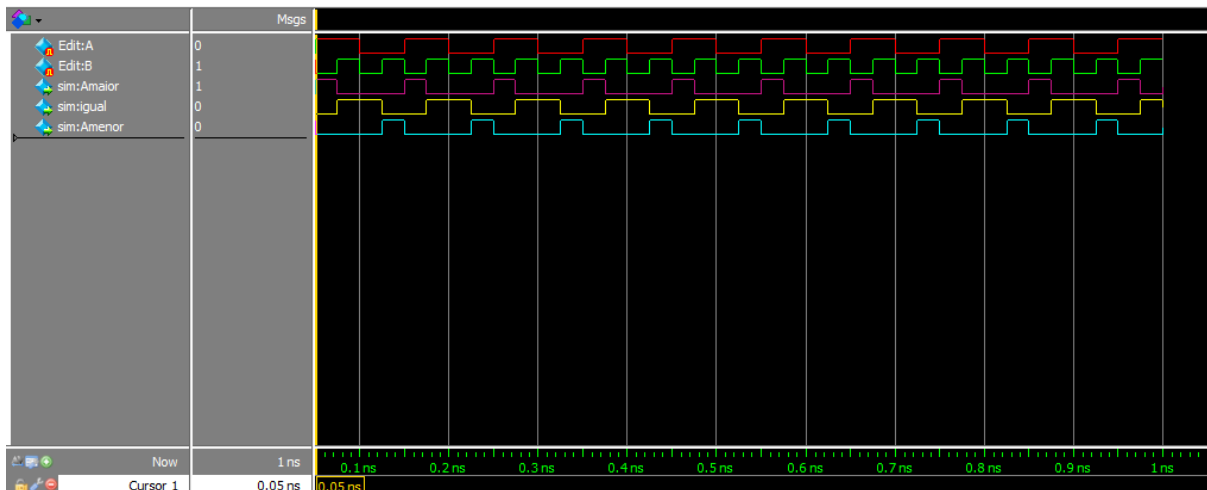
5)



6)a)

As entradas foram adicionadas ao simulador com períodos diferentes (100 e 50) para que todas as possíveis combinações da tabela verdade fossem testadas. Com isso, todas as saídas da tabela verdade foram confirmadas pelas saídas obtidas pelo simulador.

b)



7)

Os resultados obtidos são coerentes, tendo em vista que se pode observar na simulação que quando o sinal lógico de A é 1 e de B é zero, a saída “Amaior” tem nível lógico 1. Quando os sinais lógicos de A e de B são invertidos, a saída “Amenor” tem nível lógico 1. Também, quando A e B são iguais, a saída “igual” tem nível lógico. Percebe-se, com isso, que o comparador está funcionando.