

### Exercícios sobre Hierarquia de Memória

**Questão 1:** Suponha um computador com endereço de memória de 8 bits. Este computador tem uma cache de 16 bytes de dados com 4 bytes por bloco. Suponha que a cache é mapeada diretamente e responda:

- a) O sistema acessa os seguintes endereços de memória em Hexa apresentados na tabela abaixo. Para os demais endereços ocorreu miss ou hit? Qual a taxa de acerto assumindo que as 4 primeiras buscas deram Misses de acordo com a tabela?

Endereço	Hit / Miss
6E	Miss – Bloco 3 com Tag 0110
B9	Miss – Bloco 3 com Tag 0110
17	Miss – Bloco 3 com Tag 0110
E0	Miss – Bloco 3 com Tag 0110
4E	
4F	
50	
91	
A8	
A9	
AB	
AD	
93	
94	

- b) Quais blocos estarão na cache após o último endereço ter sido acessado?  
c) Qual o tamanho da cache em bits para esta implementação?

**Questão 2:** Seja um sistema de memória principal com 128M words. A memória cache possui blocos de 64 words e consiste de 32K blocos. Apresente os campos do endereço da memória principal referente a cache assumindo um esquema de mapeamento de cache associativa por conjunto de 2. Esboce o esquema desta memória cache.

**Questão 3:** Considerando uma cache de 4K blocos de dados, palavra de 4 bytes, tamanho de bloco de 4 palavras e um endereço de 32 bits, encontre o número total de bits de tag e o número total de conjuntos para:

- a) Mapeamento direto  
b) Associativa por conjunto de 2 vias  
c) Associativa por conjunto de 4 vias  
d) Totalmente associativa

**Questão 4/5 (questão de prova):**

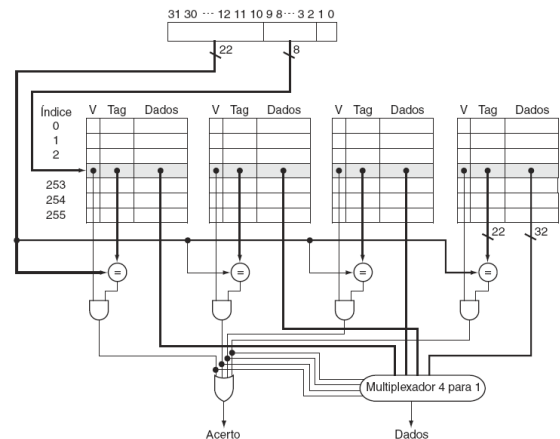
Para responder as questões 4 e 5, considere uma cache de 32KB de dados, palavra de 4 Bytes, tamanho de bloco de 2 palavras e um endereço de 32 bits, encontre:

- a) O número total de bits da tag  
b) O tamanho da linha da cache em bits  
c) O tamanho total da cache em bits  
d) Qual é a razão entre o total de bits exigido para a cache e o necessário apenas para armazenamento dos dados?

**Questão 4:** Quais os valores para as questões a), b), c) e d) se considerarmos que a cache está diretamente mapeada?

**Questão 5:** Quais os valores para as questões a), b), c) e d) se considerarmos que a cache está mapeada por associatividade por conjunto de 4 vias?

**Questão 6:** De acordo com a figura abaixo, responda:



- a) Como foi implementada essa memória?  
b) Quantos bits possuem os endereços das memórias envolvidas?  
c) Qual o tamanho da memória cache em bits?  
d) Explique a finalidade de cada um dos componentes:  
→ ANDs  
→ OR  
→ MUX 4:1

Questão 7: Suponha que um computador que usa uma cache totalmente associativa tenha  $2^{16}$  palavras (considere palavra = 1 byte) na memória principal e uma cache de 64 blocos, onde cada bloco contém 32 palavras.

- a) Quantos blocos existem na memória principal?
- b) Quais os campos que constituem o endereço da memória principal em relação a cache?
- c) Para qual bloco da cache será mapeada a referência de memória F8C9h?

Questão 8: Supondo um processador que executa um programa com  $CPI = 2$  sem *stall* na cache, qual seria o fator de piora do CPI considerando que a taxa de falha é de 2% na cache de instruções e de 4% na cache de dados. Considere uma penalidade de 100 ciclos quando há um miss na cache.

Questão 9: Qual o CPI de uma máquina com pipeline, se o hit na cache de instruções é de 95%, e o da cache de dados é de 90%? 30% das instruções fazem acesso à memória, e destas, 30% são stores. A penalidade de acesso à memória principal é de 50 ciclos, e a política de escrita é de write-through sem buffer.

- Repita para o caso onde uma cache L2 foi adicionada. A penalidade para uma ida na L2 é de 5 ciclos. O hit-ratio na L2 é de 98% para instruções e 95% para dados.
- Repita ambos os exercícios assumindo que existe um write-buffer, e que somente em 10% das escritas deve-se efetivamente pagar a penalidade.