

Universidade Estadual do Rio Grande do Sul
Engenharia de Computação

Disciplina de Organização de Computadores
Lista de exercícios 1

Cálculo de desempenho, CPI, tempo de CPU, ciclos por instrução.

Profa. Débora Matos

Questão 1 - Considere duas implementações diferentes da mesma arquitetura do conjunto de instruções. Existem 4 classes de instruções: A, B, C e D. A taxa de clock e o CPI de cada implementação são dados na tabela a seguir.

| Processador | Taxa de clock | CPI classe A | CPI classe B | CPI classe C | CPI classe D |
|-------------|---------------|--------------|--------------|--------------|--------------|
| P1 | 1.5GHz | 1 | 2 | 3 | 4 |
| P2 | 2GHz | 2 | 2 | 2 | 2 |

- Qual implementação é mais rápida se o programa tiver 110 instruções divididas em classes das seguintes formas: 10% classe A, 20% classe B, 50% classe C e 20% classe D?
- Qual é o CPI global para cada implementação?
- Quantos ciclos de clock são requeridos em cada caso?

Questão 2 - A tabela abaixo mostra o número de instruções requeridas para a execução de um determinado programa.

a)

| | Aritmética | Store | Load | Desvio | Total |
|--|------------|-------|------|--------|-------|
| | 200 | 40 | 60 | 50 | 350 |

Considerando que as instruções aritméticas levam 1 ciclo, load e store levam 5 ciclos e instruções de desvio levam 2 ciclos, qual é o tempo de execução do programa em um processador de 1,5GHz?

- Qual é o CPI para o programa?
- Se houver uma redução de 1/3 nas instruções de carga, qual será o ganho de velocidade e o novo CPI?

Questão 3 - Considere a tabela abaixo:

| | | Número de instruções | | | | |
|---|------------|----------------------|------|-------|--------|-------|
| | | Cálculo | Load | Store | Desvio | Total |
| a | Programa 1 | 1000 | 400 | 50 | 60 | 1510 |
| b | Programa 2 | 1500 | 200 | 70 | 80 | 1850 |

- Supondo que os cálculos necessitem de 1 ciclo, as instruções de load e store, 10 ciclos e as instruções de desvio precisem de 3 ciclos. Qual o tempo de execução de cada programa em um processador MIPS de 3GHz.
- Suponha que foi feita uma alteração no HW e que as instruções de cálculo sejam executadas em 3 ciclos, qual o tempo de execução em cada programa em um processador MIPS de 3GHz?
- Qual o ganho de velocidade do programa 1 se as instruções de load puderem ser reduzidas pela metade e as instruções de cálculos utilizarem 2 ciclos, as instruções de load e store utilizarem 1 ciclo e as de desvio utilizarem 3 ciclos?

Questão 4 - (questão prova): Considere o número de instruções MIPS para a execução de um programa X, conforme a tabela abaixo:

| Número de instruções | | | | | |
|----------------------|---------|------|-------|--------|-------|
| | Cálculo | Load | Store | Desvio | Total |
| Programa X | 100 | 60 | 50 | 30 | 240 |

- Supondo que os cálculos necessitem de 4 ciclos, as instruções de load e store de 7 ciclos e as instruções de desvio de 3 ciclos, qual o tempo de execução do programa em um processador MIPS operando a 2GHz?
- Suponha que foi feita uma alteração no HW que aumentou o número de registradores. Com isso foi possível reduzir pela metade as instruções de carga e reduzir em 20% as instruções de escrita na memória. Qual foi a redução de tempo de execução do programa com estas alterações em relação a questão a?
- Qual o ganho de velocidade do programa (em porcentual) em relação a questão a, se o CPI das instruções de cálculo forem igual a 3?
- Qual o CPI médio do programa alterado da questão c.

Questão 5– (questão prova) Suponha que tenhamos desenvolvido duas versões de um processador chamado Apolo, conforme tabela abaixo:

| Processador | Versão | Tensão | Período (T) | Taxa de clock |
|-------------|--------|--------|-------------|---------------|
| Apolo | 1 | 1,5V | 0,625ns | 1.6 GHz |
| | 2 | 1,25V | 0,5ns | 2 GHz |

- Em quanto é reduzido o valor da carga capacitiva entre as versões se a potência dinâmica for reduzida em 35% da versão 1 para a versão 2?
- Em quanto é alterada a potência dinâmica se a carga capacitiva não mudar?

Questão 6 – (questão prova) Suponha que tenhamos desenvolvido duas versões de um processador conforme tabela abaixo:

| Versão | Taxa de clock |
|--------|---------------|
| 1 | 1.8 GHz |
| 2 | 2.2 GHz |

- Em um projeto relacionando as mesmas versões o que se sabe sobre as cargas capacitivas é que a versão 2 tem 80% da carga capacitiva da versão 1. Ache a voltagem para a versão 2 se a potência dinâmica da versão 2 for reduzida em 40% a partir da versão 1 considerando a tensão de 1,5V na versão 1?
- Em quanto é alterada a potência dinâmica se a tensão da versão 2 reduzir 30% em relação a versão 1 e se a carga capacitiva da versão 1 for de 15pF e da versão 2 de 9pF?

Questão 7 - Suponha que tenhamos desenvolvido novas versões de um processador com as características a seguir:

| Processador | Versão | Tensão | Taxa de clock |
|-------------|--------|--------|---------------|
| a | 1 | 1,75V | 1.5 GHz |
| | 2 | 1,2V | 2 GHz |
| b | 1 | 1,1V | 3 GHz |
| | 2 | 0,8V | 4 GHz |

- Em quanto é alterado o valor da carga capacitiva entre as versões se a potência dinâmica for reduzida em 10%?
- Em quanto foi reduzida a potência dinâmica se a carga capacitiva não mudar?

Questão 8 - Considere os valores mostrados na tabela a seguir para a dissipação de potência estática e dinâmica para duas tecnologias de processadores.

| Tecnologia | Potência dinâmica (W) | Potência estática (W) | Tensão (V) |
|------------|-----------------------|-----------------------|------------|
| 180nm | 50 | 10 | 1,2 |
| 70nm | 90 | 60 | 0,9 |

- Ache a porcentagem da potência total dissipada compreendida por potência estática.
- Se a potência total dissipada for reduzida em 10% mantendo a estática para a taxa de potência total da questão a, quanto a tensão deve ser reduzida para que a corrente de vazamento continue igual?
- Determina a razão entre potência estática e potência dinâmica para cada tecnologia com relação a tabela 1.

Questão 9 - Considere três diferentes processadores: P1, P2 e P3 com as seguintes informações. Ache os IPCs para cada processador.

| Programa | Processador | Taxa de clock | Número de instruções | Tempo |
|----------|-------------|---------------|----------------------|-------|
| A | P1 | 3 GHz | 20×10^9 | 8 s |
| | P2 | 2.5 GHz | 30×10^9 | 10 s |
| | P3 | 4.5 GHz | 80×10^9 | 9 s |
| B | P1 | 2 GHz | 25×10^9 | 6 s |
| | P2 | 2 GHz | 30×10^9 | 7 s |
| | P3 | 4 GHz | 20×10^9 | 7 s |