

Nome: _____

Para responder as questões 1 e 2, considere uma cache de 128K blocos de dados, palavra de 4 bytes, tamanho de bloco de 2 palavras e um endereço de 32 bits.

Questão 1 (1,2): Quais os valores para as questões abaixo se considerarmos que a cache está mapeada por associatividade por conjunto de 2 vias?

- a) (0,3) O número total de bits da tag
- b) (0,3) O tamanho da linha da cache em bits
- c) (0,3) O tamanho total da cache em bits
- d) (0,3) A taxa da quantidade de bits requeridos para a cache pelo tamanho necessário apenas para dados?

Questão 2 (1,2): Qual o tamanho total da cache se:

- a) (0,6) A cache estiver mapeada de forma totalmente associativa?
- b) (0,6) A cache estiver diretamente mapeada?

Questão 3: (1,5) Um processador executa um programa com $CPI = 1,8$ sem *stall* na cache. Considere que a hierarquia de memória utilizada para este processador está organizada em 3 níveis e que apenas a L3 é compartilhada para dados e instruções.

L1 – O percentual de *hit* na cache de instruções L1 é de 95% e o *hit* na cache de dados é de 90%, resultando em uma penalidade de 30 ciclos quando há um *miss* na L1.

L2 – Para o total de instruções e dados do programa X, o percentual de *miss* na cache de instruções L2 é de 3% e na cache de dados L2 é de 4% e a penalidade de um acesso a L3 é de 50 ciclos.

L3 – Para o total de instruções e dados do programa X, o percentual de *miss* na L3 é de 1% e a penalidade de um *miss* é de 100 ciclos.

- a) (1,0) Qual o CPI final considerando as falhas nas caches, sabendo-se que, para o programa X, 25% das instruções são de acesso a memória e destas, 10% são de *store*. A técnica utilizada é *write-through*?
- b) (0,5) Repita o exercício anterior considerando que a técnica de *write-buffer*

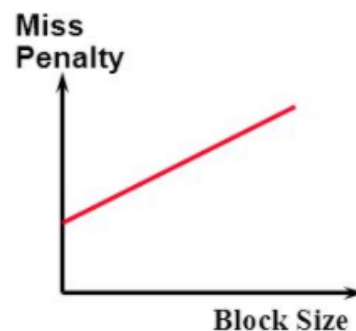
é utilizada em todos os níveis da cache, reduzindo a penalidade para apenas 5% das escritas.

Questão 4 (1,2): Considere uma hierarquia de memória que possui dois níveis de cache (L1 e L2), TLB e memória virtual.

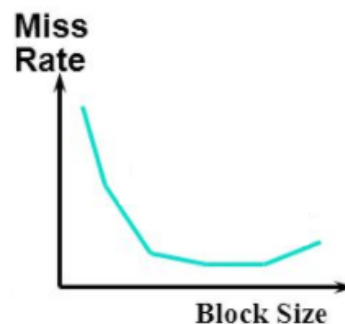
- a) (0,4) Apresente uma figura completa que ilustre cada nível dessa hierarquia e as conexões entre os blocos.
- b) (0,4) Comente o fluxo de busca de uma palavra quando a mesma é encontrada na tabela de páginas.
- c) (0,4) Comente todas as etapas (acessos, consultas...) quando ocorre uma falha de página em que uma página precise ser carregada do disco.

Questão 5 (1,6): Sobre hierarquia de memória, responda as seguintes questões:

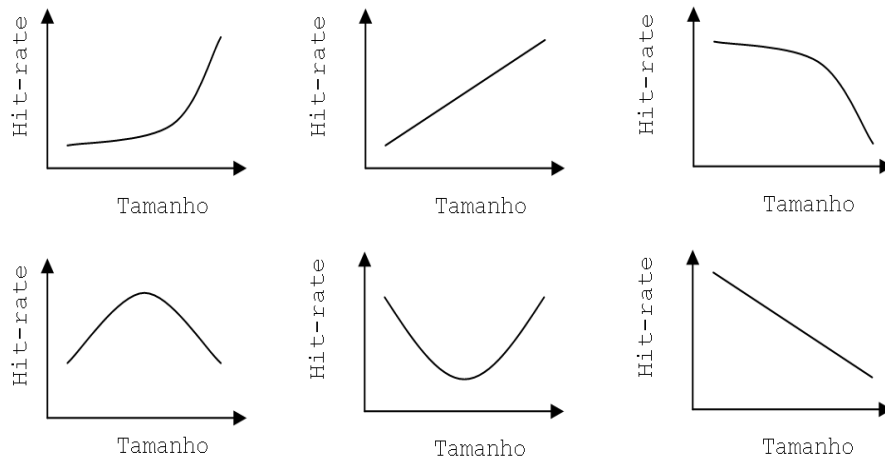
- a) (0,5) Comente o comportamento do gráfico abaixo sobre a penalidade de falhas com relação ao tamanho do bloco:



- b) (0,5) Comente o comportamento do gráfico abaixo sobre a taxa de falhas com relação ao tamanho do bloco:



c) (0,6) Aponte qual é o gráfico da figura a seguir que melhor representa o efeito do tamanho da memória cache no hit-rate e diga por quê:



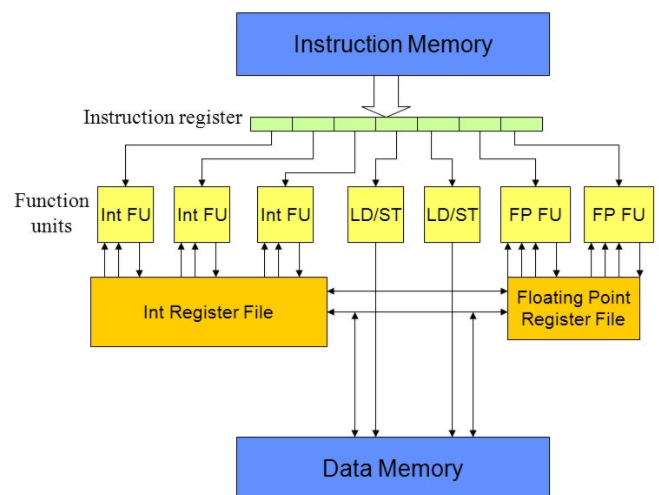
Questão 6 (1,5): Sobre desdobramento de loop (loop unrolling), responda as seguintes questões:

- a) (0,8) Considere as instruções do MIPS vistas em aula. Suponha que o trecho de código abaixo seja executado em pipeline sem *stalls* e que a frequência de operação do processador seja de 2,5GHz. Quanto tempo foi reduzido, em segundos, utilizando-se a técnica de *loop unrolling*, implementando-se o código com 5 cópias do corpo do *loop*. Justifique a resposta.

```
for (i=0; i<1000; i++) {
    y[i] = a - x[i];
    x[i] = z[i] + b;
}
```

- b) (ponto extra de 0,5) – Qual a taxa de ganho da resposta a).
- c) (0,7) Considerando os casos de *loop* em um código, comente as situações de “*dependência transportada por loop*” e uma possível solução para garantir as vantagens com estratégias de paralelismo neste tipo de ocorrência.

- a) (0,8) Verifique a organização da figura abaixo e explique qual o tipo de estratégia de paralelismo empregada e qual o nome atribuído para esse tipo de proposta. Comente como pode ser identificada a estratégia utilizada a partir da figura?



- b) (0,6) Que vantagens e desvantagens esse tipo de estratégia apresenta sobre outras soluções de paralelismo? Justifique com detalhes:
- c) (0,4) Descreva detalhadamente pelo menos uma técnica de paralelismo utilizada em processadores atuais:

Questão 7 (1,8): Sobre processadores paralelos, responda as seguintes perguntas:

