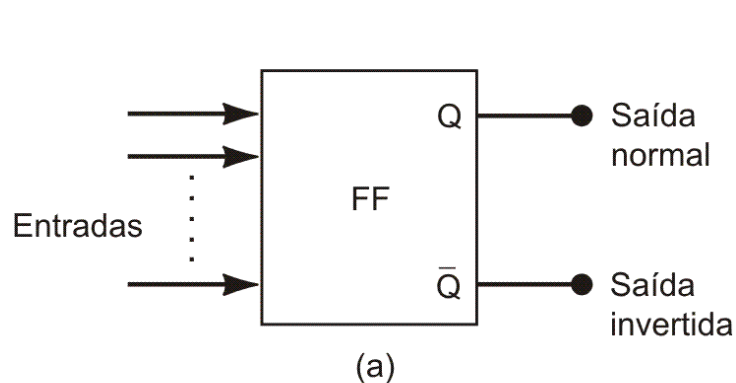




FlipFlops

- Disciplina: Técnicas Digitais
- Aula - FlipFlops
- Bibliografia Básica:
 - Sistemas Digitais: Princípios e Aplicações, Ronald J. Tocci e Neal S. Widmer

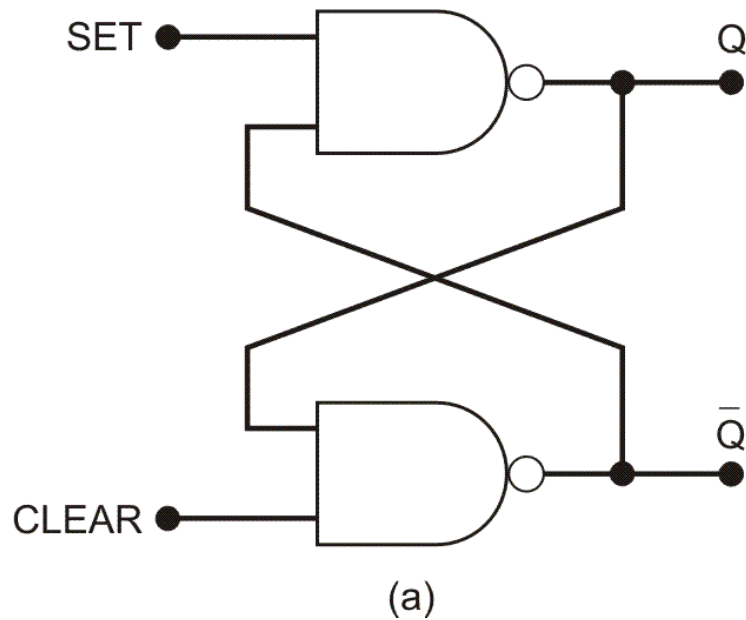
FIGURA 5-2 Símbolo geral para um flip-flop e definição dos seus dois estados de saída possíveis.



Estados de saída

- $Q = 1, \bar{Q} = 0$: denominado estado ALTO ou 1;
também chamado de estado SET
- $Q = 0, \bar{Q} = 1$: denominado estado BAIXO ou 0;
também chamado de estado CLEAR
ou RESET
- (b)

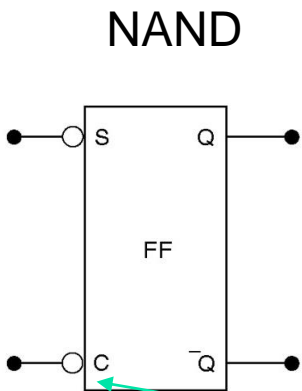
Flip-Flop SC – Portas NAND



Set	Clear	Saída
1	1	Não muda
0	1	$Q = 1$
1	0	$Q = 0$
0	0	Inválida*

*Produz $Q = \bar{Q} = 1$

(b)



A entrada diferencia a NAND

FIGURA 5-3 Um latch com portas NAND tem dois estados de repouso possíveis quando $\text{SET} = \text{CLEAR} = 1$.

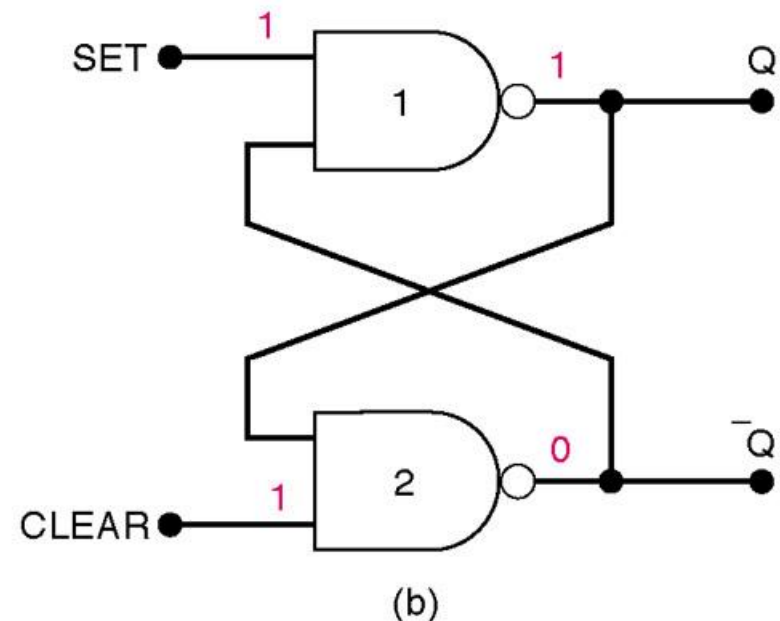
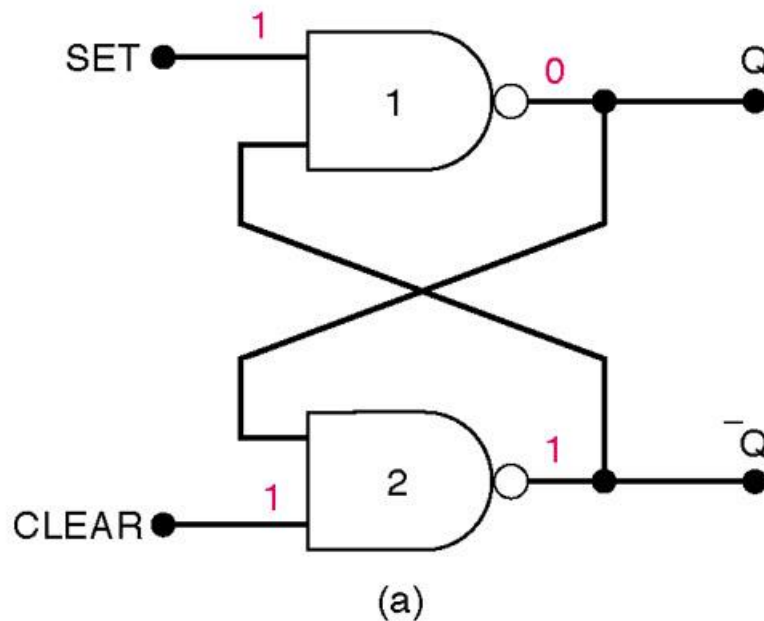
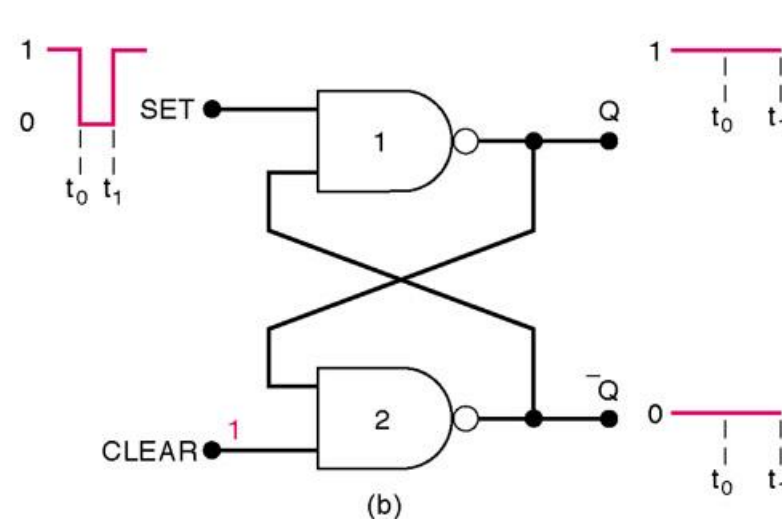
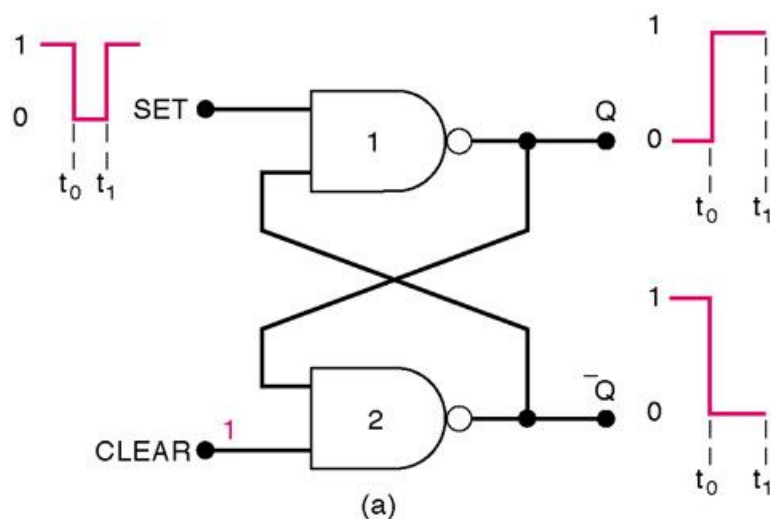


FIGURA 5-4 Pulsando a entrada SET para o estado 0 quando (a) $Q=0$ antes do pulso na entrada SET; (b) $Q=1$ antes do pulso na entrada SET. Observe dois casos a saída Q termina em nível ALTO.

Set	Clear	Saída
1	1	Não muda
0	1	$Q = 1$
1	0	$Q = 0$
0	0	Inválida*

*Produz $Q = \bar{Q} = 1$



Latch SC

Exemplo 1

Set	Clear	Saída
1	1	Não muda
0	1	$Q = 1$
1	0	$Q = 0$
0	0	Inválida*

*Prodüz $Q = \bar{Q} = 1$

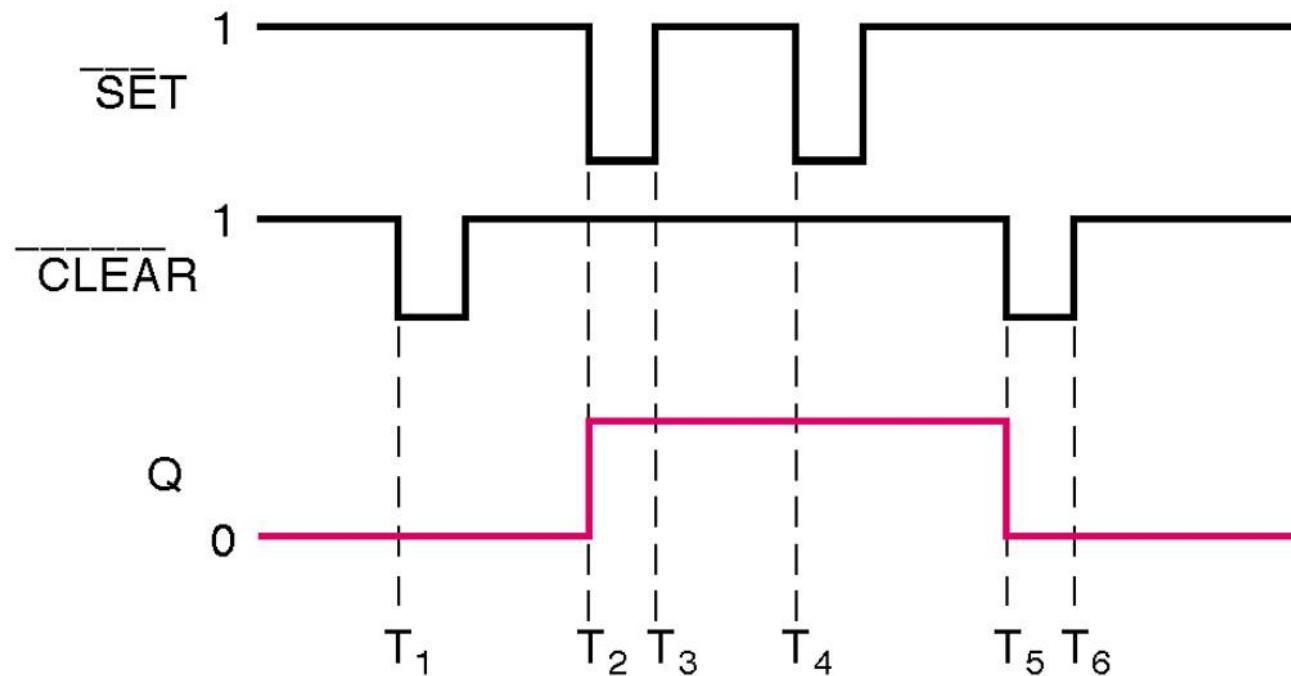
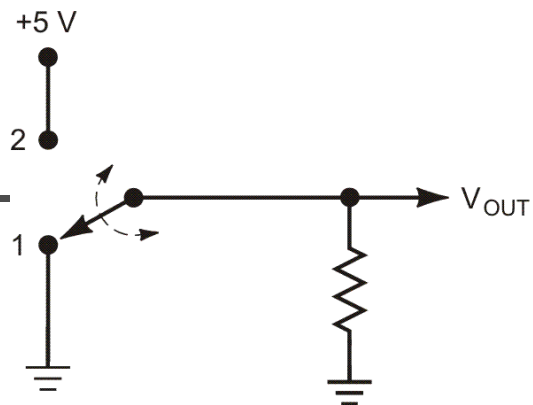
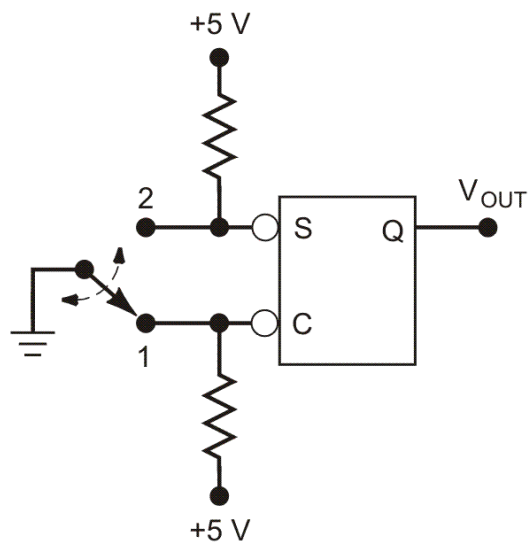
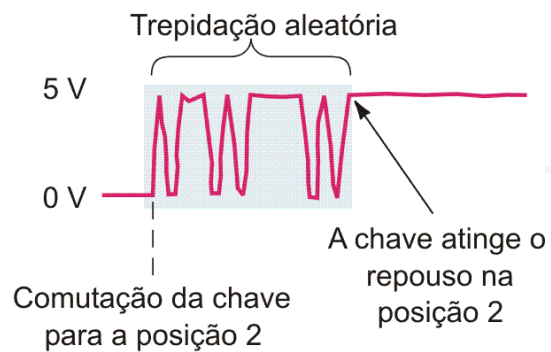


FIGURA 5-9 (a) A trepidação de um contato mecânico gera múltiplas transições na tensão; (b) latch NAND usado para eliminar as múltiplas transições na tensão.



(a)



(b)

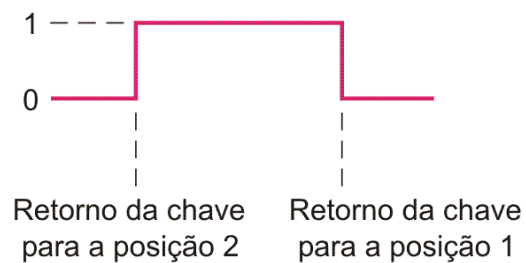
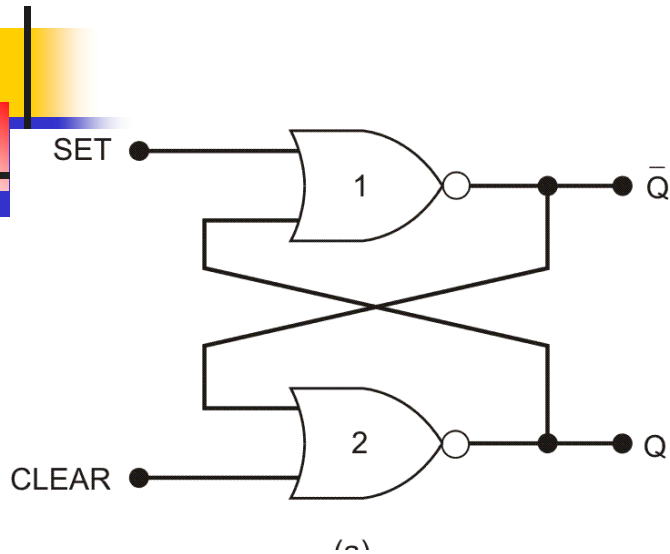


FIGURA 5-10 (a) latch com portas NOR; (b) Tabela-verdade; (c) Símbolo simplificado.



Q barrado está aqui em cima

Set	Clear	Saída
0	0	Não muda
1	0	$Q = 1$
0	1	$Q = 0$
1	1	Inválida*

*produz $Q = \bar{Q} = 0$

(b)

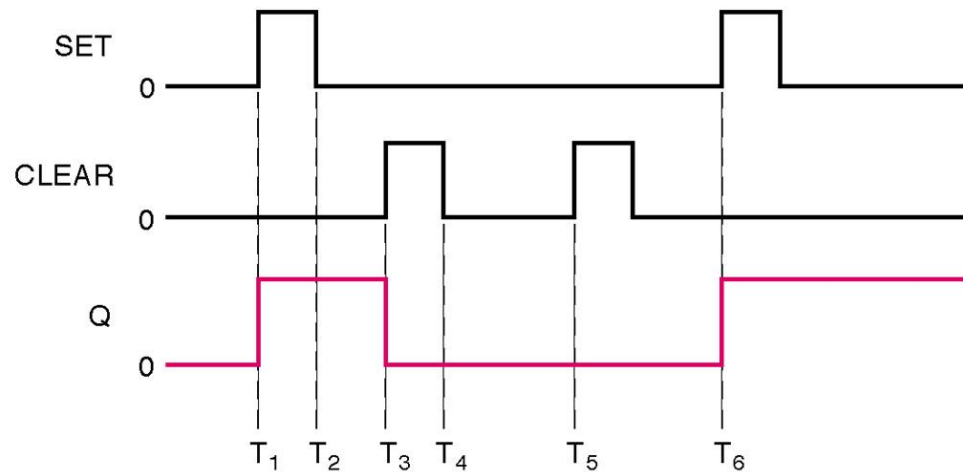
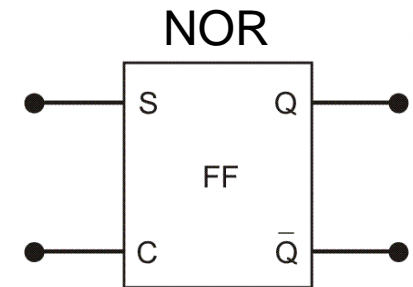


FIGURA 5-14 Sinais de clock.

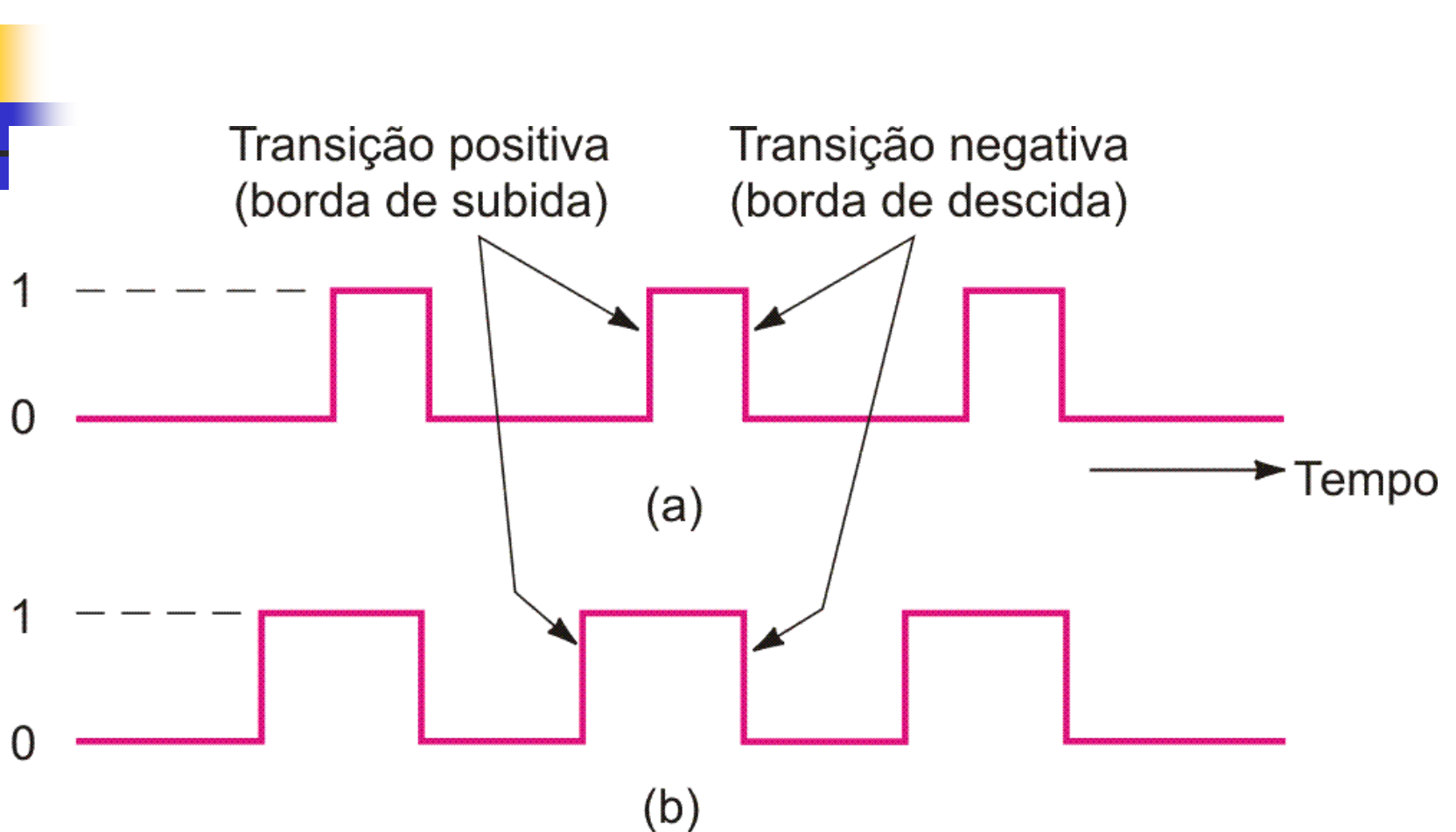


FIGURA 5-15 Flip-flop com clock tem uma entrada de clock (CLK) que pode ser ativada por (a) uma borda de subida ou (b) por uma borda de descida. As entradas de controle determinam o efeito da transição ativa do clock.

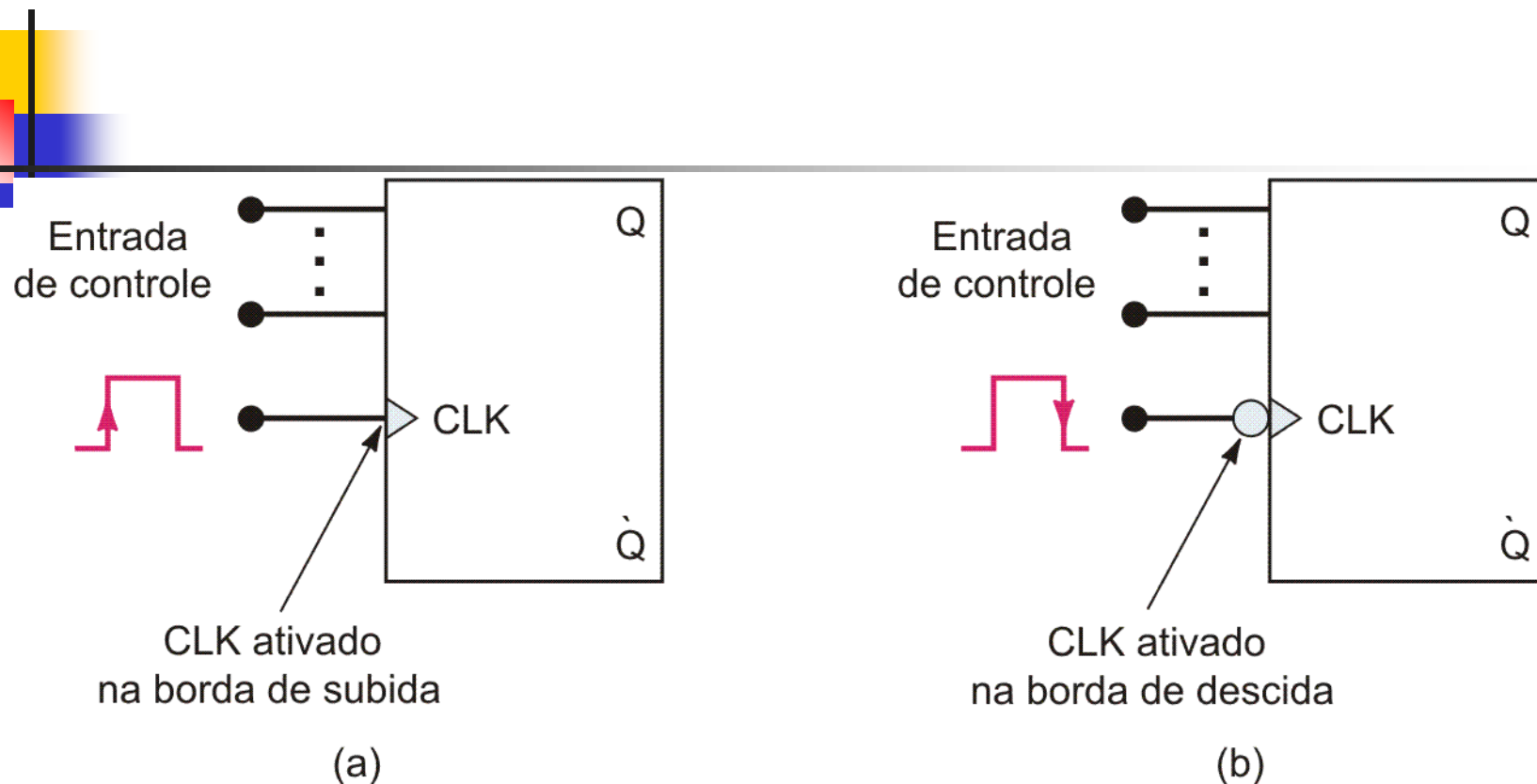
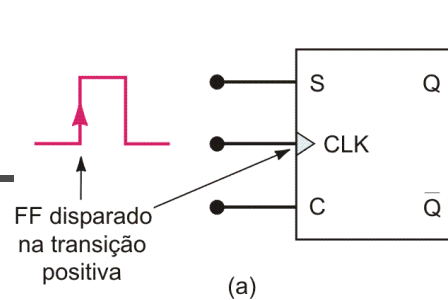


FIGURA 5-17 (a) Flip-flop S-C com clock que responde apenas à borda positiva do pulso de clock; (b) tabela-verdade; (c) forma de ondas típicas.



Entradas			Saídas
S	C	CLK	Q
0	0	—	Q_0 (não muda)
1	0	—	1
0	1	—	0
1	1	—	Ambígua

Q_0 é o nível lógico da saída antes da borda de subida (↑) do CLK.
A borda de descida (↓) do CLK não gera mudança na saída Q.

(b)

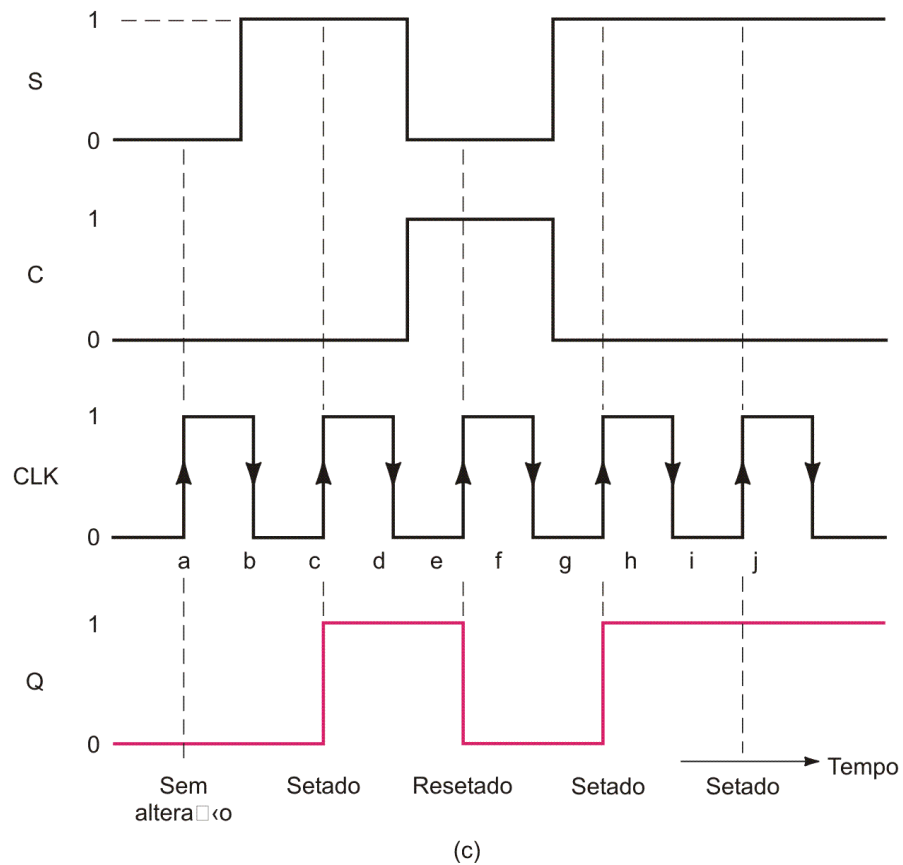
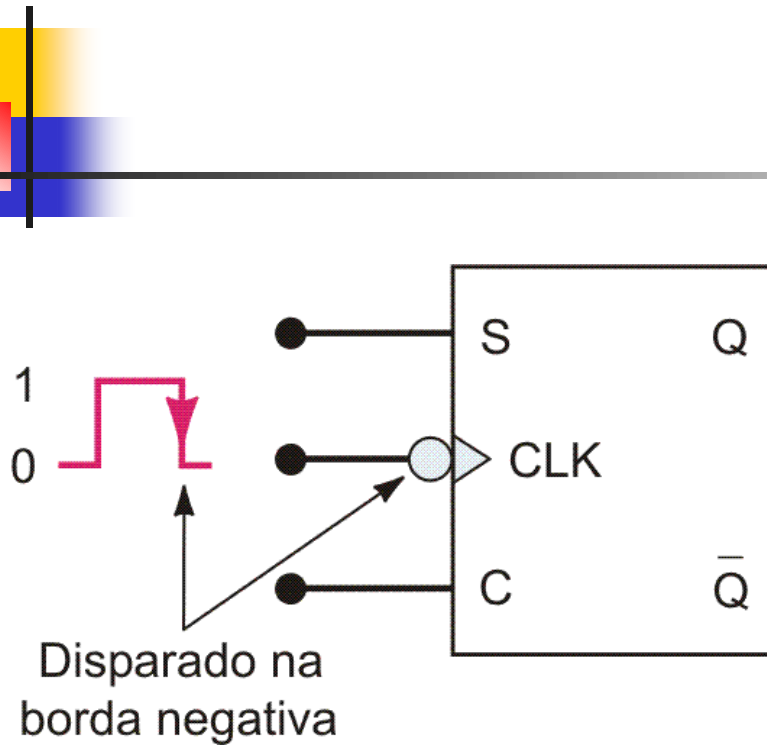


FIGURA 5-18 Flip-flop S-C com clock disparado apenas nas transições negativas do clock.



Entradas			Saídas
S	C	CLK	Q
0	0	—	Q_0 (não muda)
1	0	—	1
0	1	—	0
1	1	—	Ambígua

FIGURA 5-19 Versão simplificada do circuito interno de um flip-flop S-c disparado por borda.

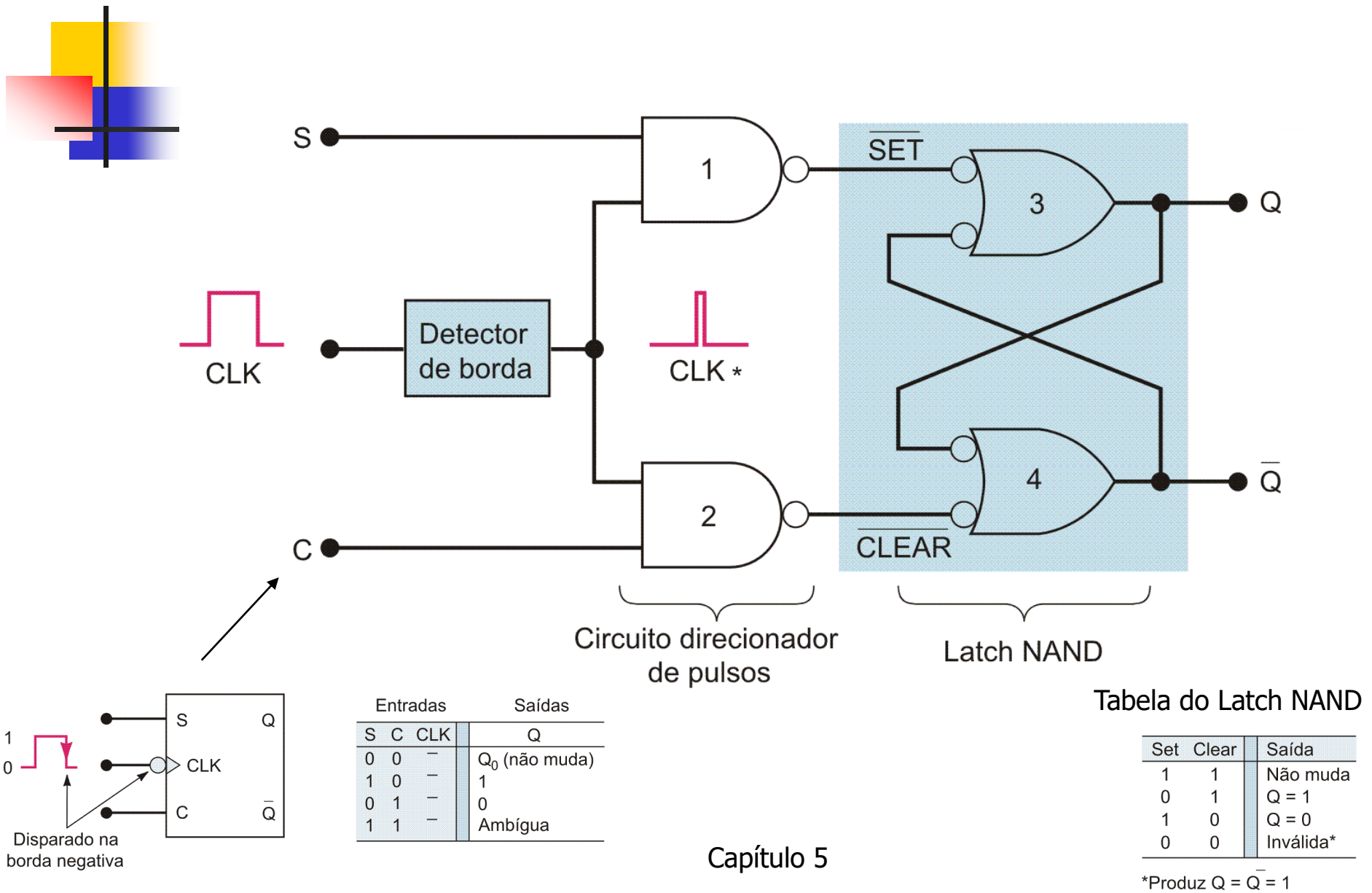
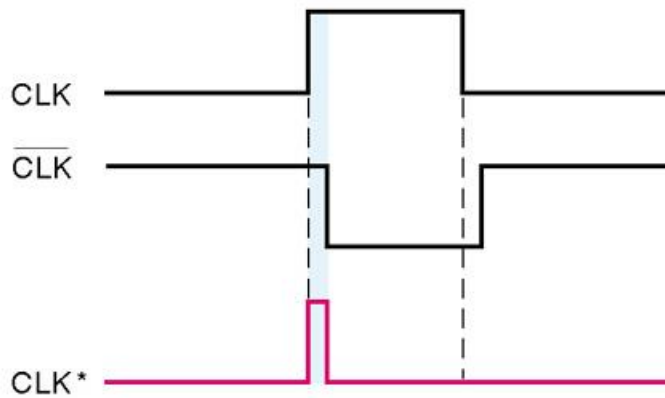
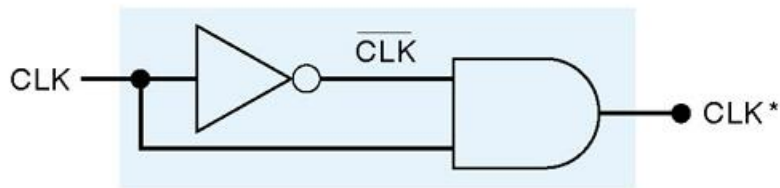
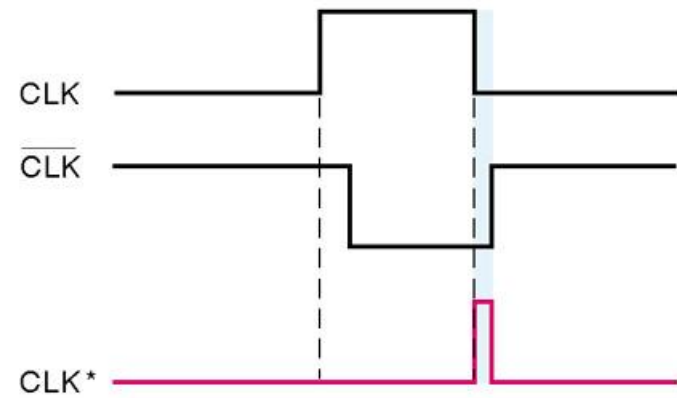
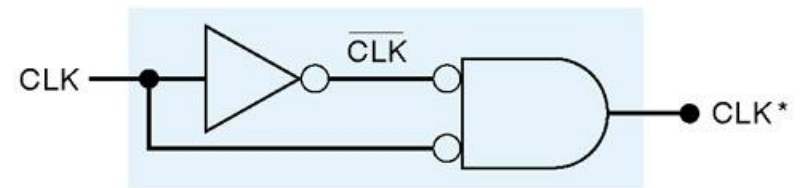


FIGURA 5-20 Implementação de um circuito detector de borda usado em flip-flops disparados por bordas: (a) borda positiva. A duração dos pulsos CLK* é normalmente de 2 a 5 nanossegundos.

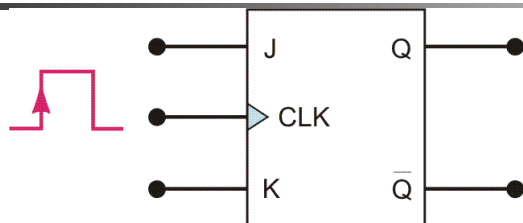


(a)



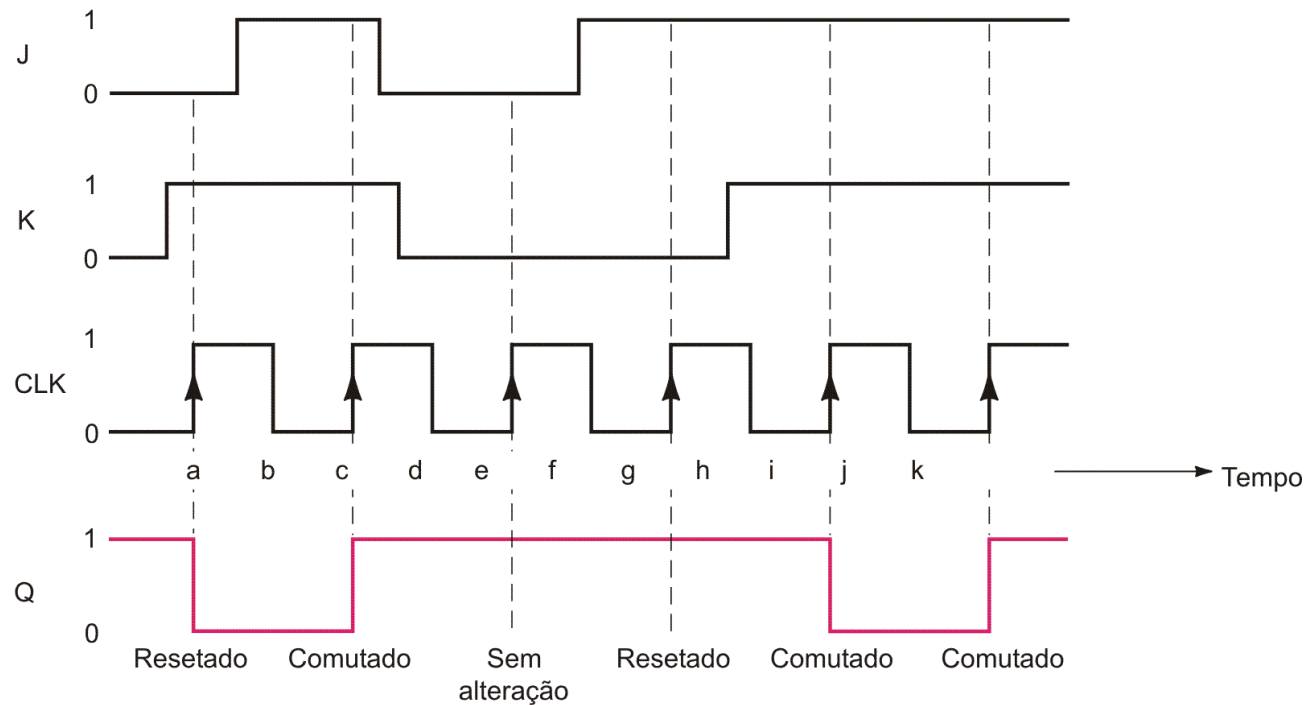
(b)

Flip-Flops JK



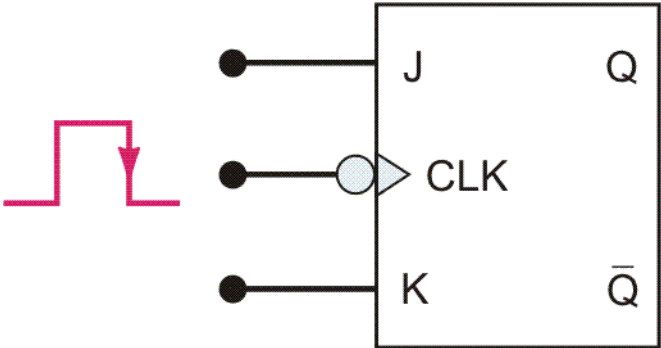
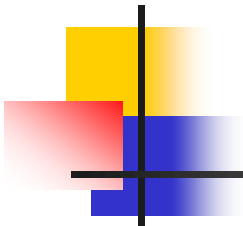
J	K	CLK	Q
0	0	—	Q_0 (não muda)
1	0	—	1
0	1	—	0
1	1	—	$\overline{Q_0}$ (comuta)

(a)



(b)

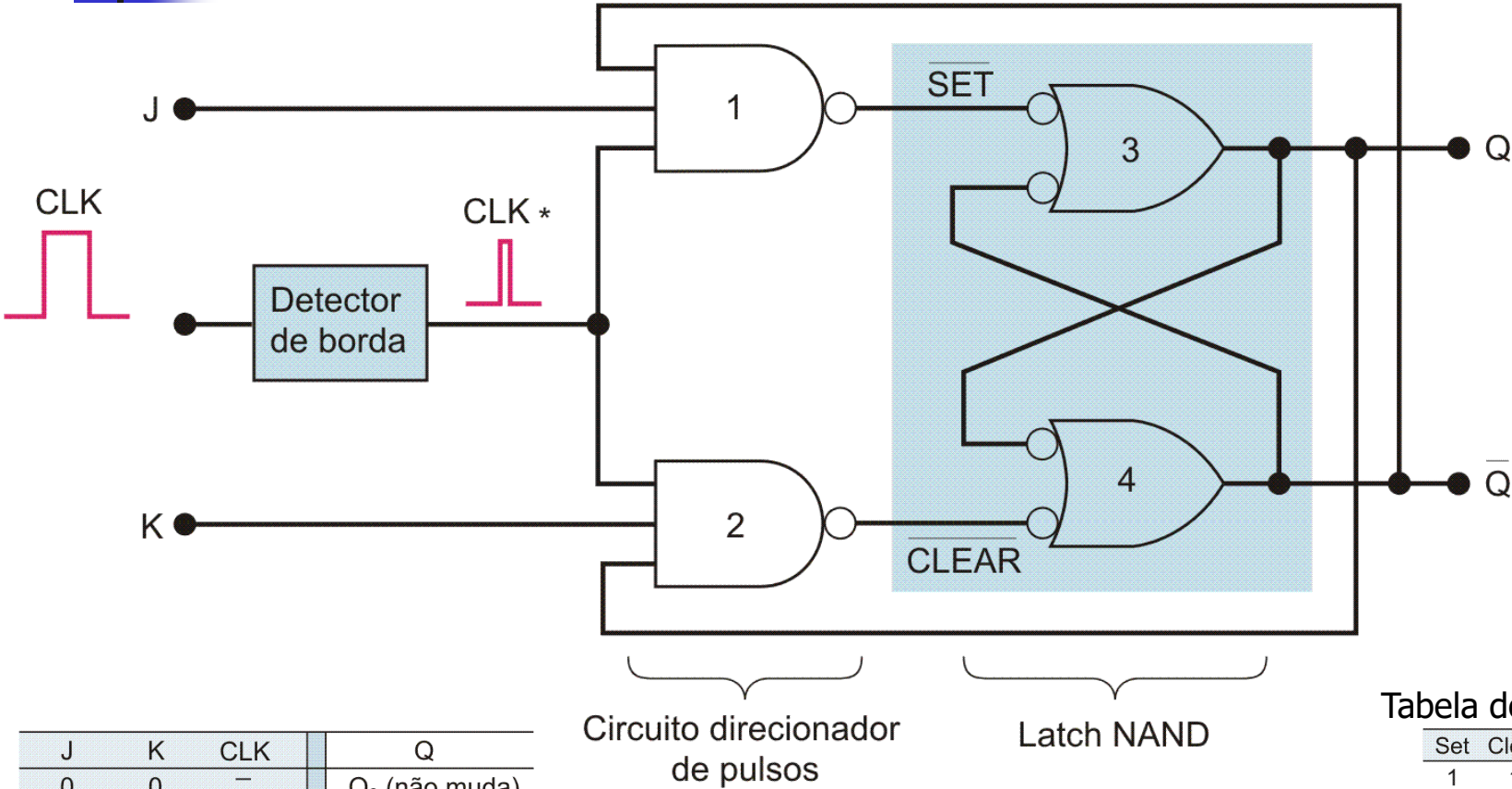
FIGURA 5-22 (a) Flip-flop J-K disparados apenas nas transições negativas do clock.



J	K	CLK	Q
0	0	—	Q_0 (não muda)
1	0	—	1
0	1	—	0
1	1	—	$\overline{Q_0}$ (comuta)

FIGURA 5-23 Circuito interno de flip-flop J-K disparado por borda.

Exercicio: Verificar a tabela JK



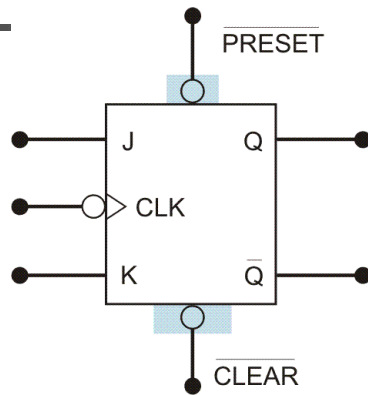
J	K	CLK	Q
0	0	—	Q ₀ (não muda)
1	0	—	1
0	1	—	0
1	1	—	Q ₀ (comuta)

Tabela do Latch NAND

Set	Clear	Saída
1	1	Não muda
0	1	Q = 1
1	0	Q = 0
0	0	Inválida*

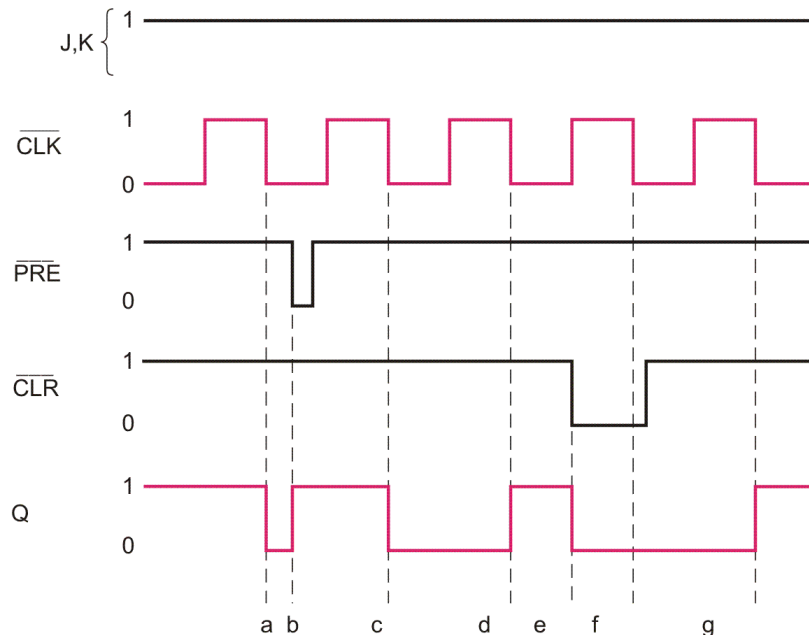
*Produs $Q = \bar{Q} = 1$

Flip-Flop JK - Entradas Assíncronas



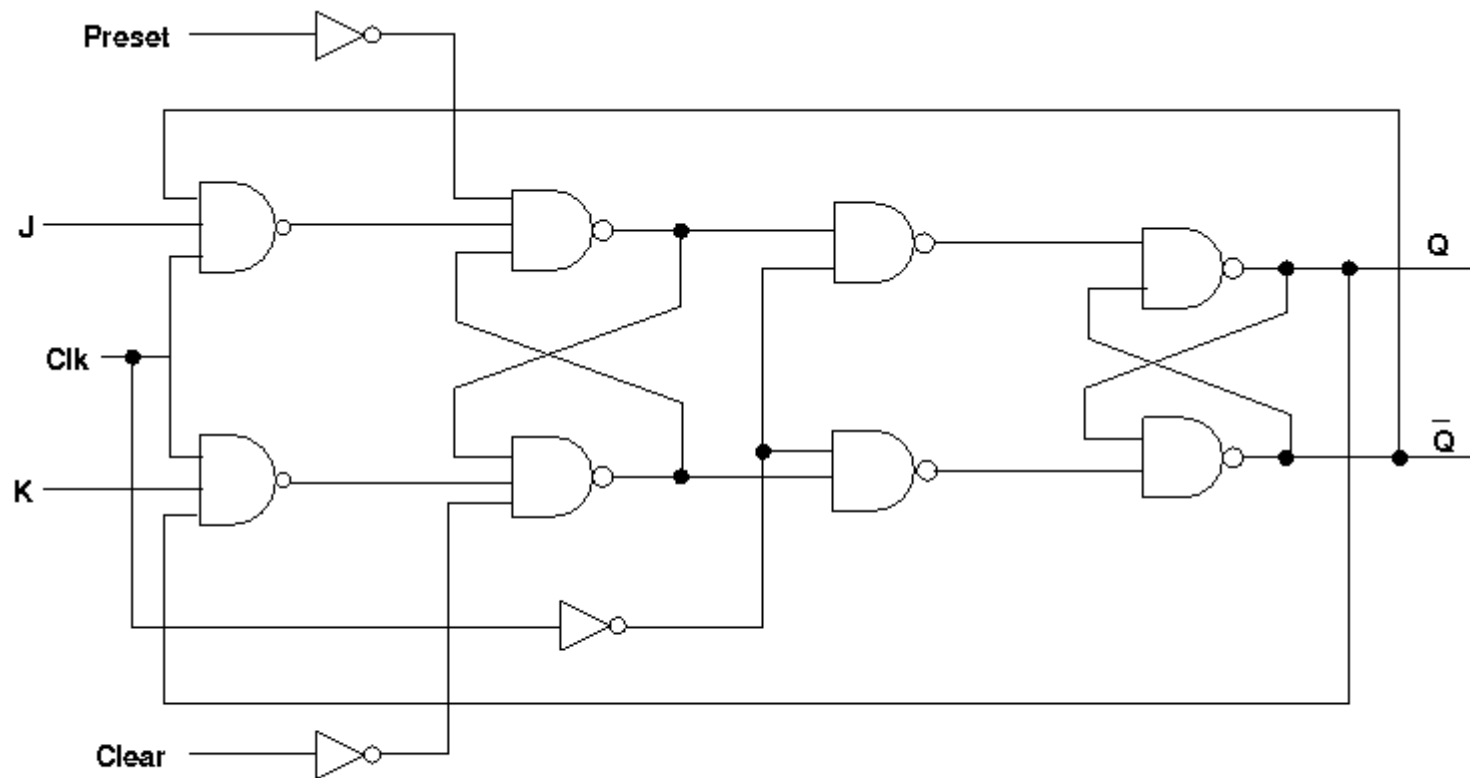
PRESET	CLEAR	Resposta do FF
1	1	Operação com clock*
0	1	Q = 1 (independente do CLK)
1	0	Q = 0 (independente do CLK)
0	0	Não usada

*Q responderá a JK e CLK



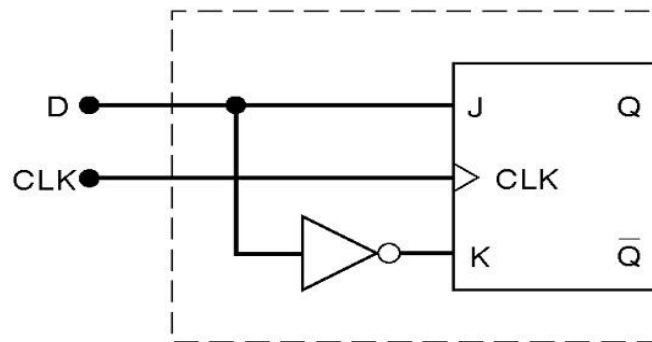
Ponto	Operação
a	Comutação sincronizada na borda de descida de CLK
b	Q é assincronamente colocada em 1 quando $\overline{PRE} = 0$
c	Comutação síncrona
d	Comutação síncrona
e	Q é assincronamente colocada em 0 quando $\overline{CLR} = 0$
f	\overline{CLR} se sobrepõe à borda de descida de CLK
g	Comutação síncrona

(b)



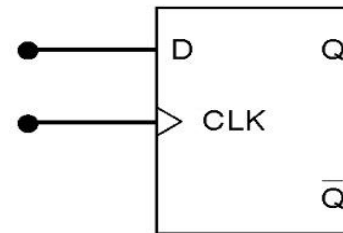
Master slave JK flip-flop with asynchronous preset and clear

Flip flop Tipo D



(a)

\equiv



(b)

Sistemas Digitais

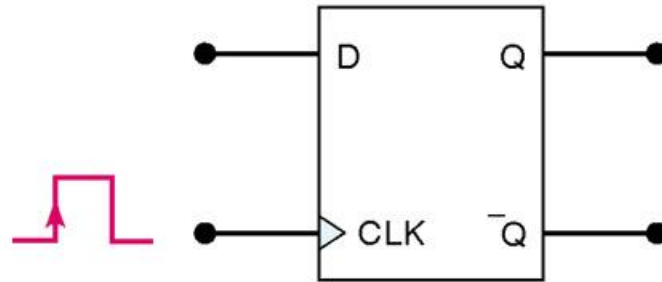
Princípios e

Aplicações

Ronald J. Tocci e Neal

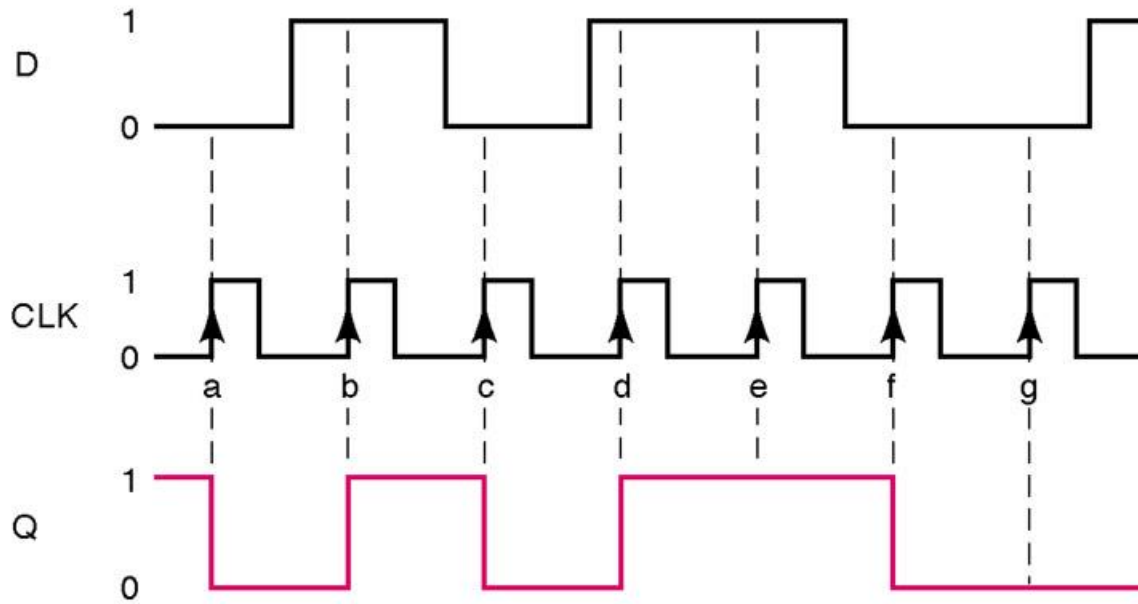
S. Widmer

FIGURA 5-24 (a) flip-flop D disparados apenas nas transições positivas do clock ; (b) Formas de onda.



D	CLK	Q
0	↑	0
1	↑	1

(a)



(b)