Contadores Síncronos

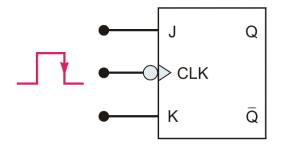
- Disciplina: Tecnicas Digitais
- Aula Contadores Síncronos
- Bibliografia Básica:
 - Sistemas Digitais: Princípios e Aplicações, Ronald
 J. Tocci e Neal S. Widmer

Contadores Síncronos

- Contadores são circuitos digitais que variam os seus estados, sob o comando de um *clock*, de acordo com um seqüência pré-determinada.
- São utilizados em:
 - Contagens
 - divisores de frequência e tempo,
 - geradores de formas de onda,
 - conversão de analógico para digital,

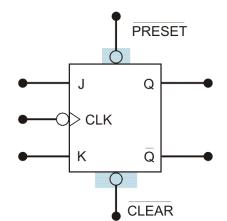
Contadores Flip-Flop JK

Flip-flop J-K disparados nas transições negativas do clock



J	K	CLK	Q
0	0		Q ₀ (não muda)
1	0	_	1
0	1	-	0
1	1	-	Q ₀ (comuta)

Entradas Assíncronas



PRESET	CLEAR	Resposta do FF
1	1	Operação com clock*
0	1	Q = 1 (independente do CLK)
1	0	Q = 0 (independente do CLK)
0	0	Não usada

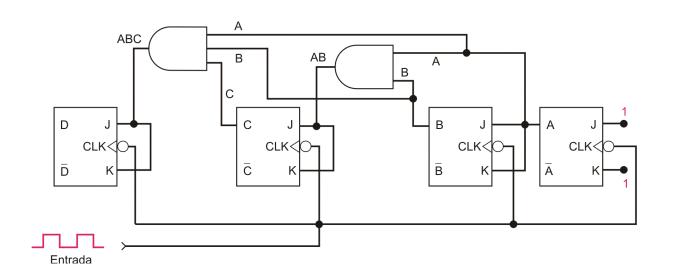
^{*}Q responderá a JK e CLK

Contadores Síncronos

- As entradas do Clock de todos os FFs estão conectadas juntas, de modo que o sinal é aplicado em cada FF simultaneamente.
- Apenas o FF do bit menos significativos tem suas entradas em nivel "1";
- O contador síncrono necessita de mais circuitos do que um contador assíncrono;

Contador síncrono de módulo 2^N

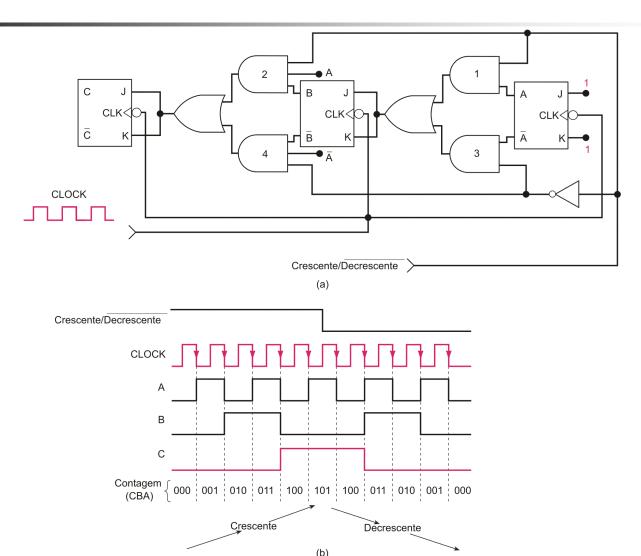
 Cada FF é disparado pela transição negativa do sinal de clock de entrada, assim, todas as transições dos FFs ocorrem ao mesmo tempo.



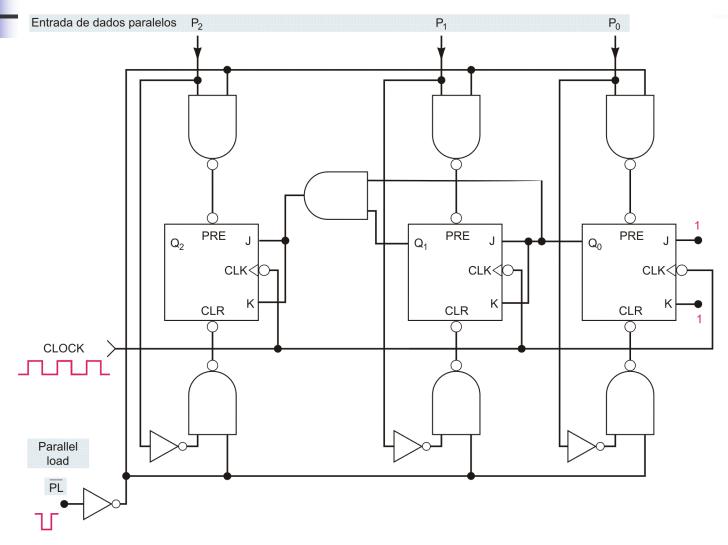
Contagem	D	С	В	Α
0	0	0	0	
1	0		0	1
2	0	0	1	0
2 3	0 0 0	0	1	0 1 0 1
4	0	1	0	
4 5	0 0 0	1	0	0 1 0 1
6	0	1	1	0
7	0	1	1	1
8	1	0	0	0
9	1	0	0	1
10	1	0	1	0
11	1	0	1	0 1 0 1 0 1 0
12	1	1	0	0
13	1	1		1
14	1 1	1	1	0
15	1	1	1	1
0	0	0	0	0
		.		
		etc.		

Atraso total = t_{pd} do FF + t_{pd} da porta AND

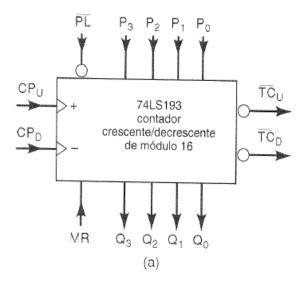
Contador crescente/decrescente síncrono de módulo 8



Contador síncrono com carga paralela assíncrona



Contador síncrono



Seleção d	los Modos	de Oper	ração
-----------	-----------	---------	-------

MR	PL	CPU	CPD	Modo
HLLLL	X L H H	X X H	X X H H	Reset assíncrono Carga assíncrona Não muda Contagem crescente Contagem decrescente

H = HIGH = ALTO L = LOW = BAIXO

Pino	Descrição
CPU	Entrada de clock para contagem crescente (ativo na subida)
CPD	Entrada de clock para contagem decrescente (ativo na subida)
MR	Entrada assíncrona de reset geral (ativa em ALTO)
PL	Entrada assíncrona de carga paralela (ativa em BAIXO)
P ₀ -P ₃	Entradas de dados paralelos
Q ₀ -Q ₃	Saídas dos flip-flops
TCD	Saída de contagem terminal decrescente (ativa em BAIXO)
TCU	Saída de contagem terminal crescente (ativa em BAIXO)

(b)

(c)



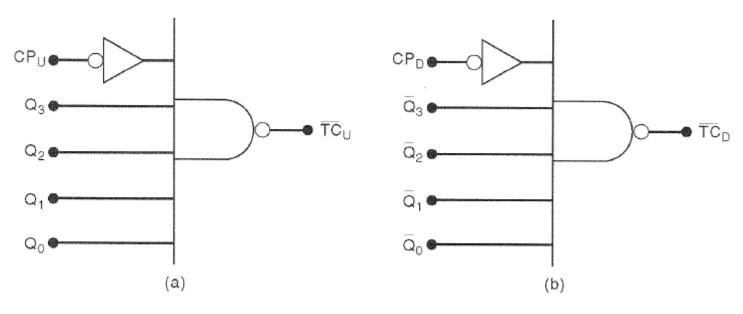
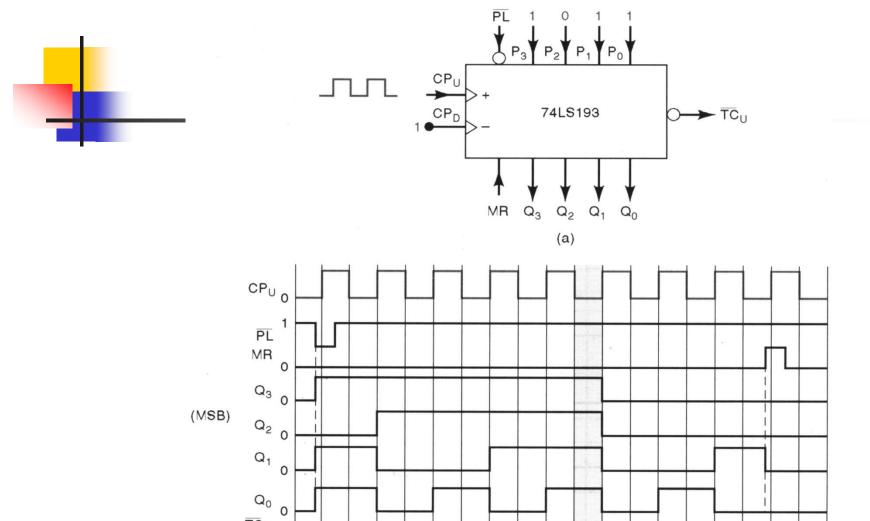


Fig. 7-21 - (a) Lógica no 74LS193 para geração do sinal $\overline{\mathit{TC}}_{\scriptscriptstyle D}$; (b) lógica para geração do sinal $\overline{\mathit{TC}}_{\scriptscriptstyle D}$.



TC_U 1

 t_0 t_1

 t_2

 t_3

 t_4

 t_5 t_6

(b)

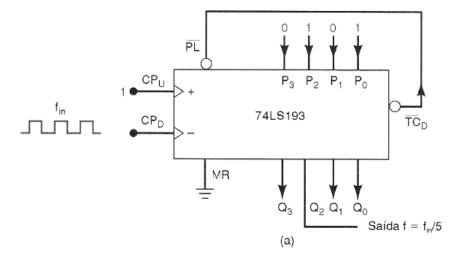
 t_7

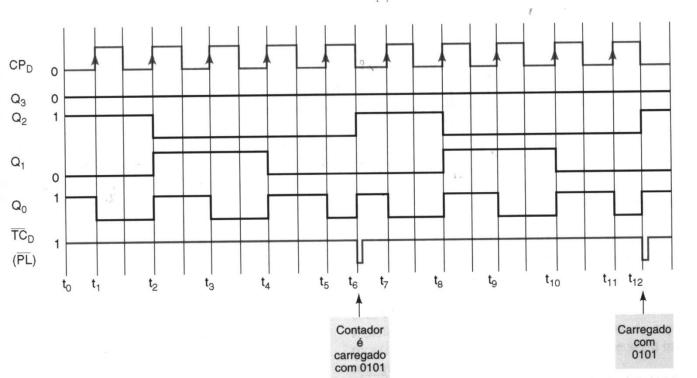
 t_8

 t_9

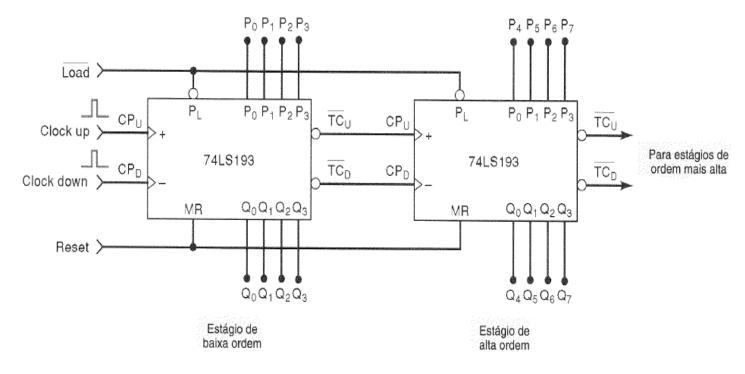
 t_{10}

exemplo





Exemplo



Obs.: A entrada reset tem prioridade sobre as entradas Load e as entradas de clock.

A entrada Load tem prioridade sobre as entradas de clock.

Fig. 7-25 - Dois 74LS193s conectados em um arranjo de dois estágios para estender o intervalo máximo de contagem.

Procedimentos de Projeto dos contadores síncronos

- Obter o diagrama de transição de estados
- Atribuir uma combinação binária (um número) a cada estado do diagrama
- Obter a tabela de transição de estados
- Escolher o tipo de flip-flops a utilizar
- Obter as equações de entrada de cada flip-flop
- Obter as equações das saídas
- Desenhar o circuito

Exemplo de um projeto

Implementar um contador síncrono que conte de 000 a 100 usando FF do tipo JK

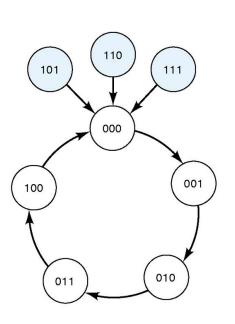
Tabela de transição de estados

Transição na saida	Estado atual Q(n)	Próximo estado Q(n+1)	J	K
0->0	0	0	0	Х
0->1	0	1	1	X
1->0	1	0	X	1
1->1	1	1	X	0

A tabela mostra o que se tem colocar nas entradas J e K, de modo a ter a transição de estados indicada;

Exemplo de um projeto

Pretende-se obter um circuito que implemente o seguinte diagrama de transição de estados.

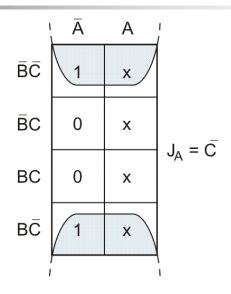


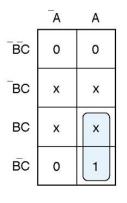
Transição na saida	Estado atual Q(n)	Próximo estado Q(n+1)	J	K
0->0	0	0	0	x
0->1	0	1	1	x
1->0	1	0	x	1
1->1	1	1	x	0

Estado atual	Próximo estado	Flip-flops
СВА	СВА	J_cK_c J_BK_B J_AK_A
0 0 0	0 0 1	0X 0X 1X
0 0 1	0 1 0	0X 1X X1
0 1 0	0 1 1	0X X0 1X
0 1 1	1 0 0	1X X1 X1
1 0 0	0 0 0	X1 0X 0X
1 0 1	0 0 0	X1 0X X1
1 1 0	0 0 0	X1 X1 0X
1 1 1	0 0 0	X1 X1 X1

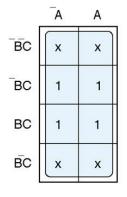
Mapas de Karnaugh para os circuitos lógicos

TUA			
В	_ A		J _A
0	0		1
0	1		Χ
1	0		1
1	1		Χ
0	0		0
0	1		X
1	0		0
1	1		X
	B 0 0 1 1 0 0	0 0 0 1 1 0 1 1 0 0 0 1	B A 0 0 0 0 1 1 1 0 0 0 0 0 1





 $J_C = AB$



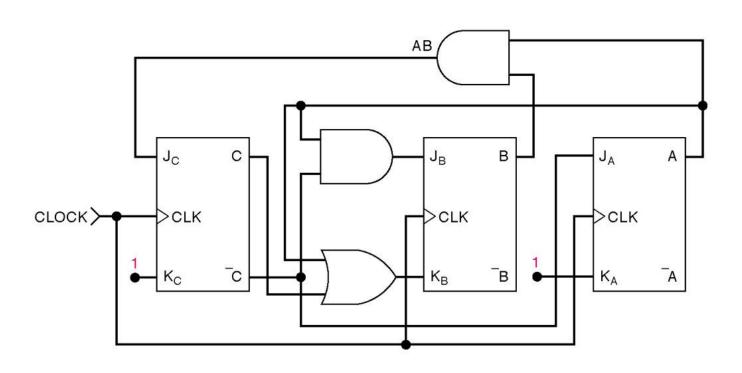
 $K_C = 1$

_	Ā	\ A
BC	0	1
BC	0	0
вс	x	x
БC	х	X
	.le :	= AC

	Α	Α
ВС	x	x
ВС	х	х
вс	1	1
ВC	0	1

$$K_B = A + C$$

Implementação final do contador Síncrono



Exercício

 Implementar um contador Síncrono que conte de 3 a 8.