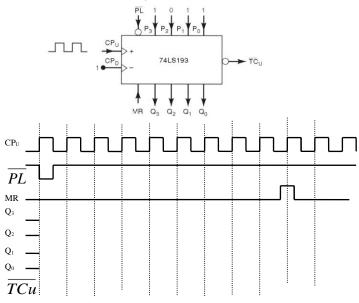
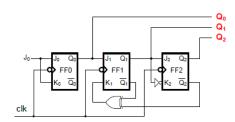
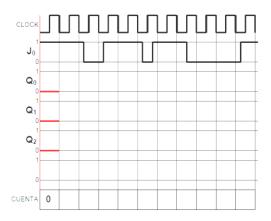
LE V Contadores Síncronos

 Seja o seguinte CI 74LS193 (contador síncrono crescente/decrescente de módulo 16 e carga assíncrona). As entradas P3P2P1P0=1011, conforme desenho abaixo. Determine os seguintes sinais: Q3, Q2, Q1, Q0 e TCu (Os pontilhados abaixo são meramente ilustrativos).

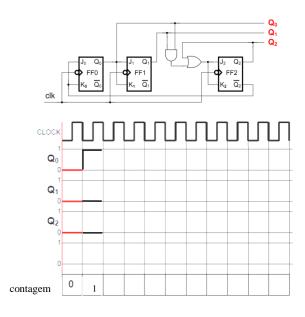


- 2) Projete e desenhe um contador síncrono que conte a seguinte sequência: 01-> 11 -> 01 -> 11 ... Os estados inválidos (que não ocorrerão) deverão ir para 01.
- 3) Observe o contador abaixo. Complete o diagrama de tempo (apenas os próximos 5 valores) e **escreva o valor de contagem** (sendo o Q2 o FF mais significativo).

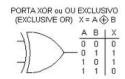




4) Observe o contador abaixo. Complete o diagrama de tempo (apenas os próximos 5 valores ) e **escreva o valor de contagem** (sendo o Q2 o FF mais significativo).



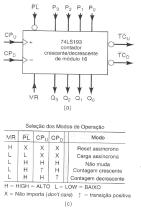
## **DADOS**



## UERGS – Adriane Parraga

## Tabela de transição de estados

Transição na saida	Estado atual Q(n)	Próximo estado Q(n+1)	J	K
0->0	0	0	0	×
0->1	0	1	1	×
1->0	1	0	x	1
1->1	1	1	X	0



	CPU	Entrada de clock para contagem crescente (ativo na subida)	
	CPD	Entrada de clock para contagem decrescente (ativo na subida)	
	MR	Entrada assíncrona de reset geral (ativa em ALTO)	
	PL	Entrada assincrona de carga paralela (ativa em BAIXO)	
	P <sub>0</sub> -P <sub>3</sub>	Entradas de dados paralelos	
	Q <sub>0</sub> -Q <sub>3</sub>	Saidas dos flip-flops	
	TCD	Saída de contagem terminal decrescente (ativa em BAIXO)	
	TC <sub>U</sub>	Saída de contagem terminal crescente (ativa em BAIXO)	
(b)			