

- 1) A figura abaixo apresenta um somador completo de 4 bits. Sabendo que a simbologia de transferência de conteúdo do registrador A para o registrador B é $[A] \rightarrow [B]$. E $[M]$ é o conteúdo da memória.

a. Qual o conteúdo final do registrador A de acordo com a seguinte sequência:

- $[A] = 0000$
- $[M] = [1001]$
- $[M] \rightarrow [B]$
- $[M] = [1001]$
- $[S] \rightarrow [A]$
- $[M] = [0110]$
- $[M] \rightarrow [B]$
- $[M] = [1001]$
- $[S] \rightarrow [A]$

b. Faça o diagrama de tempo que representa toda esta operação, incluindo todos os sinais envolvidos (load, clear, transfer e o conteúdo do registrador A).

c. Faça as modificações necessárias para o circuito se tornar um somador/subtrator (considere o somador completo como uma caixa preta).

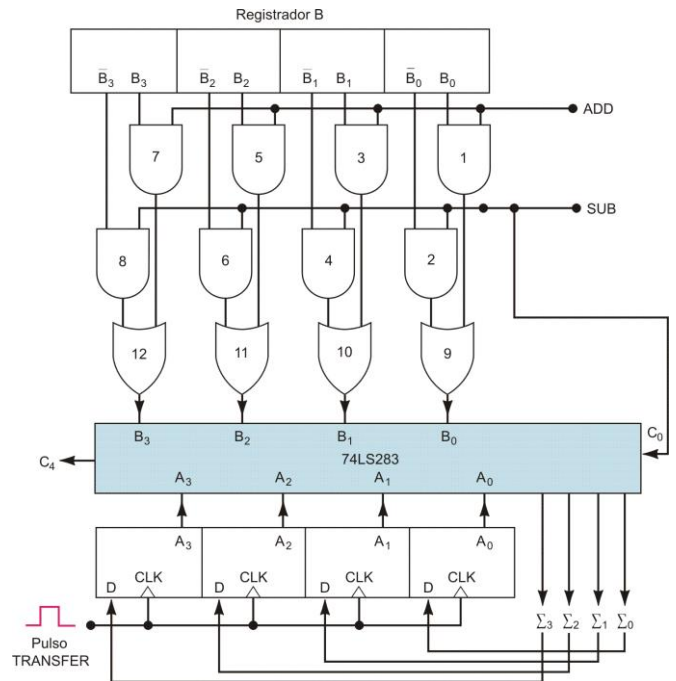


FIGURA 6-13 Somador/subtrator paralelo usando o sistema de complemento de 2.

SEÇÃO 6-2

6-2. Represente cada um dos seguintes números decimais com sinal no sistema de complemento a 2. Utilize um total de oito bits incluindo o bit de sinal.

- | | | |
|----------|----------|----------|
| (a) +32 | (e) +127 | (i) -1 |
| (b) -14 | (f) -127 | (j) -128 |
| (c) +63 | (g) +89 | (k) +169 |
| (d) -104 | (h) -55 | (l) 0 |

6-3. Cada um dos números seguintes representa um número decimal com sinal no sistema de complemento a 2. Determine o valor decimal de cada um. (Sugestão: Utilize a negação para converter números negativos em positivos.)

- | | |
|--------------|--------------|
| (a) 01101 | (f) 10000000 |
| (b) 11101 | (g) 11111111 |
| (c) 01111011 | (h) 10000001 |
| (d) 10011001 | (i) 01100011 |
| (e) 01111111 | (j) 11011001 |

6-4. (a) Qual faixa de valores decimais com sinal pode ser representada usando 12 bits incluindo o bit de sinal?

(b) Quantos bits seriam necessários para representar números decimais de -32.768 até +32.767?

6-5. Relacione, em ordem, todos os números com sinal que podem ser representados com cinco bits usando o sistema de complemento a 2.

6-6. Represente cada um dos valores decimais a seguir como um valor binário de cinco bits com sinal. Depois negue cada um.

- (a) +7 (b) -12 (c) +15 (d) -1

6-13. Some os números decimais a seguir após convertê-los para seu código BCD.

- | | |
|---------------|---------------|
| (a) 74 + 23 | (d) 385 + 118 |
| (b) 58 + 37 | (e) 998 + 003 |
| (c) 147 + 380 | (f) 623 + 599 |

SEÇÃO 6-15

6-27. Para o circuito da Fig. 6-13, determine as saídas de soma para os seguintes casos.

- Registrador A = 0101 (+5), registrador B = 1110 (-2); SUB = 1, ADD = 0
- Registrador A = 1100 (-4), registrador B = 1110 (-2); SUB = 0, ADD = 1
- Repita o item (b) com ADD = SUB = 0.

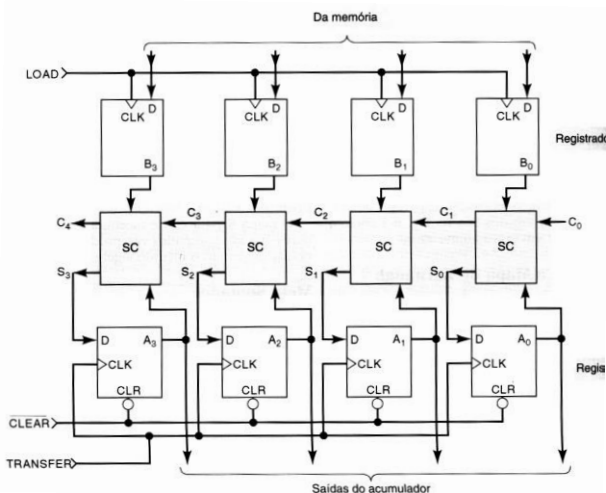


Figura : Somador Completo de 4 bits com registradores B e acumulador.