

ERT Refleksjonsnotat 17-18 Uke 43

Navn: Lars André Roda Jansen

Dato:

Læringsutbytte:

Tre på topp ERT-17:

1. Design og oppbygging av adressekoder og RAM

Dekoderen benyttes sammen med en RAM-minnecelle for å kunne bestemme hvilket word w skal benyttes for å hente ut verdier fra minnecella

En RAM-minnecelle er en enhet som består av en samling av minner som kan lagre én verdi hver. Den brukes for å kunne lagre bit tilstander.

2 invertere koblet sammen lager en minnecelle fordi de vil holde på hverandres tilstand helt til en sterk nok spenning blir påført de.

2. Kombinatorisk logikk med oppslagstabell

En oppslagstabell er en tabell som du kan se på dine inngangsverdier og få ut ett svar på en utgangsverdi

De kan realiseres ved å se på den boolske algebraen som trengs for å kunne skape 1-resultatene i oppslagstabellen, akkurat som i en sannhetstabell.

Fordelen med å bruke oppslagstabell er at det er umulig å gjøre regnefeil når du har alle svarene gitt alle mulige innverdier.

3. Svitsj-modell med motstander

Motstanden i minnecellen påvirket vår evne til å endre tilstanden i minnecellen med at jo høyere den var, jo høyere kunne vår inngangsverdimotstand R_N være.

Driveren sin evne til å endre innholdet i minnecella hadde vært umulig fordi vi hadde måtte hatt en inngangsmotstand $R_N < 0$ som ikke fungerer.

Tre på topp ERT-18:

1. Synkron

Ett system er synkront når dens signaler skifter verdier samtidig. Fordelen med dette er at du ikke må ta hensyn til tiden ting bruker på å utregne, noe som kan føre til «Data-hazards (lol)»

2. D-vippe

Trekantsignalet betyr nok at vi bare bryr oss om når signalet endres fra 0 til 1 og ingenting annet

Det som må til for at Q skal bli lik inngangen D er at CLK skal gå fra 0 til 1

Hensikten med EN er å kunne bestemme når vi vil at Q skal kunne endre verdi, og hensikten med reset er for å kunne sette Q som null om det skulle ønskes. EN kan bli implementert med en MUX eller en CMOS og PMOS, samme med resetten.

3. Teller

Telleren blir satt til 0 om den når sin maksimale verdi. Den er både kombinatorisk og synkron fordi den inneholder en adder som er kombinatorisk og ett register som er synkront.

Bilder:

Bilder...

Hvor langt (hvilken oppgave) kom du i løpet av fredagen?

Tekst...

Hva lurte jeg på?:

Parabitgenerator (fått svar yippi)

ERT 17

Oppgave 1

a)

a) Minne celler



b)

Trenger 3 adressebit for å kunne skape 8 ulike signaler

Oppgave 2

Ordlengden til dette Ram-minnet er på 8 bit

Oppgave 3

a & b)

a)	A	B	C	\bar{A}	\bar{B}	\bar{C}	w_0	w_1
	0	0	0	1	1	1	1	0
	0	0	1	1	1	0	0	1
	0	1	0	1	0	1	0	0
	0	1	1	1	0	0	0	0
	1	0	0	0	1	1	0	0
	1	0	1	0	1	0	0	0
	1	1	0	0	0	1	0	0
	1	1	1	0	0	0	0	0

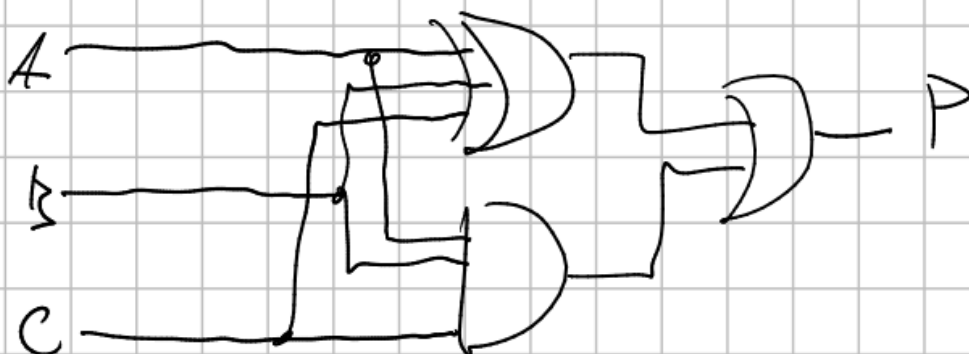
Oppgave 4

a)

a)	A	B	C	P
	0	0	0	0
	0	0	1	1
	0	1	0	1
	0	1	1	0
	1	0	0	1
	1	0	1	0
	1	1	0	0
	1	1	1	1

b)

$$b) \quad P = \underbrace{\overline{A} \overline{B} C + \overline{A} B \overline{C} + A \overline{B} \overline{C}}_{XOR} + \underbrace{A B C}_{AND}$$



Oppgave 5

Det må være lagret et partall mengde med 1-ere i w_0 - w_7 for att P skal gi ut riktig verdi

$$w_0 = 0$$

$$w_1 = 1$$

$$w_2 = 1$$

$$w_3 = 0$$

$$w_4 = 1$$

$$w_5 = 0$$

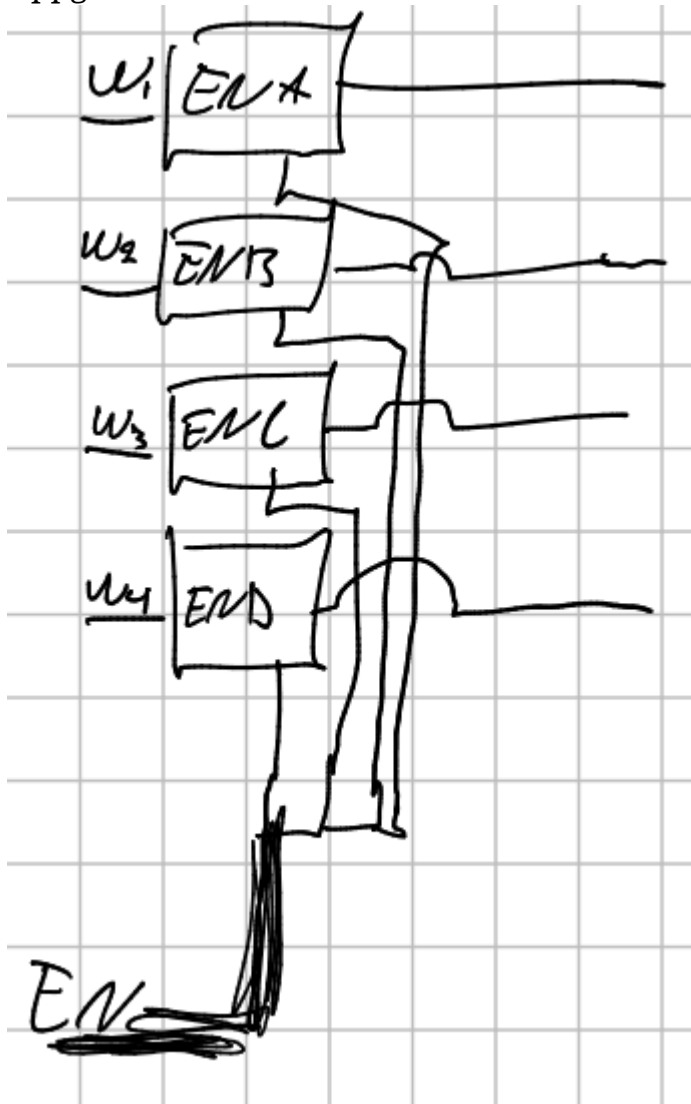
$$w_6 = 0$$

$$w_7 = 1$$

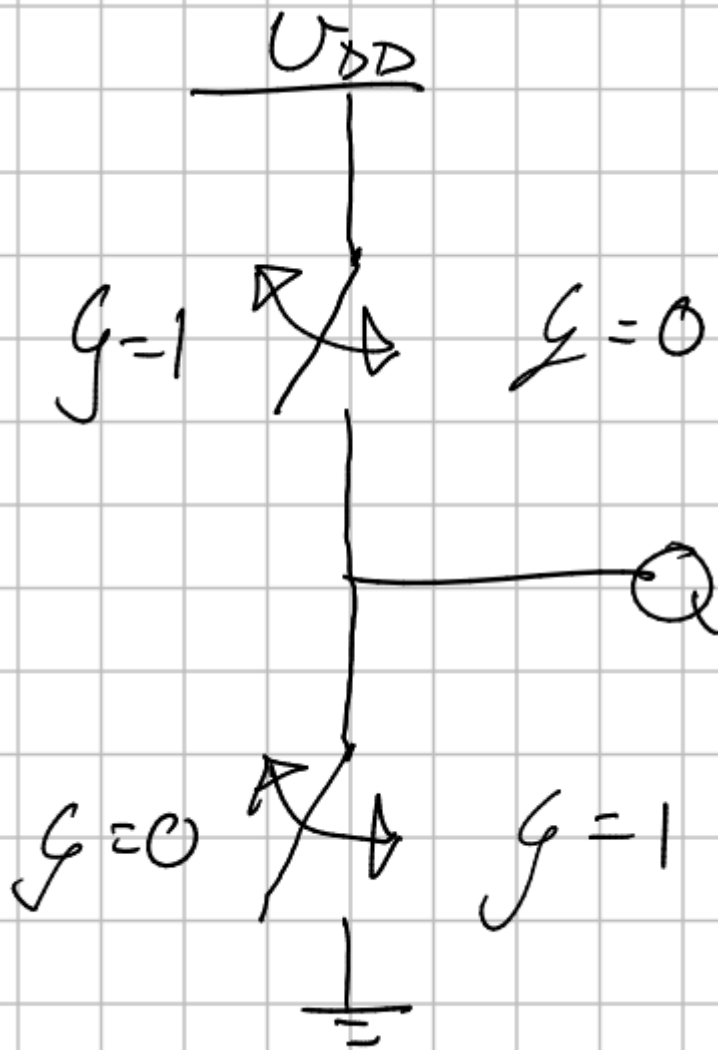
Oppgave 6

Det er bare fire styresignaler fordi hver styresignal inneholder 8 verdier.

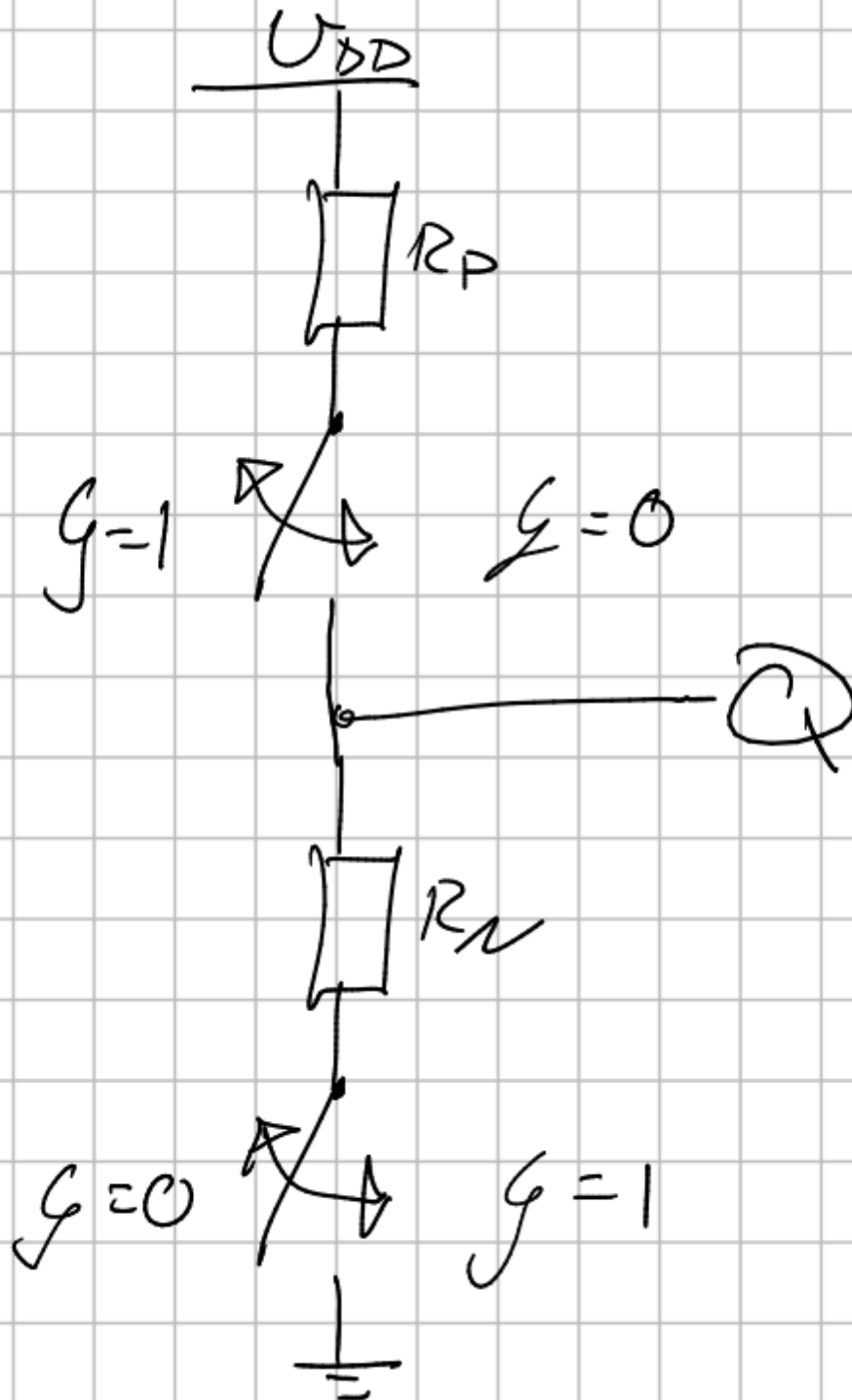
Oppgave 7



Oppgave 8



Oppgave 9

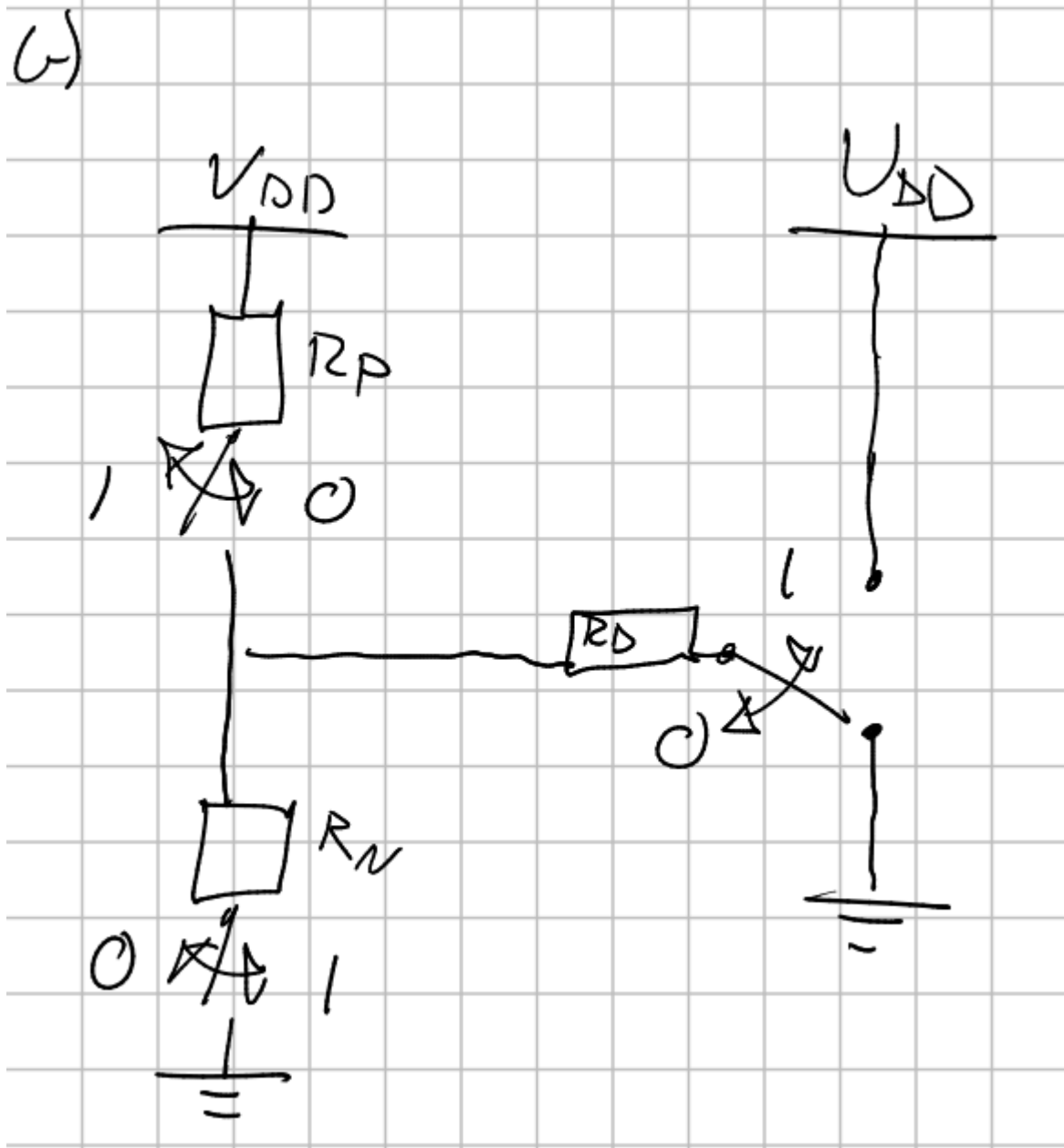


Oppgave 10

a)

Driveren må være i 0 for att vi skal kunne skrive noe nytt på minnet.

b)



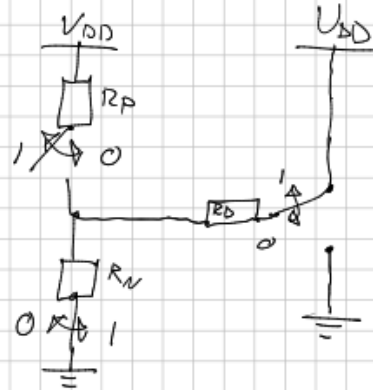
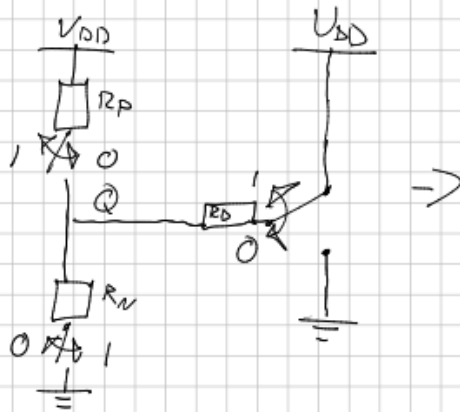
Oppgave 11

a)

Oppg 11

a) $V_{DD} = 5V$ Stegmargin $V_{IL} = 0,8V$

$$R_P = R_N = 10\Omega$$



$$Q > 4,2V$$

$$\frac{V_{DD}}{R_D} = \frac{Q}{R_N}$$

$$R_D = \frac{V_{DD}}{Q} \cdot R_N$$

$$R_D = \frac{5V}{4,2V} \cdot 10\Omega$$

$$R_D = 12\Omega$$

$$V_Q > 5 - 0,8 = 4,2V$$

$$V_{DD} \cdot \frac{R_N}{R_N + R_D} > V_Q$$

$$V_{DD} \cdot R_N > V_Q (R_N + R_D)$$

$$V_{DD} \cdot R_N > V_Q R_N + V_Q R_D$$

$$V_{DD} R_N - V_Q R_N > V_Q R_D$$

$$R_N (V_{DD} - V_Q) \cdot \frac{1}{V_Q} > R_D$$

$$R_D < 10(5 - 4,2) \cdot \frac{1}{4,2}$$

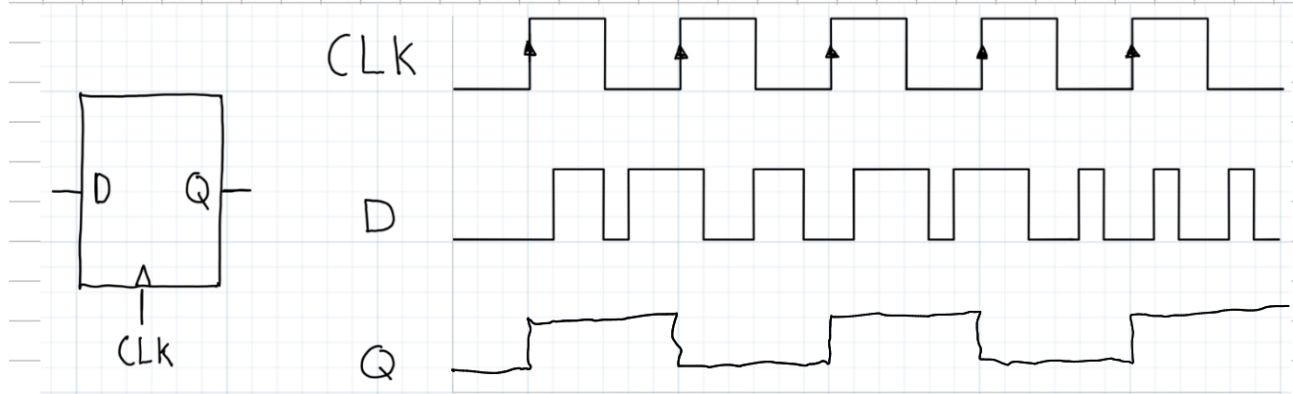
$$R_D < \frac{8}{4,2}$$

$$R_D < 1,9\Omega$$

ERT 18

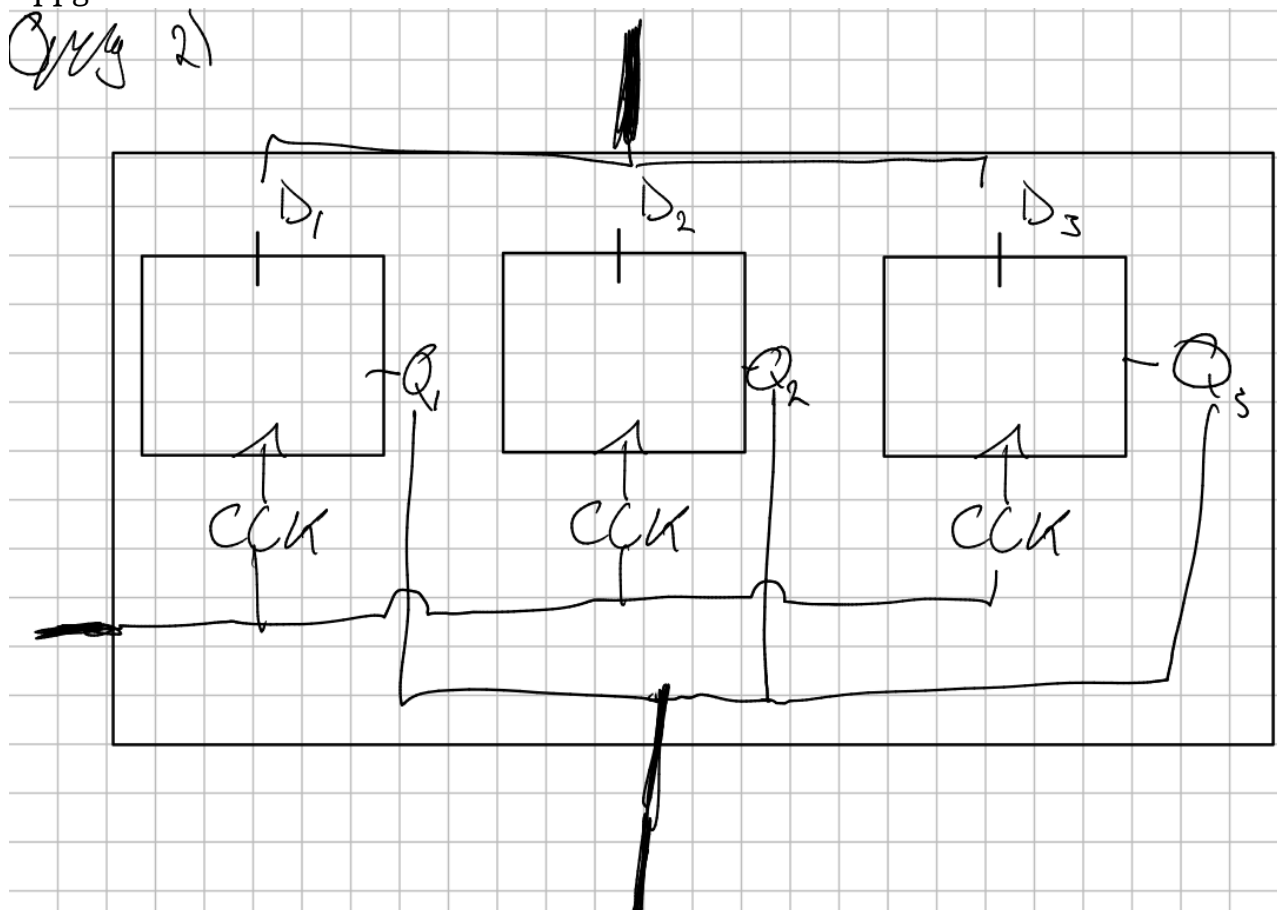
Oppgave 1

Oppg 1)



Oppgave 2

Oppg 2)

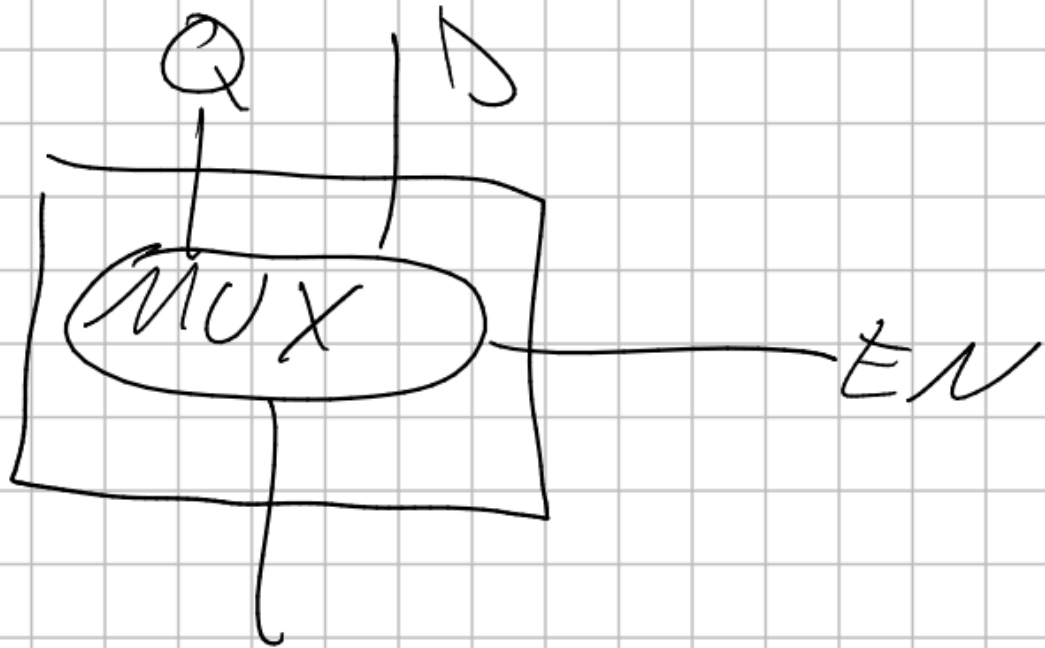


Oppgave 3

s₇ er ikke ferdig utregnet innen den tiden fordi den består av en rekke av fulladderere, hvorfor den bytter om att fort vet jeg ikke. Vi har et register ved slutten fordi vi vil att resultatet skal være synkronisert.

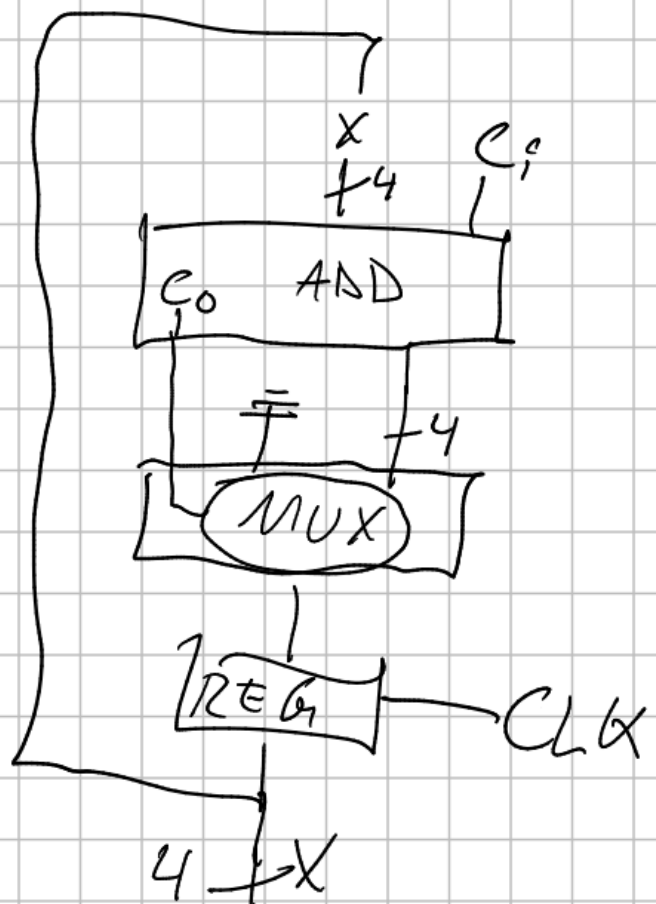
Oppgave 4

Opgave 4)

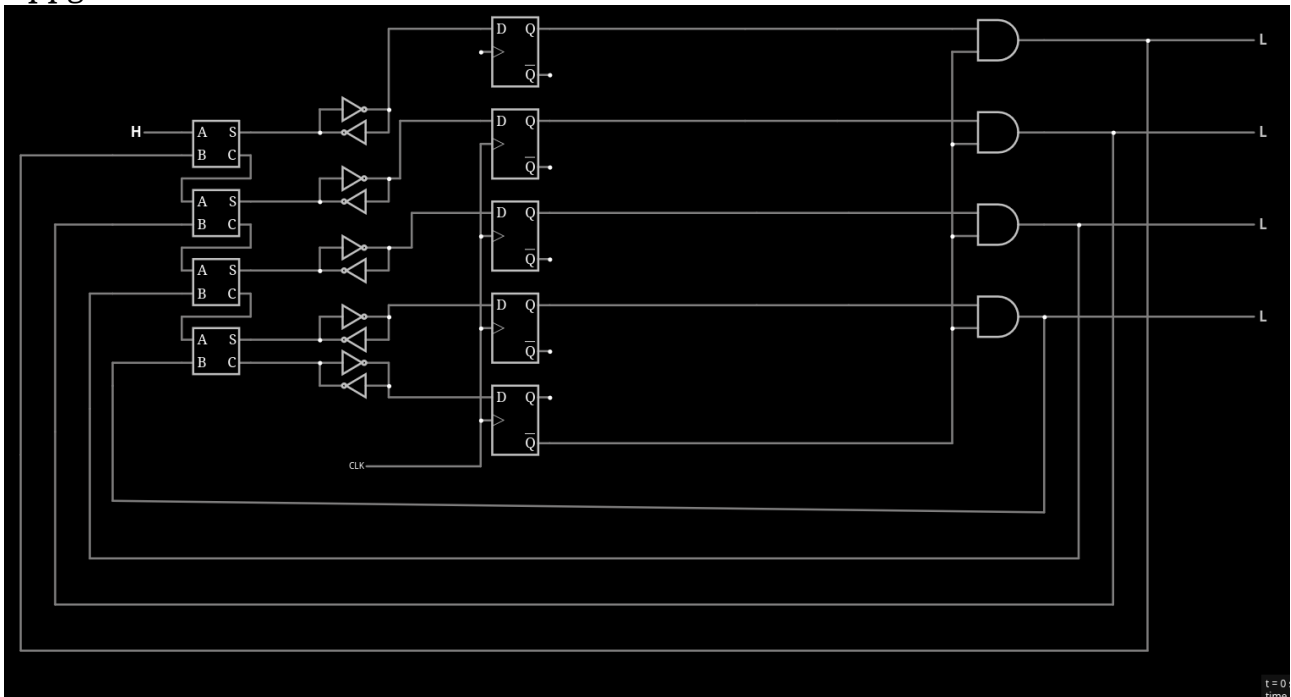


Oppgave 6

Opgave 6



Oppgave 7



Får ikke testa om den funker på grunn av forbanna CLK

<https://tinyurl.com/287ada5v>

Nøtt

Det er ikke nødvendigvis en pålitelig løsning fordi vi bryr oss om når CLK endrer til 1, og når AND-gaten går bare i gjennom når EN og CLK er 1, så kan det være at D inngangen har endret tilstand innen AND-gaten er ferdig «prosessert»