

ERT Refleksjonsnotat 4-5 Uke 36

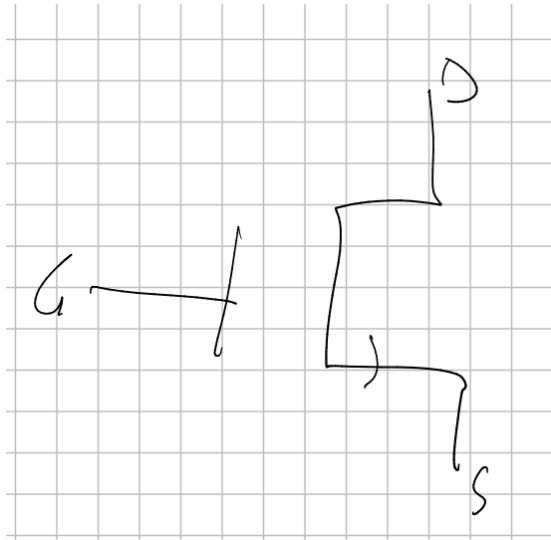
Navn: Lars André Roda Jansen

Dato:

Læringsutbytte:

Tre på topp ERT-4:

1. NMOS-transistor

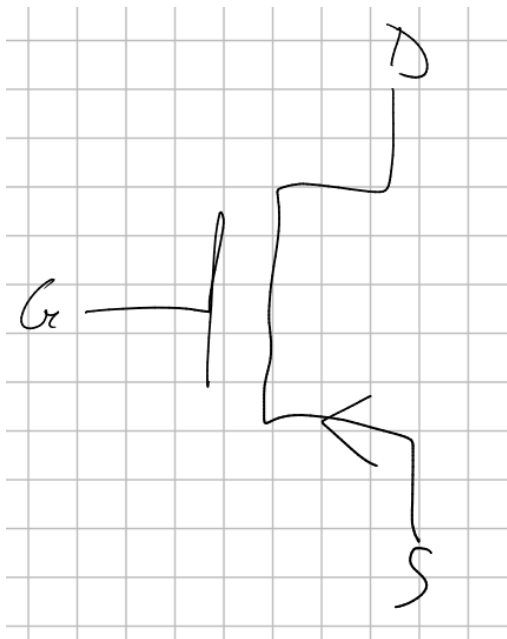


G må ha en strøm $\rightarrow 0$ for att den skal lede strøm fra D til S.

Det går strøm fra G og D til S.'

Hadde koblet opp med ett potensiometer inn i G, også en strømforsyning fra D til S.

2. PMOS-transistor

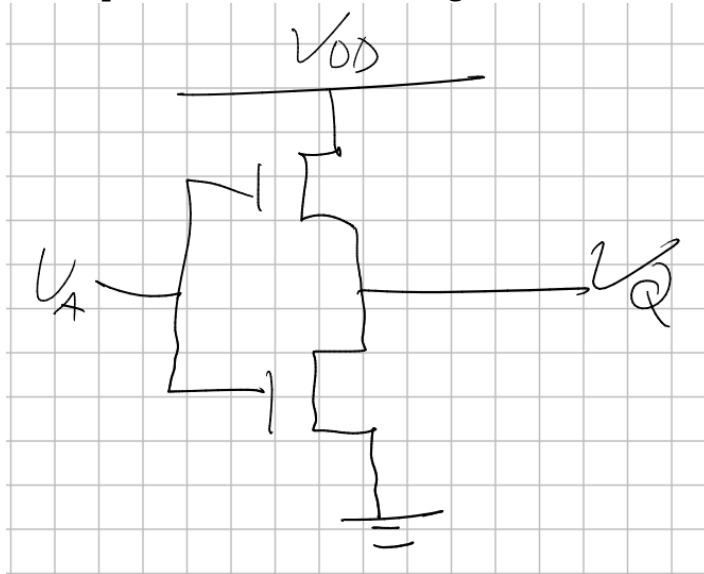


For at den skal lede strøm så må det gå en strøm gjennom G.

Samme som en NMOS-transistor

3.

Totempæl er en PMOS over og en NMOS under.



Den leder en strøm 1 når det ikke går en strøm fra v_A .

Utgangsspenningen er det motsatte av inngangsspenningen.

Tre på topp ERT-5:

1. Logisk port:

En inverter består av en spenning som går inn i en PMOS og NMOS i serie, med en utgangsleder fra midten av de.

Det går bare strøm i enten inngangen eller utgangen av en inverter. I andre logiske porter så kan det som regel gå strøm i enten én av inngangene og utgangen.

Logiske porter, som f.eks. en inverter består av PMOS og NMOS som består av kondensatorere, som må lades opp, men dette skjer veldig fort.

2. Sannhetstabell:

En sannhetstabell viser kombinasjonen og resultatet av ulike elementer når de er enten sanne eller usanne. Den brukes for å kunne enkelt regne ut resultatet av ulike elementers sannhetsverdi.

3. Tidsdiagram:

Et tidsdiagram er essensielt en sannhetstabell som viser 0 og 1 som høy og lav spenning utover tid.

Bilder:

Bilder...

Hvor langt (hvilken oppgave) kom du i løpet av fredagen?

FERDIG :) :) :)

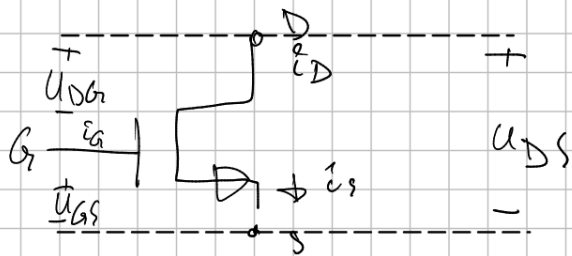
Hva lurte jeg på?:

Spennings og strøm i transistorer

Oppgave 2

Oppg 2)

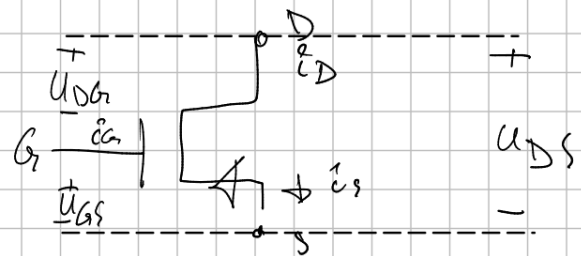
NMOS



$$\hat{i}_D + \hat{i}_G = \hat{i}_S$$

$$\hat{i}_D = \hat{i}_S - \hat{i}_G$$

PMOS



$$\hat{i}_D + \hat{i}_G = -\hat{i}_S$$

$$\hat{i}_D = -\hat{i}_G - \hat{i}_S$$

Oppgave 3

Oppg 3)

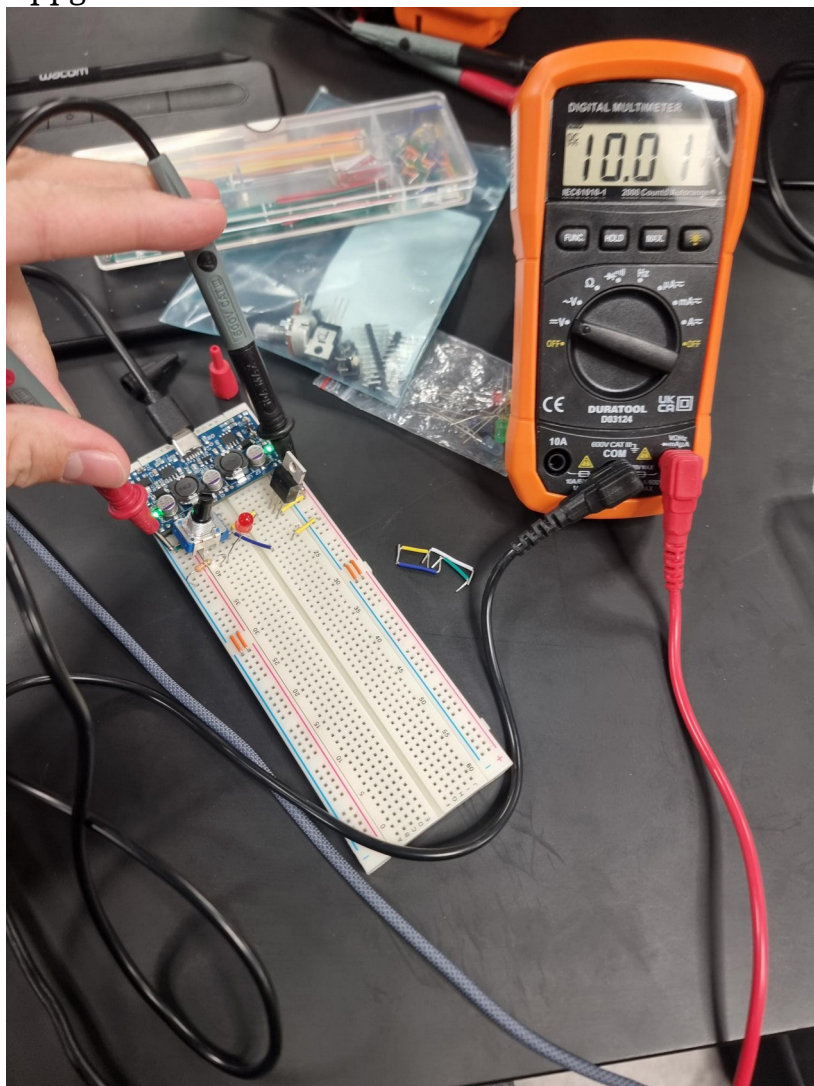
$$U = U_1 + U_2$$

$$U_{DG} - U_{GS} = U_{DS}$$

$$U_{DG} = U_{DS} + U_{GS}$$

Like ??

Oppgave 4



Oppgave 5

Så vidt lyser: $u_{GS} = 1.95V$

Full styrke: $u_{GS} = 10.01V$

Oppgave 6

u _{GS} [V]	u _R [V]	i _D [mA]
10.01	8.10	1235
9.19	8.10	1235
8.10	8.11	1235
6.47	8.10	1235
5.67	8.10	1235
4.31	8.10	1235
3.24	8.11	1235
2.33	8.10 (Fyll styrke)	1235
1.98	1.55 (Lyser såvidt)	6452
1.71	0.06 (Lyser ikke)	1666e2
0	0	inf

Oppgave 7

Oppgave 8

AV mener man nok når lysdioden er av

PÅ mener man nok når lysdioden er på

Lysdioden viser når en spenning går gjennom den, som tilsvarer når
potensiometeret ikke sender en strøm i_G

Oppgave 9

Jo mer strøm det går gjennom i_G, jo mindre strøm kommer ut av i_S, så det blir
som en bryter.

Oppgave 10

$$i_S = i_D + i_G$$

Oppgave 11

Oppg 11)

$$U = u_{GS} + u_i$$

$$u_{GS} = U - u_i$$

$$\varepsilon_D = -\frac{u_i}{R}$$

Oppgave 12

ERT 5

Oppgave 2)

Tabell 1 er en inverter fordi utgangssignal Q er det motsatte av inngangssignal A .

Tabell 2 er en AND-gate fordi utgangssignal Q er 0 med mindre inngangssignal A og B er 1.

Tabell 3 er en OR-gate fordi utgangssignal Q er 1 når A eller B eller begge er 1.

Oppgave 3)

A	B	Q
0	0	1
0	1	1
1	0	1
1	1	0

Oppgave 4)

A	B	Q
0	0	1
0	1	0
1	0	0
1	1	0

Oppgave 5)

Figur 3 er en NAND-gate fordi det er det motsatte av en AND-gate, der hvis både A og $B = 1$, så er $Q = 0$, ellers er $Q = 1$.

Figur 4 er en NOR-gate fordi når A eller $B = 1$, så er $Q = 0$, ellers er $Q = 1$.

Oppgave 6)

Ques 6)

Investor

A

Q

0

1

2

3

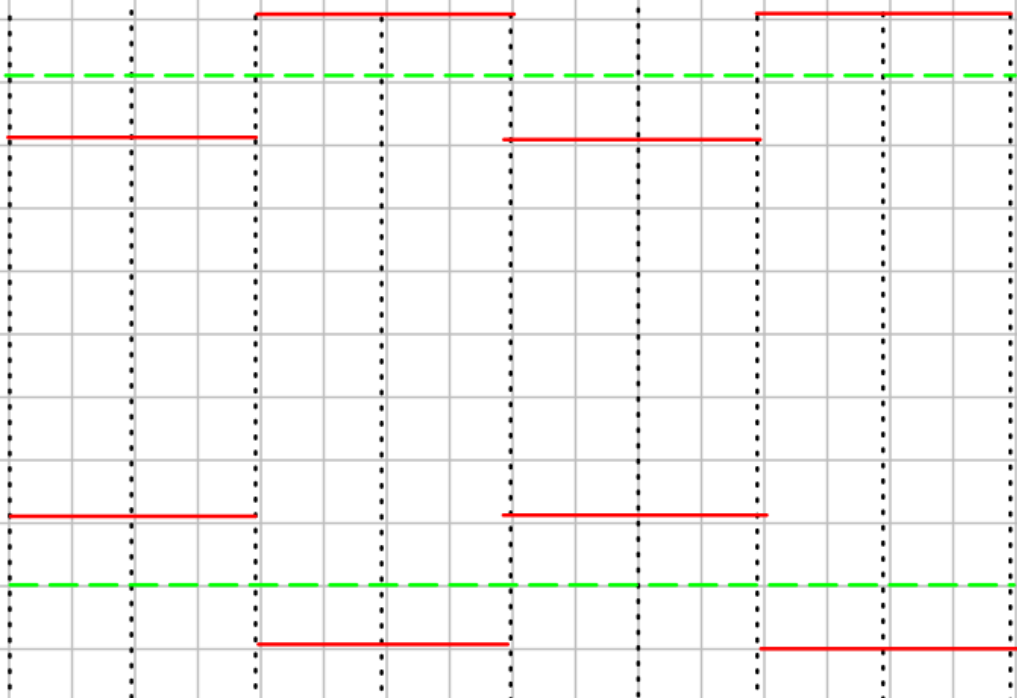
4

5

6

7

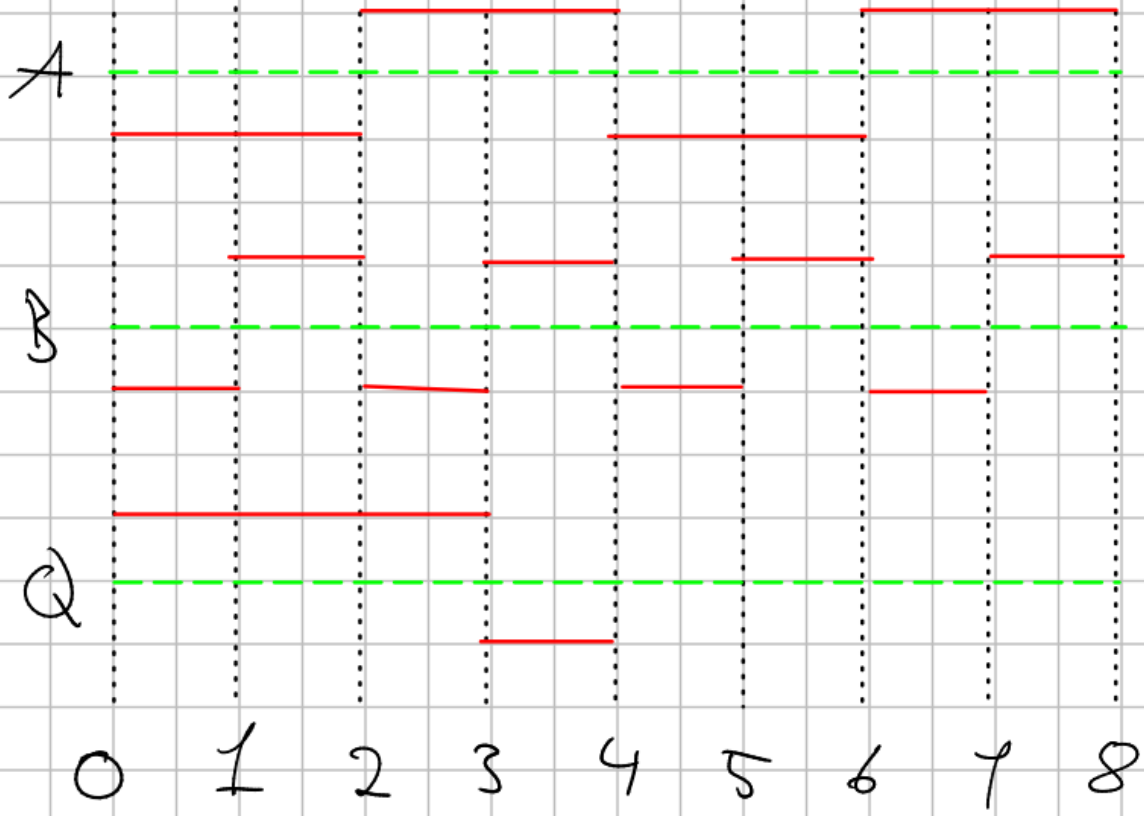
8



Oppgave 7)

Oppg 7

AND-GATE



Oppgave 8)

Oppg 8

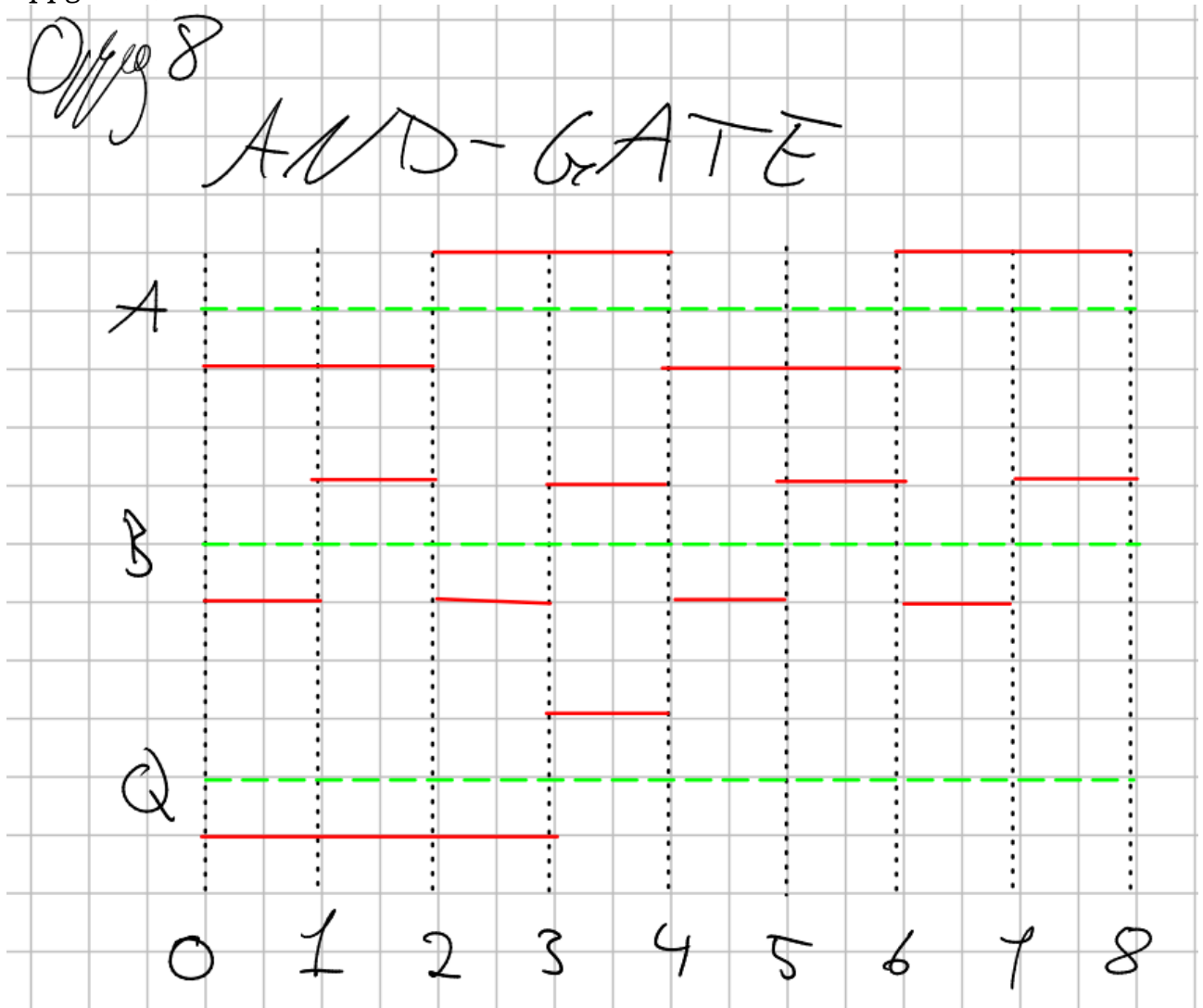
AND-GATE

A

B

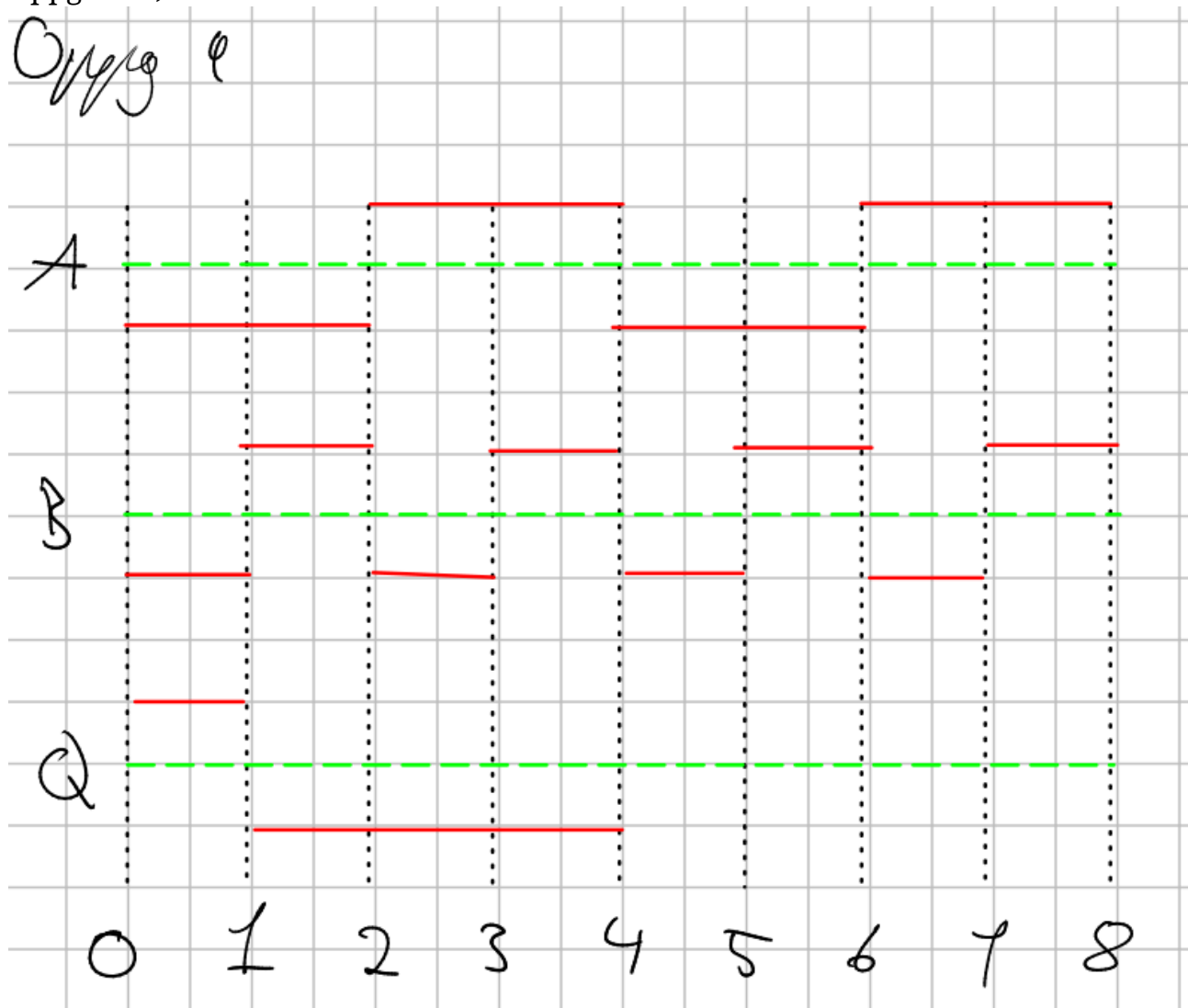
Q

0 1 2 3 4 5 6 7 8

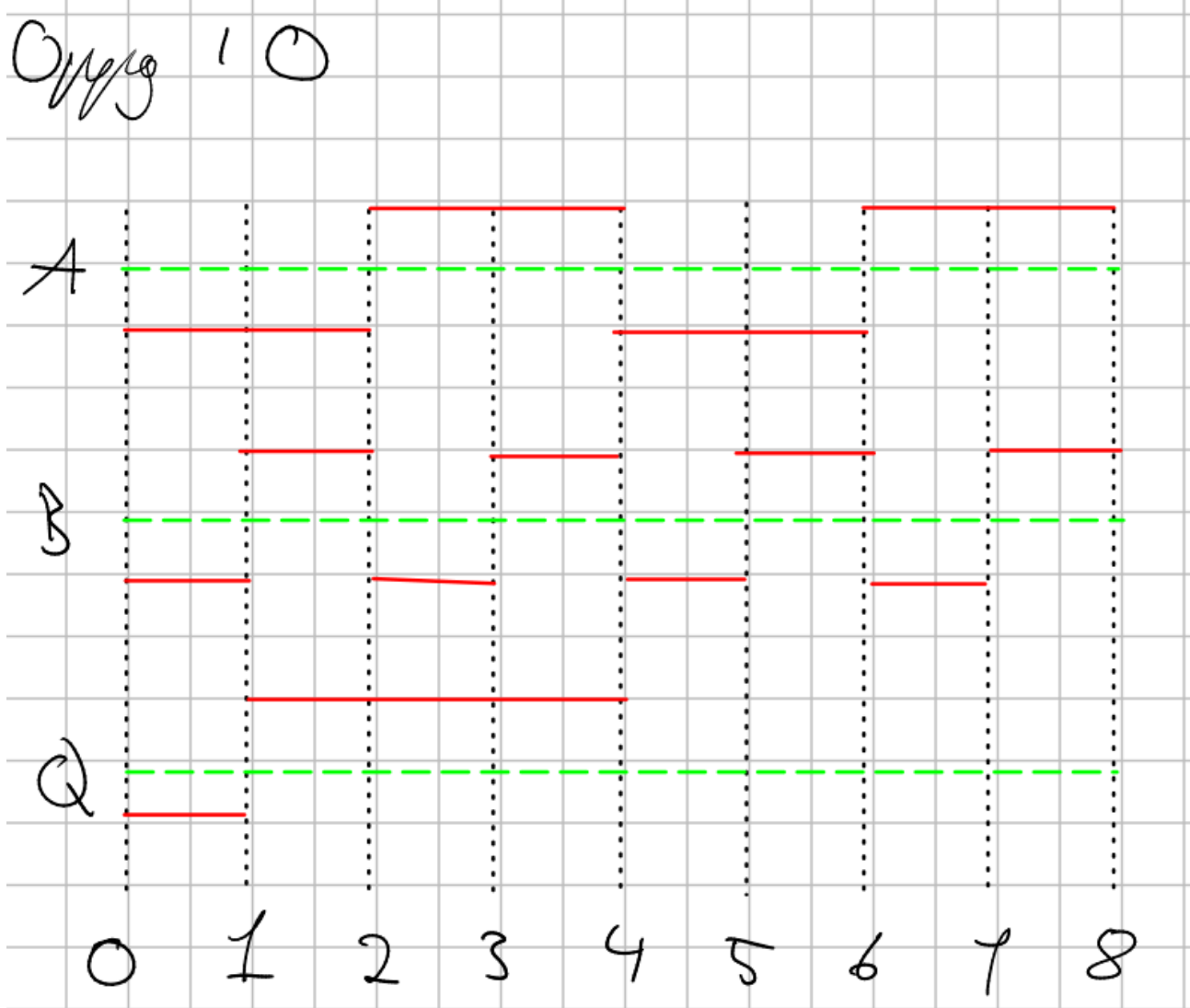


Oppgave 9)

Oppg 9



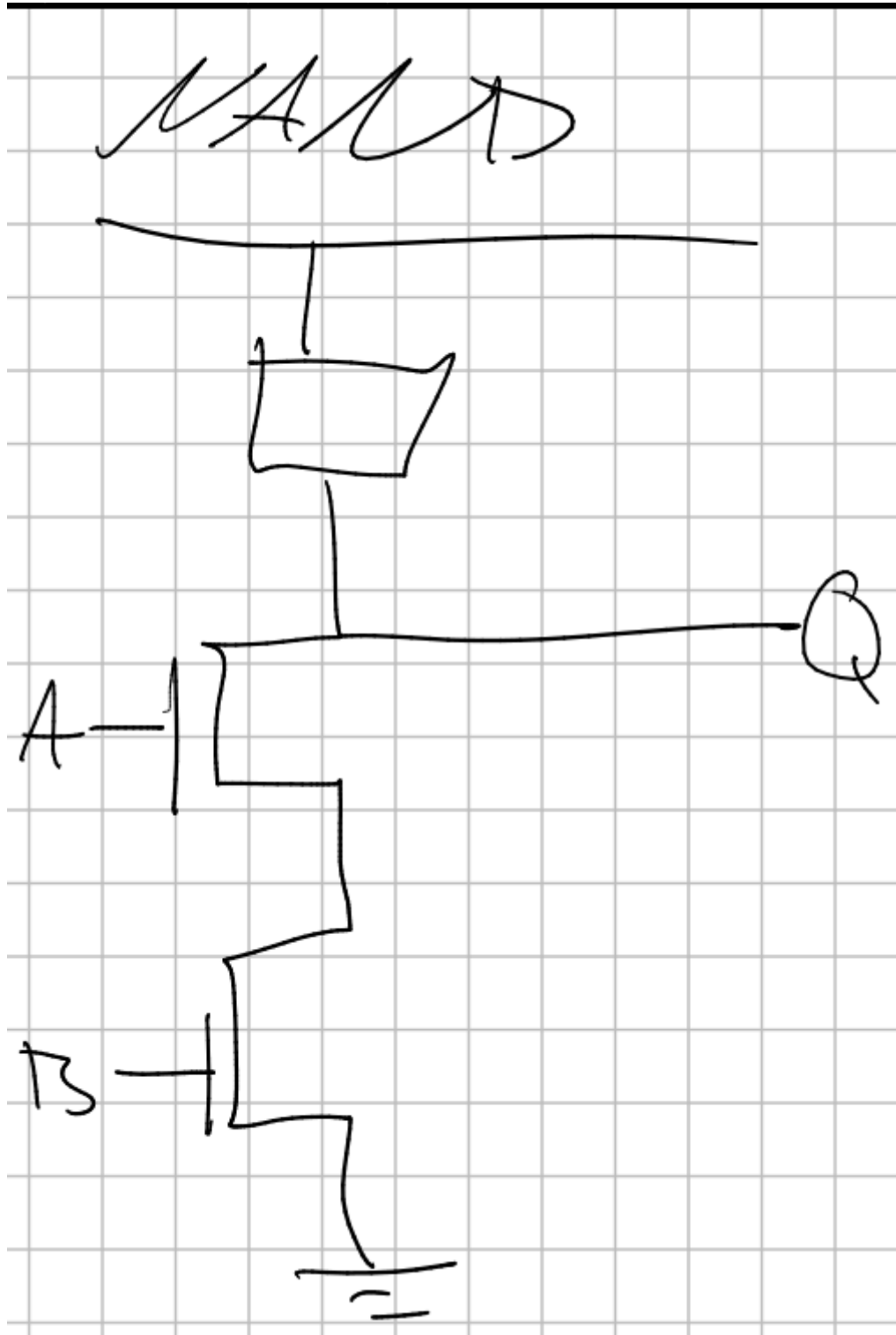
Oppgave 10



Oppgave 11

Hvis A er lav så går det strøm til jord, hvis A er høy så er NMOS-transisoren en inf motstand. Motstanden er for å unngå en kortslutning mellom v_{DD} og jord når A er lav.

Oppgave 12



Dagens nøtt

Dagens nøtt



A	B	C
0	0	0
0	1	1
1	0	0
1	1	1