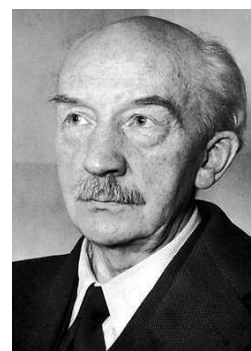


Logique séquentielle et stabilité



Walther Bothe (1891-1957) physicien, mathématicien, et chimiste allemand inventeur du circuit de coïncidence, reçut le prix Nobel de physique en 1954 pour la création de la première porte logique ET électronique moderne en 1924.

SOURCES : Wikipedia

PLAN DU CHAPITRE

I	Principe des circuits logiques séquentiels : la rétroaction	2
I.1	Introduction	2
I.2	Quelques définitions préliminaires	2
II	Circuits logiques astables : exemple du Trigger de Schmitt	3
III	Circuits logiques monostables	6
IV	Les circuits bistables : exemple des bascules RS à portes NAND et NOR - fonction mémoire	8
IV.1	Principe	8
IV.2	Construction	8
IV.3	Fonctionnement de la bascule RS à portes NOR	9
IV.4	Fonctionnement de la bascule RS à portes NAND	10

I Principe des circuits logiques séquentiels : la rétroaction

I.1 Introduction

Un circuit logique est appelé "séquentiel" lorsque l'état logique de sa ou ses sorties dépend non seulement des états actuels d'entrée, mais également des séquences des entrées passées. Il se compose généralement de circuits logiques combinatoires avec des entrées et des sorties, et comporte également un "retour" d'une ou plusieurs sorties en direction d'une ou plusieurs entrées, ce qui va permettre aux entrées passées d'influencer l'état de sortie ; ce retour, appelée **rétroaction**, constitue en quelques sortes une "mémoire" ; on peut représenter très schématiquement un tel circuit par :

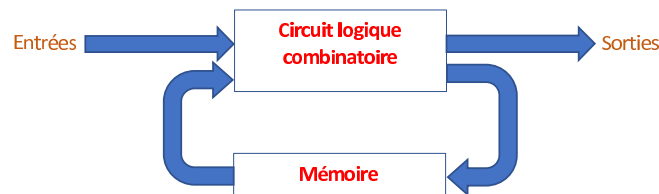


FIGURE IV.1 – Synoptique d'un circuit logique séquentiel

Définition I-1: CIRCUIT SÉQUENTIEL

Un circuit séquentiel est caractérisé par une fonction de sortie dépendant des entrées et également de ses états antérieurs stockés dans une mémoire :

$$s_i = f(E_j, Q_k)$$

INTÉRÊT : Ces circuits permettent de réaliser :

- des oscillateurs numériques dits **astables** (à la base des horloges informatiques).
- des générateurs d'impulsions "calibrées" dits **monostables**.
- des dispositifs de mémoire numérique appelés **bistables** (à la base des mémoires informatiques).

I.2 Quelques définitions préliminaires

Définition I-2: ETAT STABLE

Un circuit logique présente un état **stable** si ses états logiques de sortie sont invariants dans le temps quand ses états logiques d'entrée le sont aussi.

Définition I-3: CIRCUIT ASTABLE

Un circuit à rétroaction est dit **astable** lorsque l'un de ses signaux de sortie oscille en permanence entre les états logiques 0 et 1 alors qu'aucun signal d'entrée n'y est envoyé.

EXEMPLE ÉLÉMENTAIRE :

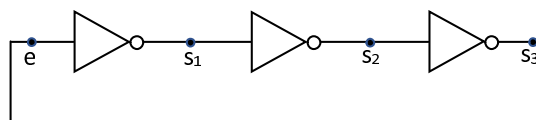


FIGURE IV.2 – Exemple élémentaire de circuit astable

Dans ce circuit, on a : $s_3 = \overline{s_2} = \overline{\overline{s_1}} = \overline{\overline{e}} = e$ or la rétroaction assure également $s_3 = e$. Ces deux derniers résultats sont incompatibles ; cependant, la commutation des portes n'est pas instantanée mais prend un temps τ , dépendant de la technologie employée dans les circuits. Concrètement, si l'on impose $e(0) = 1$ l'état d'entrée à l'instant $t = 0$, il faudra 3τ pour assurer que cet état se soit propagé à la sortie de la dernière porte pour laquelle on aura alors :

$$s_3(3\tau) = \overline{e(0)} \stackrel{\text{rétroaction}}{=} e(3\tau) \Rightarrow \text{bascullement de l'entrée à } \overline{e(0)} = 0 \text{ à } t = 3\tau$$

puis la commutation suivante des trois portes donnent :

$$s_3(6\tau) = \overline{e(3\tau)} \stackrel{\text{rétroaction}}{=} e(6\tau) \Rightarrow \text{bascullement de l'entrée à } \overline{e(3\tau)} = 1 \text{ à } t = 6\tau$$

et ainsi de suite...

Définition I-4: CIRCUIT BISTABLE

Un circuit à rétroaction est dit **bistable** lorsqu'il possède deux états stables et qu'il passe de l'un à l'autre par une modification d'au moins un signal logique d'entrée, généralement en y envoyant une impulsion.

Définition I-5: CIRCUIT MONOSTABLE

Un circuit à rétroaction est dit **monostable** lorsqu'il possède deux états, l'un stable et l'autre instable ; il passe spontanément de l'état instable à l'état stable (après un temps souvent déterminé par des composants extérieurs), mais nécessite une modification d'au moins un signal logique d'entrée pour passer de l'état stable à l'état instable.

II Circuits logiques astables : exemple du Trigger de Schmitt

On va étudier ici une version du Trigger de Schmitt exploitant deux portes NAND. C'est un oscillateur astable, donc capable de délivrer un signal rectangulaire :

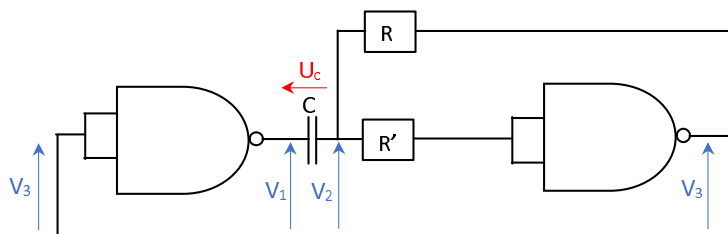


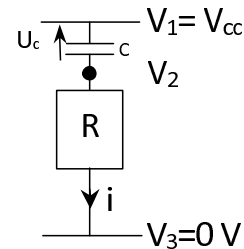
FIGURE IV.3 – Trigger de Schmitt à portes NAND

ÉTUDE DU FONCTIONNEMENT :

On supposera que le condensateur est initialement déchargé $U_c(0) = V_1(0) - V_2(0) = 0$.

Attention : dans l'analyse des circuits astables (donc à rétroaction), on doit postuler l'état de sortie de l'une des portes à l'instant initial choisi.

- PREMIÈRE PHASE : postulons que $V_3 = 0 \text{ V}$, on a alors $V_1(t = 0) = V_{cc} = V_2(t = 0)$ car $U_c(t = 0) = 0$ (qui confirme bien $V_3 = 0 \text{ V}$)!. Le schéma équivalent est :



Le condensateur se charge sous une tension V_{cc} à travers la résistance R ; La tension U_c est alors régie par l'équation différentielle :

$$\frac{dU_c}{dt} + \frac{1}{RC}U_c = \frac{1}{RC}V_{cc} \quad \text{avec } \tau = RC$$

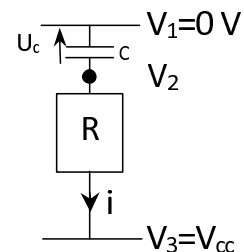
dont la solution est (avec $U_c(0) = 0$) : $U_c = V_{cc} \left(1 - e^{-\frac{t}{\tau}}\right)$

Le basculement de la seconde porte NAND va s'opérer lorsque $V_2 = \frac{V_{cc}}{2}$ c'est à dire : $U_c = V_1 - V_2 = \frac{V_{cc}}{2}$, soit à la date t_1 telle que :

$$t_1 = \tau \cdot \ln(2)$$

⇒ la sortie V_3 passe à V_{cc} .

- SECONDE PHASE : on a $V_3(t_1) = V_{cc}$ donc en ne tenant pas compte du temps de basculement de la porte (cf TP pour cette mesure précise), on a $V_1(t_1) = 0 \text{ V}$; le circuit équivalent est donc :



Remarque II-1: CONSÉQUENCE DE LA CONTINUITÉ DE LA TENSION U_c

La tension U_c est continue (tension aux bornes d'un condensateur), donc $U_c(t_1^-) = U_c(t_1^+) = \frac{V_{cc}}{2}$ c'est à dire :

$$V_1(t_1^-) - V_2(t_1^-) = V_1(t_1^+) - V_2(t_1^+) \implies V_{cc} - \frac{V_{cc}}{2} = 0 - V_2(t_1^+)$$

qui donne :

$$V_2(t_1^+) = -\frac{V_{cc}}{2}$$

Ainsi, V_2 subit une discontinuité de $-V_{cc}$ au moment du basculement.

On a alors la C.I. $U_c(t' = t - t_1 = 0) = \frac{V_{cc}}{2}$ en posant une nouvelle origine des temps $t' = t - t_1$.

L'équation différentielle régissant U_c est désormais :

$$\frac{dU_c(t')}{dt'} + \frac{1}{\tau}U_c(t') = -V_{cc}$$

dont la solution s'écrit : $U_c(t') = \frac{V_{cc}}{2} \left(3e^{-\frac{t'}{\tau}} - 2 \right)$

Le prochain basculement de la seconde porte NAND va s'opérer lorsque $V_2 = -U_c = \frac{V_{cc}}{2}$ donc $U_c = -\frac{V_{cc}}{2}$ soit à la date t'_1 telle que :

$$3e^{-\frac{t'}{\tau}} - 2 = -1 \implies t'_1 = \tau \cdot \ln(3)$$

\implies la sortie V_3 passe à 0 V.

- TROISIÈME PHASE : on a $V_3 = 0$ V donc $V_1 = V_{cc}$ soit de nouveau l'équation de la première phase qui régit l'évolution de U_c avec $U_c(t'' = t - t'_1 - t_1 = 0) = -\frac{V_{cc}}{2}$:

$$\frac{dU_c(t'')}{dt''} + \frac{1}{RC}U_c(t'') = \frac{1}{RC}V_{cc} \quad U_c(t'' = t - t'_1 - t_1 = 0) = -\frac{V_{cc}}{2}$$

dont la solution est :

$$U_c(t'') = V_{cc} \left(1 - \frac{3}{2}e^{-\frac{t''}{\tau}} \right)$$

ce qui engendrera un prochain basculement lorsque $V_2 = \frac{V_{cc}}{2}$ soit $U_c = V_1 - V_2 = \frac{V_{cc}}{2}$, soit :

$$1 - \frac{3}{2}e^{-\frac{t''_1}{\tau}} = \frac{1}{2} \implies t''_1 = \tau \cdot \ln(3)$$

Exercice de cours: (II.0) - n° 1. Tracer le chronogramme des tensions. En déduire la période de fonctionnement de l'oscillateur astable.

NB : Lorsque l'on remplace le condensateur par un quartz, il constitue un oscillateur dont la fréquence est très stable, il peut notamment servir de circuit d'horloge ; à ce titre, il est souvent fourni intégré dans une puce spécialisée (CMOS 4069, 40106....)

III Circuits logiques monostables

On considère le circuit suivant :

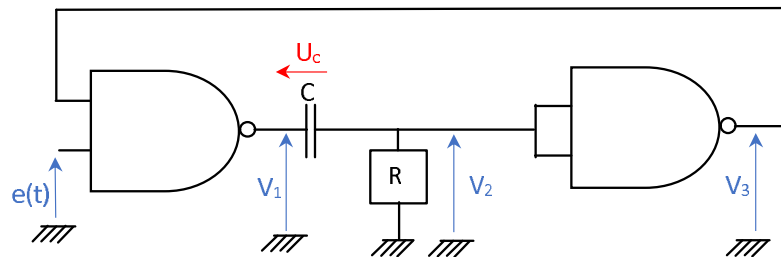


FIGURE IV.4 – Circuit monostable à portes NAND

On suppose d'une part le condensateur déchargé à $t = 0$ soit $U_c(t = 0) = V_1(0) - V_2(0) = 0$ et la tension $e(t)$ à l'état haut, soit $e(t) = V_{cc}$

Attention : exactement comme dans l'analyse des circuits astables, on doit nécessairement postuler l'état de sortie de l'une des portes à l'instant initial. Examinons ici les deux cas possibles pour la tension V_1 en sortie de la première porte :

ANALYSE PRÉLIMINAIRE :

- si $V_1(0) = V_{cc}$ alors $V_2(0) = V_{cc}$ d'où $V_3 = 0$ ce qui confirme bien l'état de sortie de la porte NAND : $V_1 = V_{cc}$. Cependant, la capacité va se charger à travers la résistance R puisque $V_2 \neq 0 \Rightarrow$ l'état n'est pas stable et la tension V_2 va diminuer jusqu'à basculement de la seconde porte.
- si $V_1(0) = 0$ alors $V_2(0) = 0$ la capacité ne va pas se charger à travers R cette fois donc d'où $V_3 = V_{cc}$ ce qui confirme bien l'état de sortie de la porte NAND à $V_1 = 0$, et **un état stable**.

On a donc à $t = 0$: $\begin{cases} V_1(0) = 0 \\ V_2(0) = 0 \end{cases}$ **état stable**

On suppose qu'à t_i , l'entrée passe au niveau 0 pendant T_e , soit $e(t_i < t < T_e) = 0$ V. Dans ces conditions $V_1(t) = V_{cc}$ (la porte est une porte NON ET) \Rightarrow **l'état du système est l'état instable**

La tension aux bornes du condensateur étant continue : $U_c(0^-) = U_c(0^+) = 0$ ce qui impose $V_2(0^+) = V_{cc}$, et la sortie de la seconde porte (inverseur) passe à $V_3(0^+) = 0$ V.

Du fait que $V_2(0^+) > 0$, la capacité va se charger à travers la résistance R . L'équation différentielle régissant l'évolution de $V_2(t)$ s'obtient très facilement avec :

$$U_c = V_1 - V_2 \implies V_1 = U_c + V_2 \implies \frac{dV_1}{dt}(t) = \frac{dU_c}{dt}(t) + \frac{dV_2}{dt}(t)$$

$$\text{or } V_2 = R \cdot i = RC \frac{dU_c}{dt} \implies \frac{dU_c}{dt} = \frac{1}{\tau} V_2 \text{ avec } \tau = RC$$

et donc par suite :

$$\boxed{\frac{dV_1}{dt}(t) = \frac{dV_2}{dt}(t) + \frac{1}{\tau} V_2(t) = 0} \quad \text{car } V_1 = V_{cc} = \text{cste}$$

$$\text{dont la solution est : } \boxed{V_2 = V_{cc} \cdot e^{-\frac{t}{\tau}}}$$

Ainsi, la tension $V_2(t)$ décroît et la porte inverseuse basculera à la date T_1 pour laquelle $V_2(T_1) = \frac{V_{cc}}{2}$, soit à $T_1 = \tau \ln(2)$. On aura alors :

$$V_3(T_1^+) = V_{cc}$$

Deux cas de figure existent alors :

- si $T_e > T_1$, $e(t)$ restera à 0 V jusqu'à T_e alors que la sortie V_3 reste à 0 V jusqu'à T_1 puis repasse à $+V_{cc}$.
- si $T_e < T_1$, $e(t)$ repasse à V_{cc} au bout de T_e et la sortie V_3 reste à 0 V jusqu'à T_1 .

CONCLUSION : Ainsi la sortie V_3 présente bien deux états, l'un stable $V_3 = V_{cc}$, et l'autre instable $V_3 = 0$ V dont la durée est toujours fixée à $T_1 = \tau \cdot \ln(2)$ quelque soit la durée de l'impulsion du signal d'entrée qui engendre son apparition.

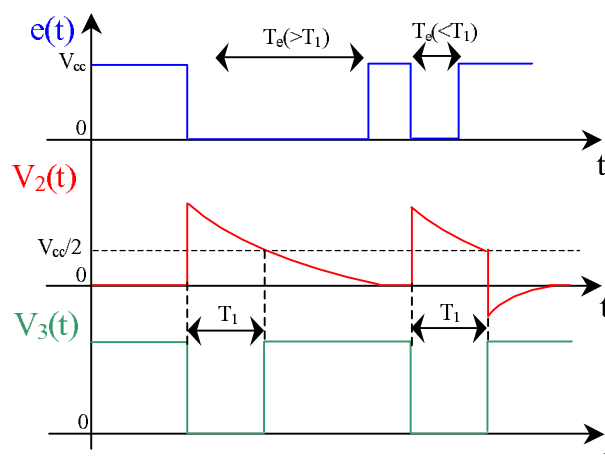


FIGURE IV.5 – Chronogramme du monostable

IV Les circuits bistables : exemple des bascules RS à portes NAND et NOR - fonction mémoire

La bascule "RS" est un circuit bistable asynchrone c'est à dire qu'il ne comporte pas d'entrée d'horloge. C'est la bascule bistable la plus simple possible. Elle peut être réalisée à l'aide de portes NOR (OU-NON) ou bien ET-NON (NAND).

IV.1 Principe

La bascule RS est un circuit comportant 2 entrées : S pour SET et R pour RESET, et une sortie Q :

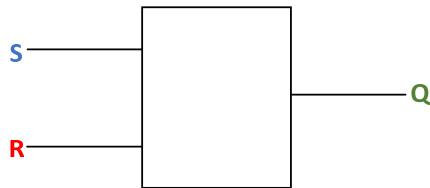


FIGURE IV.6 – Schéma global d'une bascule RS

Son principe de fonctionnement est le suivant :

- — lorsque l'entrée S passe à 1 **même furtivement** (i.e. courte impulsion de tension) entraîne durablement $Q = 1$ c'est à dire même après retour de S à 0.
- — lorsque l'entrée R passe à 1 **même furtivement** entraîne durablement $Q = 0$, c'est à dire même après le retour de R à 0

⇒ l'état de la sortie Q est bien liée aux états antérieurs.

CHRONOGRAMME :

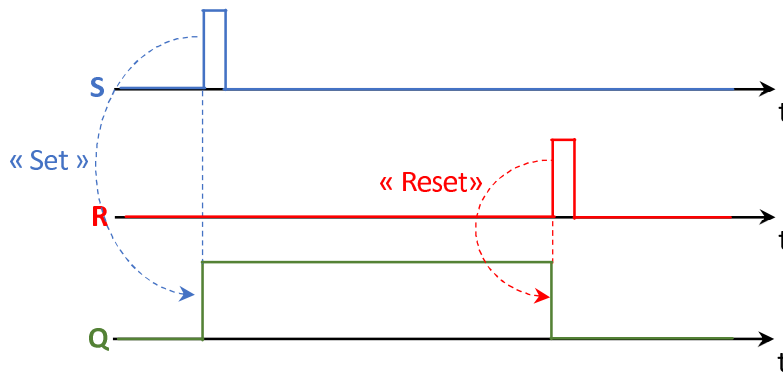


FIGURE IV.7 – Chronogramme d'une bascule RS

IV.2 Construction

On va appeler Q_n l'état de la sortie à l'instant antérieur et Q_{n+1} l'état de sortie à l'instant examiné.

On déduit facilement la table de vérité à partir du comportement :

Q_n	S	R	Q_{n+1}
0	0	0	0
0	0	1	0
0	1	0	1
0	1	1	●
1	0	0	1
1	0	1	0
1	1	0	1
1	1	1	●

On constate que cette description est incomplète puisque les propositions 4 et 8 qui n'ont pas de sortie définie et toutes deux correspondent à $(R, S) = (1, 1)$.

Dans ces conditions, plusieurs équations algébriques peuvent décrire la bascule :

- si pour $(R, S) = (1, 1)$, on pose une inscription de sortie à $Q_{n+1} = 1$ alors une équation algébrique de description du comportement est par exemple :

$$Q_{n+1} = S + \overline{R} \cdot Q_n$$

que l'on peut encore écrire avec les lois de De Morgan :

$$\boxed{Q_{n+1} = \overline{\overline{S} \cdot \overline{Q_n} \cdot \overline{R}}} \quad (1)$$

Cette relation montre que l'on peut facilement assembler cette bascule à l'aide de portes NAND, cf. plus bas.

- si pour $(R, S) = (1, 1)$, on pose un effacement de sortie à $Q_{n+1} = 0$ alors de même, une équation logique de description de la bascule est :

$$Q_{n+1} = S \cdot \overline{R} + Q_n \cdot \overline{R} = \overline{R} \cdot (S + Q_n)$$

soit avec les lois de De Morgan :

$$\boxed{Q_{n+1} = \overline{R + \overline{S} + \overline{Q_n}}} \quad (2)$$

Cette dernière relation montre qu'il est également facile d'assembler une bascule RS à l'aide de portes NOR, cf. plus bas

IV.3 Fonctionnement de la bascule RS à portes NOR

A l'aide de la relation (2) dégagée plus haut, on assemble immédiatement la bascule RS à portes NOR avec :

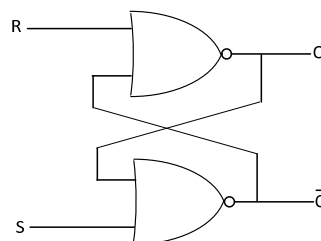


FIGURE IV.8 – Bascule RS à portes NOR

La table de fonctionnement, tirée de l'équation algébrique de la bascule, est :

entrée		sorties		
S	R	Q_n	$\overline{Q_n}$	fonction réalisée
0	0	Q_{n-1}	$\overline{Q_{n-1}}$	mémorisation
1	0	1	0	Mise à 1
0	1	0	1	Mise à 0
1	1	0	0	Combinaison interdite !

NB : la sortie inférieure est $\overline{S + Q} = \overline{S} \cdot \overline{Q}$, qui vaut en fait \overline{Q} puisque :

- si $S = 0$ alors $\overline{S} \cdot \overline{Q} = \overline{Q}$
- si $S = 1$ alors obligatoirement $Q = 1$ et donc $\overline{S} \cdot \overline{Q} = 0 = \overline{Q}$

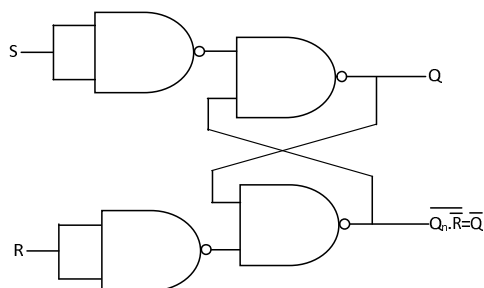
FONCTIONNEMENT :

- Si $R = S = 0$ alors les sorties n'évoluent pas et conservent leur valeur précédente : **la bascule RS se comporte alors comme une mémoire : FONCTION MÉMORISATION.**
- si $R = S = 1$ alors $Q = 0$ (hypothèse de construction de cette bascule) et la sortie inférieure est à : $\overline{S} \cdot \overline{Q} = 0$: **les sorties ne sont plus complémentaires : COMBINAISON "INTERDITE".**
- si $S = 1$ et $R = 0$: **mise à 1 de la sortie (fonction d'inscription en mémoire).**
- si $S = 0$ et $R = 1$: **mise à 0 de la sortie (fonction d'effacement de la mémoire).**

IV.4 Fonctionnement de la bascule RS à portes NAND

On peut également à partir de la relation (1) construire la bascule RS à l'aide de porte NAND :

La table de fonctionnement, devient alors déduite de l'équation algébrique de la bascule :



entrée		sorties		
S	R	Q_n	$\overline{Q_n}$	fonction réalisée
0	0	Q_{n-1}	$\overline{Q_{n-1}}$	mémorisation
1	0	1	0	Mise à 1
0	1	0	1	Mise à 0
1	1	1	1	Combinaison interdite !

FIGURE IV.9 – Bascule RS à portes NAND

NB : la sortie inférieure est $\overline{Q_n \cdot R} = \overline{Q_n} + R$, qui vaut en fait \overline{Q} puisque :

- si $R = 0$ alors $\overline{Q_n} + R = \overline{Q}$
- si $R = 1$ alors obligatoirement $Q = 0$ et donc $\overline{Q_n} + R = 1 = \overline{Q}$

FONCTIONNEMENT :

- Si $R = S = 0$ alors les sorties n'évoluent pas et conservent leur valeur précédente : la bascule RS se comporte alors comme une mémoire : FONCTION MÉMORISATION.
- si $R = S = 1$ alors $Q = 1$ (hypothèse de construction de cette bascule) et la sortie inférieure est à : $\overline{Q} \cdot \overline{R} = 1$: les sorties ne sont plus complémentaires : COMBINAISON "INTERDITE".
- si $S = 1$ et $R = 0$: mise à 1 de la sortie (fonction d'inscription en mémoire).
- si $S = 0$ et $R = 1$: mise à 0 de la sortie (fonction d'effacement de la mémoire).