

# MMR: Matrix Merging Redundancy

5 de octubre de 2025

## Resumen

El presente documento introduce el concepto de **Matrix Merging Redundancy (MMR)**, una alternativa a los esquemas tradicionales de redundancia como TMR (Triple Modular Redundancy). MMR propone una arquitectura matricial que fusiona múltiples lecturas sensoriales en un flujo único de datos, reduciendo puntos de fallo, complejidad de hardware y latencia, mientras preserva la confiabilidad y la capacidad de detección de anomalías.

## Índice

<b>1. Introducción</b>	<b>1</b>
<b>2. Arquitectura de MMR</b>	<b>2</b>
2.1. Sensores y circuitos integrados . . . . .	2
2.2. Procesador Discriminante (D) . . . . .	2
2.3. Procesador Maestro (M) . . . . .	2
<b>3. Ventajas de MMR</b>	<b>3</b>
3.1. Anexos . . . . .	3

## 1. Introducción

La redundancia en sistemas críticos, especialmente en aplicaciones aeroespaciales, ha sido tradicionalmente asegurada mediante técnicas como **TMR** (Triple Modular Redundancy) y variantes de redundancia en frío o caliente. Si bien efectivas, estas aproximaciones presentan limitaciones en cuanto a complejidad, costo, consumo energético y número de posibles puntos de fallo.

El concepto de **Matrix Merging Redundancy (MMR)** surge como una evolución natural: un esquema que mantiene la seguridad de los sistemas redundantes, pero con menor carga de hardware y un enfoque más inteligente para el tratamiento de señales. La base de MMR es la **fusión matricial de datos**, donde tres lecturas independientes de un mismo sensor se organizan en una matriz  $3 \times 1$  y se transmiten como un solo paquete de información.

## 2. Arquitectura de MMR

La arquitectura se fundamenta en tres niveles principales:

### 2.1. Sensores y circuitos integrados

Cada magnitud crítica (temperatura, presión, aceleración, etc.) se mide con un conjunto de tres sensores. Estos datos se concentran en un **circuito integrado** que actúa como un *Matrix Integrated Circuit (MIC)*. El MIC organiza los valores en una matriz de la forma:

$$M = \begin{bmatrix} s_1 \\ s_2 \\ s_3 \end{bmatrix}$$

donde  $s_i$  representa la lectura individual de cada sensor.

### 2.2. Procesador Discriminante (D)

El procesador D recibe múltiples matrices provenientes de distintas mini placas. Su tarea es aplicar algoritmos de discriminación basados en:

- Inteligencia Artificial para ponderar lecturas y detectar outliers.
- Modelos físico-químicos que verifican consistencia entre magnitudes.

El resultado es un **dato fusionado único y confiable** por cada magnitud medida:

$$M_{output} = \begin{bmatrix} s_{A1} & s_{B1} & \cdots & s_{n_1} \\ s_{A2} & s_{B2} & \cdots & s_{n_2} \\ s_{A3} & s_{B3} & \cdots & s_{n_3} \end{bmatrix}$$

### 2.3. Procesador Maestro (M)

El procesador M emplea las salidas fusionadas de D para:

- Implementar control PID y feedforward.
- Emitir órdenes a actuadores y subsistemas.
- Mantener la estabilidad global del sistema.

### 3. Ventajas de MMR

Comparado con TMR, MMR reduce el número de procesadores, minimiza cableado y latencias, y conserva la robustez mediante análisis inteligente de los datos. El sistema escala fácilmente añadiendo nuevas mini placas, sin necesidad de modificar la lógica central.

#### 3.1. Anexos

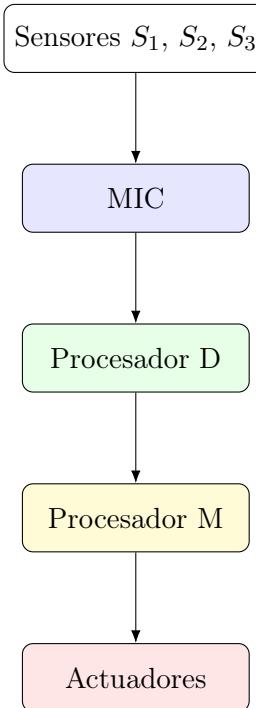


Figura 1: Arquitectura vertical del sistema MMR (Matrix Merging Redundancy).