HDL Homework3說明

黃宥翔 <u>chris900623@gmail.com</u> 郭昱 <u>ivan010517@gmail.com</u> 2024 HDL

補充說明

- tb_thumb內的16行之`include "thumb_defs.vh",可忽略並把自行把其刪除(註解掉),並不影響結果。
- delay-optimized, area-optimized, in-between請 參考作業一4. Design Compiler
- 各階delay請參考作業二:Delay of each pipeline stage_2024.pptx
- PrimeTime power請參考作業二:Prime time_2024.pptx

補充說明

• thumb.v本來就是切4階pipeline stage。作業主要內容為將thumb.v中4個pipeline stage的內容分為4個module.可以用類似以下寫法。原電路:

```
拆分module後電路:
// top module
module thumb_pipe();
IF step1();
                                                  { step1/* } -path full -delay max -nworst 1 -max paths 1 -significant digits 2 -sort by group } > $Path Syn/IF.txt
ID step2();
                                           -through { step2/* } -path full -delay max -nworst 1 -max paths 1 -significant digits 2 -sort by group } > $Path Syn/ID.txt
                                           -through { step3/* } -path full -delay max -nworst 1 -max paths 1 -significant digits 2 -sort by group } > $Path Syn/EX.txt
                                                           path full -delay max -nworst 1 -max paths 1 -significant digits 2 -sort by group } > $Path Syn/WB.txt-
EX step3();
WB step4();
endmodule
//sub module
module IF();
module ID();
module EX();
module WB();
```

- RTL(資料夾)
- Gate Level(資料夾)
- APR (資料夾)(繳交方式看PPT第8頁)
- Report.pdf

- RTL(資料夾)
 - Thumb_pip.v (10%)
- Gate Level (資料夾)
- APR (資料夾)
- Report.pdf

- RTL (資料夾)
- Gate Level (資料夾)
 - Area (資料夾)(5%)
 - Delay (資料夾)(5%)
 - Mid (資料夾)(5%)
 - APR_SYN (資料夾) (不用繳交)
- APR (資料夾)
- Report.pdf

注意

- 填表時, 合成請用HW1所提供的dc.tcl
- 做APR前再用本次作業提供的dc.tcl,重新合成一次,不須更改clock period,確定timing report slack >= 0 就可以
- Gate Level(資料夾)
 - -area (資料夾)
 - -mid (資料夾)
 - -delay(資料夾)
 - APR_SYN (資料夾) (不用繳交)

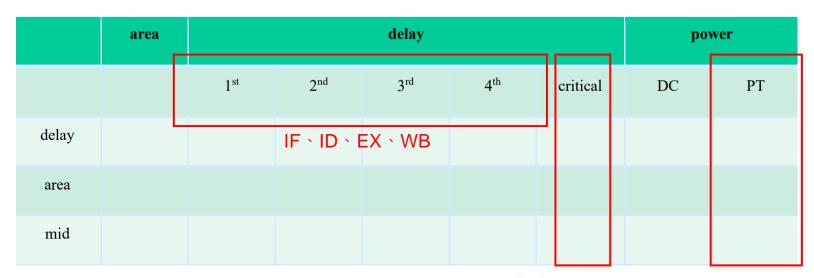
- APR (資料夾)
- 僅需要做Pipeline版本的APR(35%)
- 繳交整個APR資料夾在伺服器上
- cp -r APR資料夾路徑 /HW/HDL/HW3/Mxxxxxxxxxx/
- 做不完,可以交半成品,並在報告中說明完成程度 與遇到的問題,會部份給分

- RTL (資料夾)
- Gate Level (資料夾)
- APR(資料夾)
- Report.pdf
 - 模擬波形圖
 - RTL level (5%)
 - Gate level (delay optimize) (5%)
 - 波型解釋(5%)
 - 數據表格(15%)
 - 心得(5%)
 - APR 結果圖 (需框出各級電路位置) (5%)

- RTL(資料夾)
- Gate Level(資料夾)
- Report.pdf

以上打包成MXXXXXXXXXX.zip壓縮檔並繳交至網路 大學

數據表格



左邊四階中最大的