

# HDL Homework3說明

黃宥翔 [chris900623@gmail.com](mailto:chris900623@gmail.com)

郭昱 [ivan010517@gmail.com](mailto:ivan010517@gmail.com)

2024 HDL

# 補充說明

- tb\_thumb內的16行之`include “thumb\_defs.vh” , 可忽略並把自行把其刪除(註解掉) , 並不影響結果。
- delay-optimized, area-optimized, in-between請參考作業一4. Design Compiler
- 各階delay請參考作業二:Delay of each pipeline stage\_2024.pptx
- PrimeTime power請參考作業二:Prime time\_2024.pptx

# 補充說明

- thumb.v本來就是切4階pipeline stage。作業主要內容為將thumb.v中4個pipeline stage的內容分為4個module.可以用類似以下寫法。原電路:

拆分module後電路:

**// top module**

```
module thumb_pipe();
```

```
IF step1();
```

```
ID step2();
```

```
EX step3();
```

```
WB step4();
```

```
endmodule
```

**//sub module**

```
module IF();
```

```
module ID();
```

```
module EX();
```

```
module WB();
```

```
uplevel #0 { report_timing -through { step1/* } -path full -delay max -nworst 1 -max_paths 1 -significant_digits 2 -sort_by group } > $Path_Syn/IF.txt  
uplevel #0 { report_timing -through { step2/* } -path full -delay max -nworst 1 -max_paths 1 -significant_digits 2 -sort_by group } > $Path_Syn/ID.txt  
uplevel #0 { report_timing -through { step3/* } -path full -delay max -nworst 1 -max_paths 1 -significant_digits 2 -sort_by group } > $Path_Syn/EX.txt  
uplevel #0 { report_timing -through { step4/* } -path full -delay max -nworst 1 -max_paths 1 -significant_digits 2 -sort_by group } > $Path_Syn/WB.txt
```

# 繳交檔案

- RTL(資料夾)
- Gate Level(資料夾)
- APR (資料夾)(繳交方式看PPT第8頁)
- Report.pdf

# 繳交檔案

- RTL(資料夾)
  - Thumb\_pip.v (10%)
- Gate Level (資料夾)
- APR (資料夾)
- Report.pdf

# 繳交檔案

- RTL (資料夾)
- Gate Level (資料夾)
  - Area (資料夾)(5%)
  - Delay (資料夾)(5%)
  - Mid (資料夾)(5%)
  - APR\_SYN (資料夾) (不用繳交)
- APR (資料夾)
- Report.pdf

# 注意

- 填表時，合成請用HW1所提供的dc.tcl
- 做APR前再用本次作業提供的dc.tcl，重新合成一次，不須更改clock period，確定timing report slack  $\geq 0$  就可以
- Gate Level(資料夾)
  - area (資料夾)
  - mid (資料夾)
  - delay(資料夾)
  - APR\_SYN (資料夾) (不用繳交)

# 繳交檔案

- APR (資料夾)
- 僅需要做Pipeline版本的APR(35%)
- 繳交整個APR資料夾在伺服器上
- `cp -r APR資料夾路徑 /HW/HDL/HW3/Mxxxxxxxxxx/`
- 做不完，可以交半成品，並在報告中說明完成程度與遇到的問題，會部份給分



# 繳交檔案

- RTL (資料夾)
- Gate Level (資料夾)
- APR(資料夾)
- Report.pdf
  - 模擬波形圖
    - RTL level (5%)
    - Gate level (delay optimize) (5%)
    - 波型解釋(5%)
  - 數據表格(15%)
  - 心得(5%)
  - APR 結果圖 (需框出各級電路位置) (5%)

# 繳交檔案

- RTL(資料夾)
- Gate Level(資料夾)
- Report.pdf

以上打包成MXXXXXXXXXX.zip壓縮檔並繳交至網路大學

# 數據表格

	area	delay					power	
		1 <sup>st</sup>	2 <sup>nd</sup>	3 <sup>rd</sup>	4 <sup>th</sup>	critical	DC	PT
delay		IF 、 ID 、 EX 、 WB						
area								
mid								

左邊四階中最大的