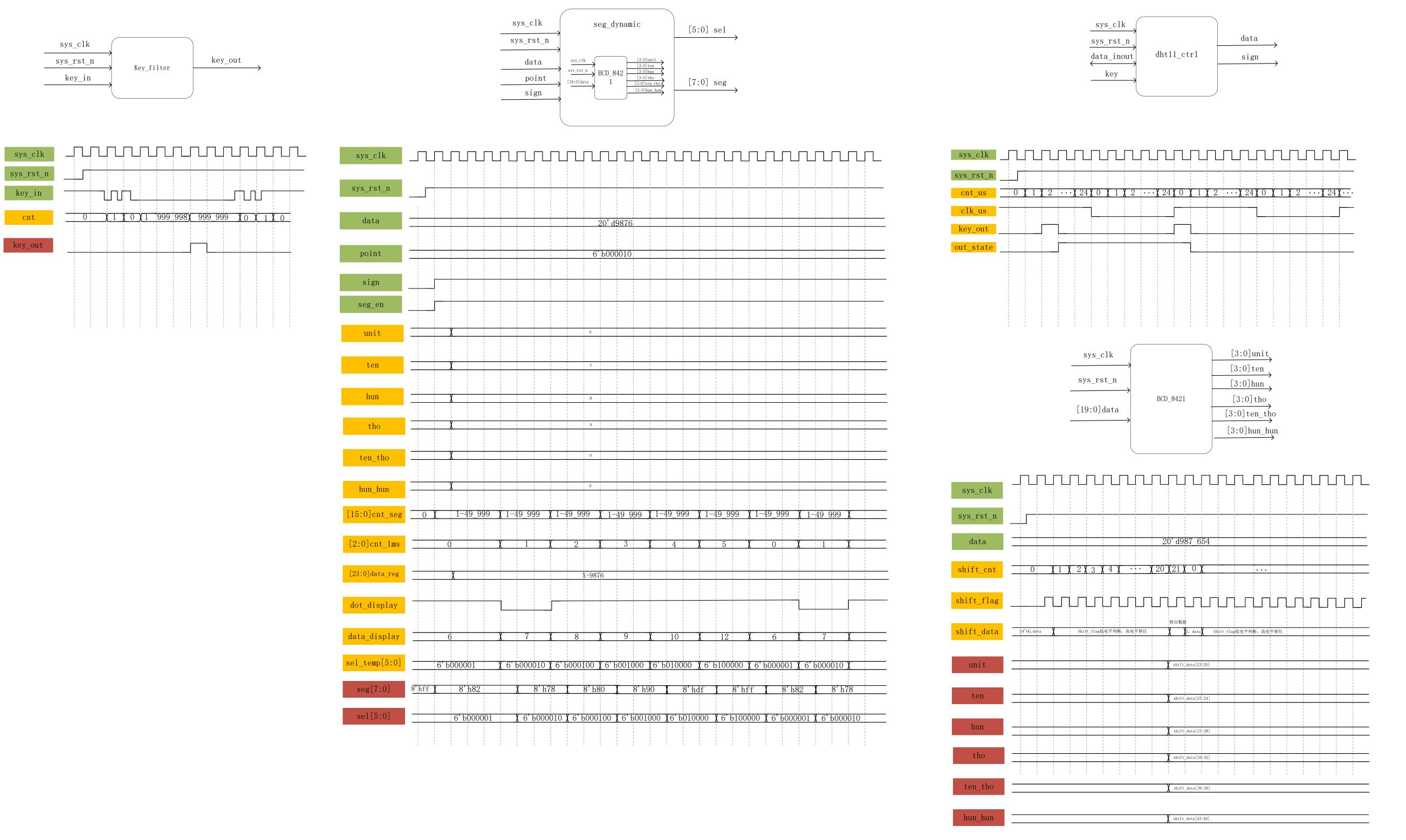
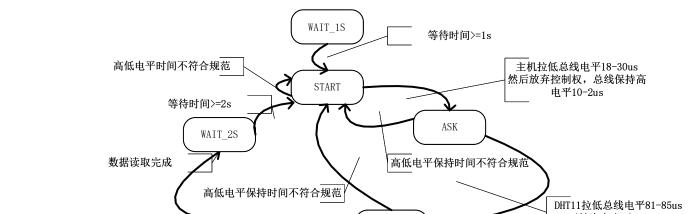


高低电平保持时间不符合规范

sys_clk
sys_rst_n
key_in
key_filter
key_out





8bit湿度整数数据+8bit湿度小数数据+8bit温度整数数据+8bit温度小数数据+8bit校验位

关注问题:综合器是否会对多次使用的判断条件进行电路优化?

