
**Microcontrolador Flash de 32 bits com MIPS32® microAptiv™ UC Core,
Baixa potência e USB**

Condições de funcionamento

- 2.0V a 3.6V, -40°C a + 85°C, DC a 25 MHz

Modos de baixa potência

- Modos de baixa potência:
 - Inativo - CPU desligada, os periféricos são executados a partir do relógio do sistema
 - Suspensão - CPU e periféricos desativados:
 - Despertar rápido Sono com retenção
 - Sono de baixa potência com retenção
- 0,65 µA Corrente de suspensão para retenção de RAM •
Modo regulador e 5 µA para o modo de espera do regulador
- Regulador de tensão no chip de 1,8V (VREG)
- Regulador de retenção de ultra baixa potência no chip

CPU RISC de 32 bits de alto desempenho

- Núcleo de 32 bits microAptiv™ UC com pipeline de 5 estágios
- Conjunto de instruções microMIPS™ para 35% de código menor e 98% de desempenho em comparação com as instruções MIPS32
- 1,53 DMIPS / MHz (37 DMIPS) (Dhrystone 2.1) Desempenho
- 3.17 CoreMark® / Desempenho em MHz (79 CoreMark)
- Instruções de 16 bits / 32 bits com caminho de dados amplo de 32 bits
- Dois conjuntos de 32 arquivos de registro principais (32 bits) para reduzir a latência de interrupção
- Multiplicação de ciclo único 32x16 e Multiplicação de ciclo duplo 32x32
- Flash de estado de espera zero de 64 bits com ECC para maximizar a resistência / retenção

Recursos do microcontrolador

- Memória Flash de até 256K
 - Resistência do ciclo de apagamento / gravação de 20.000
 - 20 anos de retenção mínima de dados
 - Auto-programável sob controle de software
- Memória SRAM de até 32K
- Vários vetores de interrupção individualmente •
Prioridade programável
- Modo Monitor de relógio à prova de falhas
- Temporizador configurável de Watchdog com oscilador RC de baixa potência no chip
- Proteção de código programável
- Opções selecionáveis do oscilador, incluindo:
 - RC interno de 8 MHz (FRC) de alta precisão •
oscilador - PLL 2x / 3x / 4x / 6x / 12x / 24x, que pode ser sincronizado com frequência a partir do FRC ou do oscilador primário
 - Oscilador primário de cristal / ressonador de alta velocidade ou relógio externo

Recursos Periféricos

- Controlador de dispositivo de velocidade total e baixa velocidade compatível com USB 2.0, host e controlador on-the-go (OTG):
 - DMA dedicado
 - Operação no modo de dispositivo do oscilador FRC; •
nenhum oscilador de cristal necessário
 - Conjunto atômico, operação clara e invertida em registros periféricos selecionados
 - Pia / fonte de alta corrente
 - Oscilador de temporizador de 32 kHz de baixa potência e independente
 - Três módulos SPI de 4 fios:
 - FIFO de 16 bytes
 - largura variável
 - modo I 2 S
 - três I 2 Mestre e Escravo C com Máscara de Endereço e Suporte IPMI
 - Três UARTs endereçáveis aprimoradas:
 - Suporte RS-232, RS-485 e LIN / J2602
 - IrDA® com codificador e decodificador de hardware no chip
 - Borda externa e interrupção de alteração de nível em todas as portas
 - Relógio e calendário em tempo real de hardware (RTCC)
 - Até 24 pinos remarcáveis para a seleção de pinos periféricos (PPS)
 - 21 Total de temporizadores de 16 bits:
 - Três temporizadores / contadores de 16 bits dedicados
 - Dois podem ser concatenados para formar um timer de 32 bits
 - Dois temporizadores de 16 bits adicionais em cada módulo M CCP e SCCP, totalizando 18
 - Módulos de captura / comparação / PWM / timer:
 - Dois temporizadores de 16 bits ou um temporizador de 32 bits em cada módulo
 - Resolução PWM até 21 ns
 - Três módulos de saída múltipla (MCCP):
 - Configuração flexível como PWM, captura de entrada, comparação de saída ou temporizadores
 - Seis saídas PWM
 - Tempo morto programável
 - Desligamento automático
 - Seis módulos de saída única (SCCP):
 - Configuração flexível como PWM, captura de entrada, comparação de saída ou temporizadores
 - Saída PWM única
 - Saída do relógio de referência (REFO)
 - Quatro células lógicas configuráveis (CLC) com conexões internas para selecionar periféricos e PPS
 - DMA de hardware de 4 canais com detecção automática de tamanho de dados e mecanismo CRC
-
- Recursos de depuração**
- Duas interfaces de programação e depuração:
 - Interface ICSP™ de 2 fios com acesso não intrusivo e troca de dados em tempo real com o aplicativo
 - MIPS® de 4 fios interface JTAG aprimorada padrão
 - Varredura de limite compatível com o padrão IEEE 1149.2 (JTAG)

PIC32MM0256GPM064 FAMÍLIA

Recursos analógicos

- Três comparadores analógicos com multiplexação de entrada
- Detecção programável de alta / baixa tensão (HLVD)
- DAC de referência de tensão do comparador de 5 bits com saída de pino
- Até 24 canais, conversor analógico-digital (ADC) de 10/12 bits SAR selecionável por software:
 - Taxa de conversão de amostras de 200 KB / segundo de 12 bits (amostra e espera simples)

- Taxa de conversão de amostras de 300k / 10k de 10 bits / amostra única e espera
- Operação no modo de suspensão
- Reforço de baixa tensão para entrada
- Recurso de entrada de referência de intervalo de banda
- Recurso de comparação de limite de janela
- Recurso de verificação automática
- Redefinição de Brown-out (BOR)

TABELA 1: PIC32MM0256GPM064 DISPOSITIVOS DA FAMÍLIA

Dispositivo	Pinos	Memória de programa (Kbytes)	Memória de dados (Kbytes)	E / S / PPS de uso geral	Timers de 16 bits Máximo de saídas PWM máximas	Periféricos Remappable						ADC de 10/12 bits (canais externos)	Comparadores	CRC	RTCC 12	C USB	Pacotes
						Temporizadores de 16 bits dedicados	UART (1) / LIN / J2602	MCCP (4)	SCCP (3)	SPI CLC (2)	/12 S						
PIC32MM0064GPM028 28		64 16	21/18	21 18 3 3 3 6 4 3	12 3 Sim	Sim	3 Sim	SSOP / QFN /									UQFN
PIC32MM0128GPM028 28 128 16	21/18 21	18 3 3 3 6 4 3	12 3 Sim	Sim	3 Sim	SSOP / QFN /											UQFN
PIC32MM0256GPM028 28 256 32	21/18 21	18 3 3 3 6 4 3	12 3 Sim	Sim	3 Sim	SSOP / QFN /											UQFN
PIC32MM0064GPM036 36/40 64	16 27/20 21	20 3 3 3 6 4 3	15 3 Sim	Sim	3 Sim	VQFN / UQFN	PIC32MM0128GPM036 36/40 128	16 27/20 21	20 3 3 3 6 4 3	15 3 Sim	Sim	3 Sim	VQFN /				
UQFN PIC32MM0256GPM036 36/40 256 32	27/20 21	20 3 3 3 6 4 3	15 3 Sim	Sim	3 Sim	VQFN / UQFN	PIC32MM0064GPM048 48										
		64 16	38/24	21 24 3 3 3 6 4 3	17 3 Sim	Sim	3 Sim	UQFN / TQFP									
PIC32MM0128GPM048 48 128 16	38/24 21	24 3 3 3 6 4 3	17 3 Sim	Sim	3 Sim	UQFN / TQFP	PIC32MM0256GPM048 48 256 32	38/24 21	24 3 3 3 6 4 3	17 3 Sim	Sim	3 Sim	UQFN /				
TQFP PIC32MM0064GPM064 64																	
		64 16	52/24	21 24 3 3 3 6 4 3	20 3 Sim	Sim	3 Sim	QFN / TQFP									
PIC32MM0128GPM064 64 128 16	52/24 21	24 3 3 3 6 4 3	20 3 Sim	Sim	3 Sim	QFN / TQFP	PIC32MM0256GPM064 64 256 32	52/24 21	24 3 3 3 6 4 3	20 3 Sim	Sim	3 Sim	QFN / TQFP				

- Nota 1:** UART1 atribuiu pinos. UART2 e UART3 são remapeáveis.
- 2:** SPI1 e SPI3 atribuíram pinos. O SPI2 é remapeável.
- 3:** O SCCP pode ser configurado como um PWM com 1 saída, captura de entrada, comparação de saída, 2 x temporizadores de 16 bits ou 1 x temporizador de 32 bits.
- 4:** O MCCP pode ser configurado como um PWM com até 6 saídas, captura de entrada, comparação de saída, temporizadores 2 x 16 bits ou •
- 1 x temporizador de 32 bits.

Diagramas de pinos (continuação)

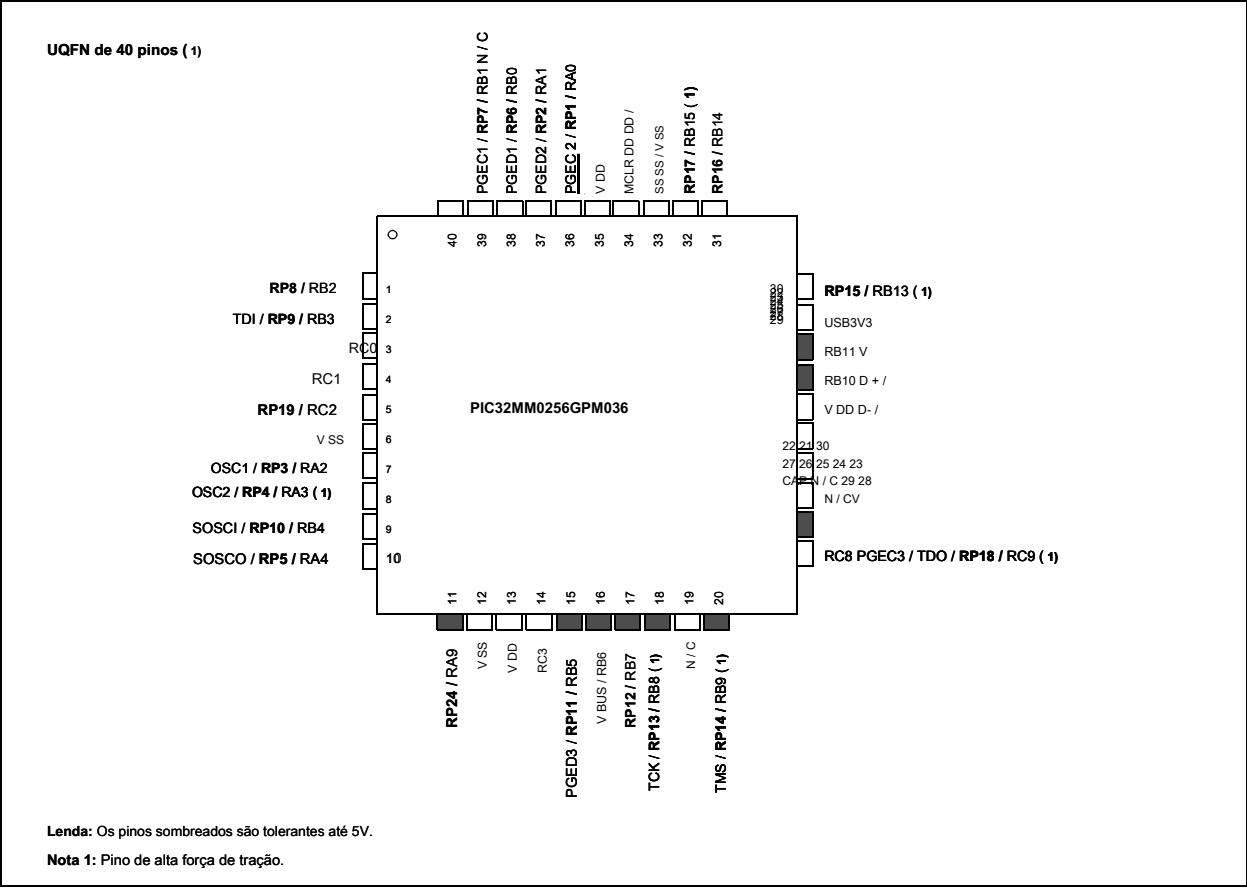


Nota 1: Pino de alta força de tração.

2: Designações de pinos alternativas para I2C1, conforme determinado pelo bit de configuração I2C1SEL.

PIC32MM0256GPM064 FAMÍLIA

Diagramas de pinos (continuação)



QUADRO 5: DESCRIÇÕES DE FUNÇÃO DE PIN COMPLETAS PARA DISPOSITIVOS UQFN DE 40 PINOS

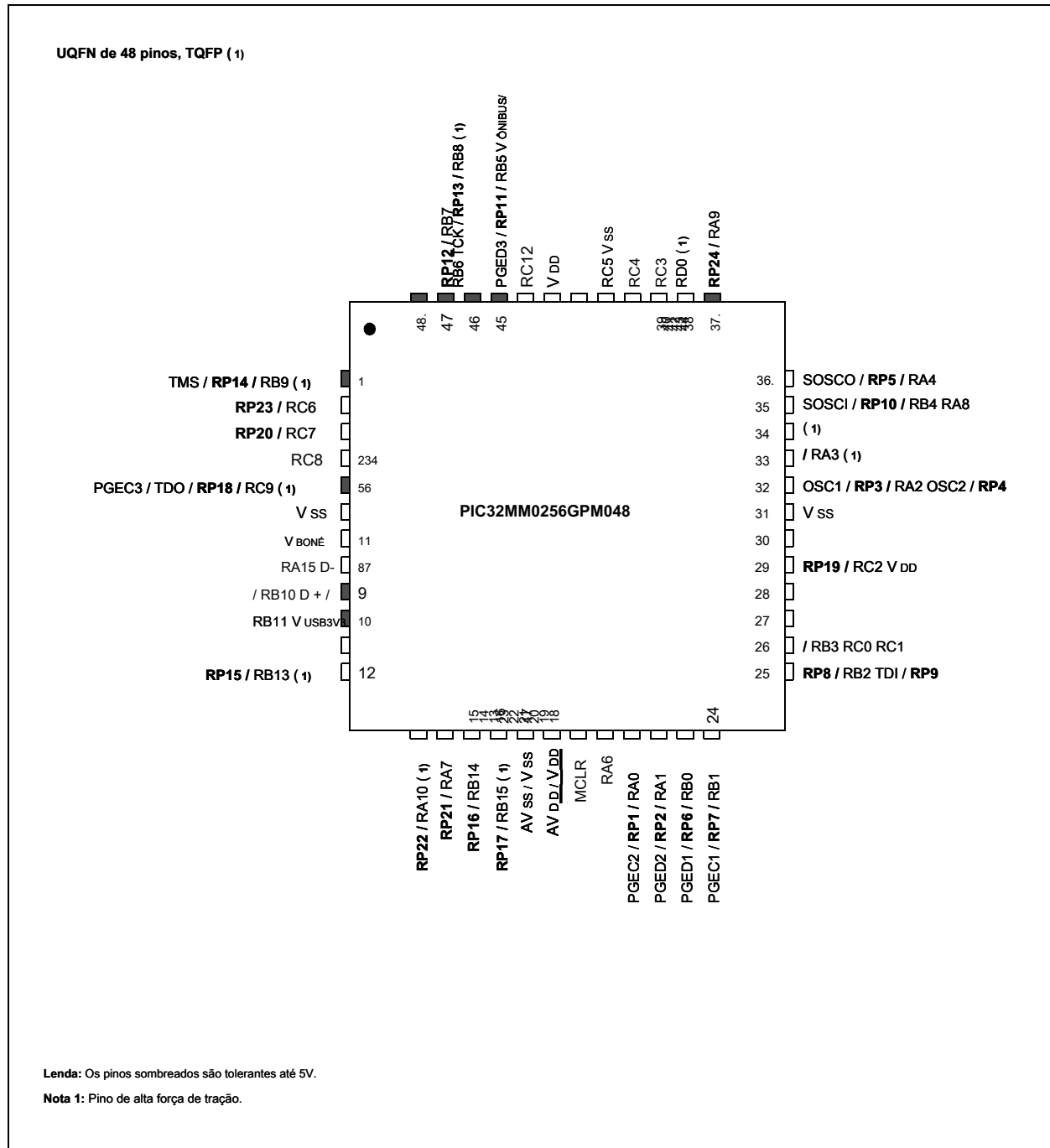
PIN	Função	PIN	Função
1 AN4 / C1INB / RP8 / SDA2 / OCM2E / RB2		21 AN14 / LVDIN / C2INC / RC8	
2 TDI / AN11 / C1INA / RP9 / SCL2 / OCM2F / RB3		22 PGEC3 / TDO / RP18 / ASCL1 (2) / SDO3 / USBOEN / RC9 (1)	
3 AN12 / C2IND / T2CK / T2G / RC0		23 N / C	
4 AN13 / T3CK / T3G / RC1		24 CAP 24 V	
5 RP19 / OCM2A / RC2		25 N / C	
6 VSS		26 VDD	
7 OSC1 / CLKI / AN5 / RP3 / OCM1C / RA2		27 D- / RB10	
8 OSC2 / CLKO / AN6 / C3IND / RP4 / OCM1D / RA3 (1)		28 D+ / RB11	
9 SOSCI / AN7 / RP10 / OCM3C / RB4		29 VUSB3V3	
10 SOSCO / SCLKI / RP5 / PWRLCLK / OCM3D / RA4		30 AN8 / RP15 / SCL3 / SCK3 / RB13 (1)	
11 RP24 / OCM3A / RA9		31 CVREF / AN9 / C3INB / RP16 / RTCC / U1TX / VBUSON / SDI1 / OCM3B / INT1 / RB14	
12 VSS		32 AN10 / C3INA / REFCLKO / RP17 / U1RX / SS1 / FSYNC1 / OCM2B / INT0 / RB15 (1)	
13 VDD		33 AVSS / VSS	
14 RC3		34 DD DD / VDD	
15 PGED3 / RP11 / ASDA1 (2) / USBID / SS3 / FSYNC3 / OCM3E / RB5		35 MCLR	
BUS DE 16 V / RB6		36 PGEC2 / VREF + / CVREF + / AN0 / RP1 / OCM1E / INT3 / RA0	
17 RP12 / SDA3 / SDI3 / OCM3F / RB7		37 PGED2 / VREF - / AN1 / RP2 / OCM1F / RA1	
18 TCK / RP13 / SCL1 / U1CTS / SCK1 / OCM1A / RB8 (1)		38 PGED1 / AN2 / C1IND / C2INB / C3INC / RP6 / OCM2C / RB0	
19 N / C		39 PGEC1 / AN3 / C1INC / C2INA / RP7 / OCM2D / RB1	
20 TMS / REFCLKI / RP14 / SDA1 / T1CK / T1G / U1RTS / U1BCLK / SDO1 / OCM1B / INT2 / RB9 (1)		40 N / C	

Nota 1: Pino de alta força de tração.

2: Designações de pinos alternativas para I2C1, conforme determinado pelo bit de configuração I2C1SEL.

PIC32MM0256GPM064 FAMÍLIA

Diagramas de pinos (continuação)



PIC32MM0256GPM064 FAMÍLIA

TABELA 6: DESCRIÇÕES DE FUNÇÃO DE PIN COMPLETAS PARA DISPOSITIVOS UQFN / TQFP de 48 pinos

PIN	Função	PIN	Função
1 TMS / RP14 / SDA1 / OCM1B / INT2 / RB9 (1)		25 AN4 / C1INB / RP8 / SDA2 / OCM2E / RB2	
2 RP23 / RC6		26 TD1 / AN11 / C1INA / RP9 / SCL2 / OCM2F / RB3	
3 RP20 / RC7		27 AN12 / C2IND / T2CK / T2G / RC0	
4 AN14 / LVDIN / C2INC / RC8		28 AN13 / T3CK / T3G / RC1	
5 PGEC3 / TDO / RP18 / ASCL1 (2) / USBOEN / RC9 (1)		29 RP19 / OCM2A / RC2	
6 V SS		30 V DD	
7 V CAP		31 V SS	
8 RTCC / RA15		32 OSC1 / CLKI / AN5 / RP3 / OCM1C / RA2	
9 D- / RB10		33 OSC2 / CLK0 / AN6 / C3IND / RP4 / RA3 (1)	
10 D+ / RB11		34 SDO3 / RA8 (1)	
11 V USB3V3		35 SCSCL / AN7 / RP10 / OCM3C / RB4	
12 AN8 / RP15 / SCL3 / RB13 (1)		36 SCSCL / SCLKI / RP5 / PWRLCLK / OCM3D / RA4	
13 RP22 / SCK3 / RA10 (1)		37 RP24 / OCM3A / RA9	
14 RP21 / SDI3 / RA7		38 REFCLKI / T1CK / T1G / U1RTS / U1BCLK / SDO1 / RD0 (1)	
15 CV REF / AN9 / C3INB / RP16 / VBUSON / SDI1 / OCM3B / INT1 / RB14		39 OCM2B / RC3	
16 AN10 / C3INA / REFCLK0 / RP17 / SS1 / FSYNC1 / INT0 / RB15 (1)		40 OCM1E / INT3 / RC4	
17 AV SS / V SS		41 AN15 / OCM1D / RC5	
18 DD DD / V DD		42 V SS	
19 MCLR		43 V DD	
20 AN19 / U1RX / RA6		44 U1TX / RC12	
21 PGEC2 / V REF+ / CV REF+ / AN0 / RP1 / RA0		45 PGED3 / RP11 / ASDA1 (2) / USBID / SS3 / FSYNC3 / OCM3E / RB5	
22 PGED2 / V REF- / AN1 / RP2 / OCM1F / RA1		BUS DE 46 V / RB6	
23 PGED1 / AN2 / C1IND / C2INB / C3INC / RP6 / OCM2C / RB0		47 RP12 / SDA3 / OCM3F / RB7	
24 PGEC1 / AN3 / C1INC / C2INA / RP7 / OCM2D / RB1		48 TCK / RP13 / SCL1 / U1CTS / SCK1 / OCM1A / RB8 (1)	

Nota 1: Pino de alta força de tração.

2: Designações de pinos alternativas para I2C1, conforme determinado pelo bit de configuração I2C1SEL.

PIC32MM0256GPM064 FAMÍLIA

Índice

1.0 Visão geral do dispositivo	15
2.0 Diretrizes para introdução aos microcontroladores de 32 bits	23
CPU 3.0	29
4.0 Organização da memória	39
5.0 Memória do programa Flash	45
6.0 Redefinições	53
7.0 Exceções de CPU e Controlador de Interrupção	59
8.0 Controlador de acesso direto à memória (DMA)	77
9.0 Configuração do oscilador	97
10.0 Portas de E / S	113
11.0 Timer1	127
12.0 Timer2 e Timer3	131
13.0 Temporizador de vigilância (WDT)	137
14.0 Módulos de captura / comparação / PWM / timer (MCCP e SCCP)	141
15.0 Interface Periférica Serial (SPI) e Som Inter-IC (I ² S)	159
16.0 Circuito Inter-Integrado (I ² C)	167
17.0 Transmissor de receptor assíncrono universal (UART)	175
18.0 USB On-The-Go (OTG)	181
19.0 Relógio e calendário em tempo real (RTCC)	209
20.0 Conversor ADC de 12 bits com detecção de limite	217
21.0 Célula lógica configurável (CLC)	229
22.0 Comparador	243
23.0 Referência de tensão (CV REF)	249
24.0 Detecção de alta / baixa tensão (HLVD)	253
25.0 Recursos de economia de energia	257
26.0 Recursos especiais	263
27.0 Conjunto de instruções	281
28.0 Suporte ao desenvolvimento	283
29.0 Características elétricas	287
30.0 Informações da embalagem	319
Apêndice A: Histórico de revisões	347
Índice	349
O Site do Microchip	353
Serviço de Notificação de Mudança de Cliente	353
Suporte ao cliente	353
Sistema de Identificação do Produto	355

A NOSSOS CLIENTES AVALIADOS

É nossa intenção fornecer a nossos valiosos clientes a melhor documentação possível para garantir o uso bem-sucedido de seus produtos Microchip. Para esse fim, continuaremos aprimorando nossas publicações para melhor atender às suas necessidades. Nossas publicações serão refinadas e aprimoradas à medida que novos volumes e atualizações forem introduzidos.

Se você tiver alguma dúvida ou comentário sobre esta publicação, entre em contato com o Departamento de Comunicação de Marketing por e-mail em docerrors@microchip.com. Aguardamos o seu feedback.

Folha de dados mais atual

Para obter a versão mais atualizada desta folha de dados, registre-se em nosso site mundial em:

<http://www.microchip.com>

Você pode determinar a versão de uma folha de dados examinando seu número de literatura encontrado no canto inferior externo de qualquer página. O último caractere do número da literatura é o número da versão (por exemplo, DS30000000A é a versão A do documento DS30000000).

Errata

Uma planilha de erratas, descrevendo pequenas diferenças operacionais da planilha de dados e soluções alternativas recomendadas, pode existir para os dispositivos atuais. À medida que os problemas de dispositivos / documentação forem conhecidos, publicaremos uma planilha de erratas. A errata especificará a revisão do silício e a revisão do documento ao qual se aplica.

Para determinar se existe uma planilha de erratas para um dispositivo específico, verifique com um dos seguintes:

- Site mundial da Microchip; <http://www.microchip.com>
- O escritório de vendas local da Microchip (consulte a última página)

Ao entrar em contato com um escritório de vendas, especifique qual dispositivo, revisão de silício e folha de dados (inclua o número da literatura) que você está usando.

Sistema de Notificação de Cliente

Registre-se em nosso site em www.microchip.com para receber as informações mais atuais sobre todos os nossos produtos.

PIC32MM0256GPM064 FAMÍLIA

Fontes referenciadas

Esta folha de dados do dispositivo é baseada nas seguintes seções individuais do *Manual de Referência da Família PIC32*. Esses documentos devem ser considerados como referência geral para a operação de um módulo ou recurso de dispositivo específico.

Nota:	Para acessar os documentos listados abaixo, navegue na seção de documentação do site da Microchip (www.microchip.com)
--------------	--

- **Seção 1. “Introdução”** (DS60001127)
- **Seção 5. “Programação em Flash”** (DS60001121)
- **Seção 7. “Redefinições”** (DS60001118)
- **Seção 8. “Interrupções”** (DS61108)
- **Seção 10. “Modos de economia de energia”** (DS60001130)
- **Seção 12. “Portas de E / S”** (DS60001120)
- **Seção 14. “Temporizadores”** (DS60001105)
- **Seção 19. “Comparador”** (DS60001110)
- **Seção 20. “Referência de tensão do comparador”** (DS61109)
- **Seção 21. “UART”** (DS61107)
- **Seção 23. “Interface Periférica Serial (SPI)”** (DS61106)
- **Seção 24. “Inter-Integrated Circuit [™] (I²C [™])”** (DS61116)
- **Seção 25. “Conversor analógico-digital (ADC) de 12 bits com detecção de limite”** (DS60001359)
- **Seção 27. “USB On-The-Go (OTG)”** (DS61126)
- **Seção 28. “RTCC com registro de data e hora”** (DS60001362)
- **Seção 30. “Captura / comparação / PWM / temporizador (MCCP e SCCP)”** (DS60001381)
- **Seção 31. “Controlador DMA”** (DS60001117)
- **Seção 33. “Programação e diagnóstico”** (DS61129)
- **Seção 36. “Célula lógica configurável”** (DS60001363)
- **Seção 48. “Organização da memória e permissões”** (DS60001214)
- **Seção 50. “CPU para dispositivos com MIPS32 [®] núcleos microAptiv [™] e M-Class [™]”** (DS60001192)
- **Seção 59. “Osciladores com DCO”** (DS60001329)
- **Seção 62. “Temporizador duplo de vigilância”** (DS60001365)

PIC32MM0256GPM064 FAMÍLIA

1.0 VISÃO GERAL DO DISPOSITIVO

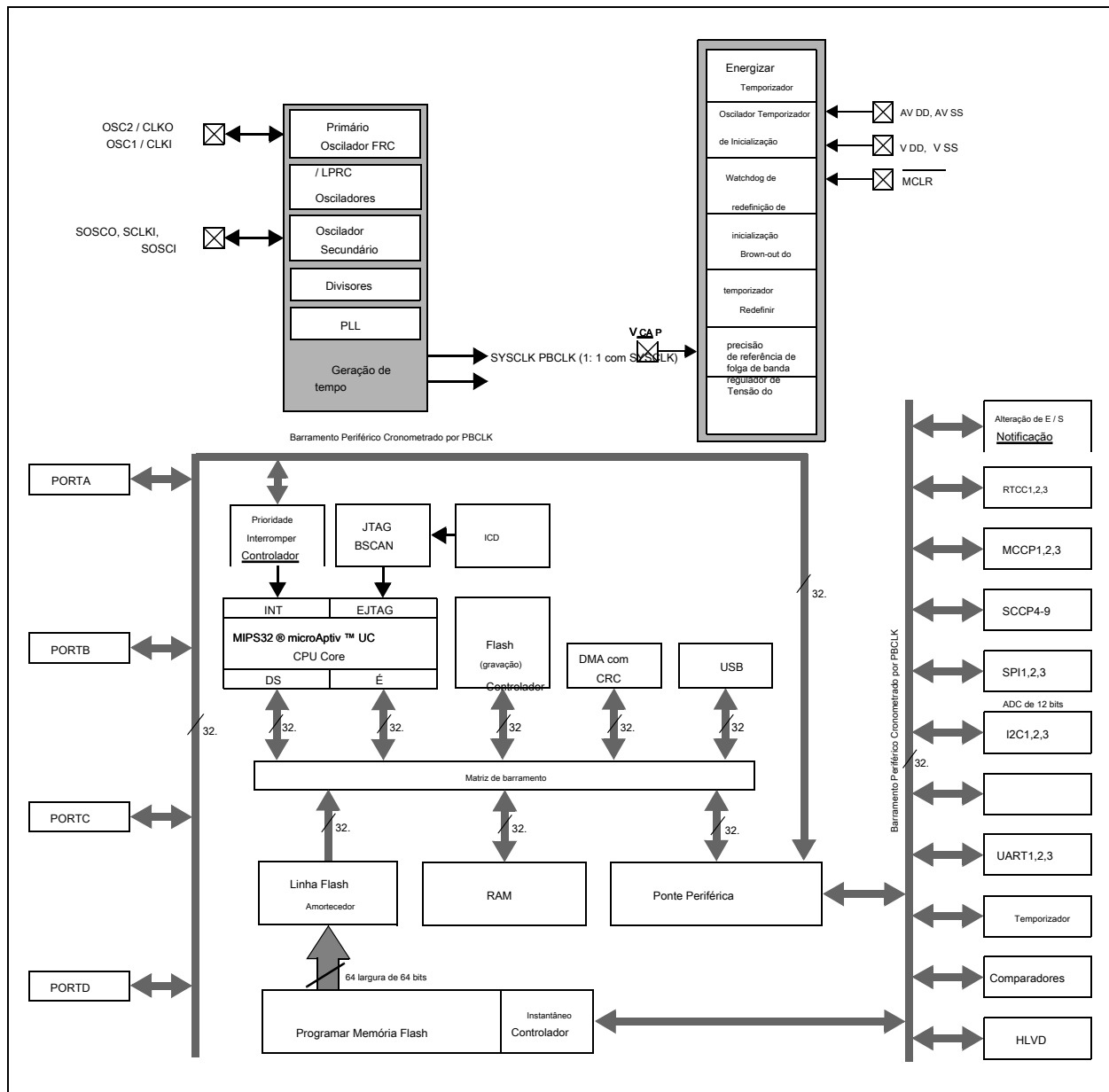
Nota: Esta folha de dados resume os recursos da família de dispositivos PIC32MM0256GPM064. Não pretende ser uma fonte de referência abrangente. Para complementar as informações nesta folha de dados, consulte o *"Manual de Referência da Família PIC32"*, disponível no site da Microchip (www.microchip.com/PIC32) As informações nesta folha de dados substituem as informações no FRM.

Esta folha de dados contém informações específicas do dispositivo para os dispositivos da família PIC32MM0256GPM064.

Figura 1-1 ilustra um diagrama de blocos geral dos módulos principal e periférico da família de dispositivos PIC32MM0256GPM064.

Quadro 1-1 lista as descrições de E / S de pinagem para os pinos mostrados nas tabelas de pinos do dispositivo.

FIGURA 1-1: PIC32MM0256GPM064 DIAGRAMA DO BLOCO DA FAMÍLIA



PIC32MM0256GPM064 FAMÍLIA

TABELA 1-1: PIC32MM0256GPM064 DESCRIÇÃO DO PINOUT DA FAMÍLIA

Nome do PIN	Número do PIN						Buffer do tipo de	Tipo	Descrição
	SSOP de 28 pinos	QFN / UQFN de 28 pinos	QFN de 36 pinos	pinos 40 UQFN	QFN / TQFP de 48 pinos	QFN / TQFP de 64 pinos			
AN0	2	27	33	36	21	11	Eu	ANA	Canais de entrada do conversor analógico-digital ANA
AN1	3	28	34	37	22	12	Eu	ANA	
AN2	4	1	35	38	23	13	Eu	ANA	
AN3	5	2	36	39	24	14	Eu	ANA	
AN4	6	3	1	1	25	15	Eu	ANA	
AN5	9	6	7	7	32	25	Eu	ANA	
AN6	10	7	8	8	33	26	Eu	ANA	
AN7	11	8	9	9	35	28	Eu	ANA	
AN8	24	21	27	30	12	63	Eu	ANA	
AN9	25	22	28	31	15	2	Eu	ANA	
AN10	26	23	29	32	16	3	Eu	ANA	
AN11	7	4	2	2	26	16	Eu	ANA	
AN12	-	-	3	3	27	19	Eu	ANA	
AN13	-	-	4	4	28	20	Eu	ANA	
AN14	-	-	20	21	4	52	Eu	ANA	
AN15	-	-	-	-	41	37	Eu	ANA	
AN16	-	-	-	-	-	6	Eu	ANA	
AN17	-	-	-	-	-	7	Eu	ANA	
AN18	-	-	-	-	-	8	Eu	ANA	
AN19	-	-	-	-	-	10	Eu	ANA	
AV DD	28	25	31	34	18	5	P	-	Fonte de alimentação de módulos analógicos
AV SS	27	24	30	33	17	4	P	-	Módulos analógicos aterrados
C1INA	7	4	2	2	26	16	Eu	ANA Comparador 1	Entrada A
C1INB	6	3	1	1	25	15	Eu	ANA Comparador 1	Entrada B
C1INC	5	2	36	39	24	14	Eu	ANA Comparador 1	Entrada C
C1IND	4	1	35	38	23	13	Eu	ANA Comparador 1	Entrada D
C2INA	5	2	36	39	24	14	Eu	ANA Comparador 2	Entrada A
C2INB	4	1	35	38	23	13	Eu	ANA Comparador 2	Entrada B
C2INC	-	-	20	21	4	52	Eu	ANA Comparador 2	Entrada C
C2IND	-	-	3	3	27	19	Eu	ANA Comparador 2	Entrada D
C3INA	26	23	29	32	16	3	Eu	ANA Comparador 3	Entrada A
C3INB	25	22	28	31	15	2	Eu	ANA Comparador 3	Entrada B
C3INC	4	1	35	38	23	13	Eu	ANA Comparador 3	Entrada C
C3IND	10	7	8	8	33	26	Eu	ANA Comparador 3	Entrada D
CLKI	9	6	7	7	32	25	Eu	Entrada	da fonte de relógio externo ST (modo EC)
CLKO	10	7	8	8	33	26	O	Saída do relógio do sistema	DIG
CV REF	25	22	28	31	15	2	O	Saída de referência de tensão do comparador	ANA
CV REF +	2	27	33	36	21	11	Eu	ANA Entrada de referência de tensão do comparador	positivo
D +	22	19	25	28	10	61	E / S -	diferencial do transceptor USB	mais linha
D-	21	18	24	27	9	60	E / S -	diferencial do transceptor USB	menos linha
FSYNC1	26	23	29	32	16	32	Entrada ou saída de	señal de quadro I / O ST / DIG	SPI1
FSYNC3	14	11	15	15	45	22	Entrada ou saída de	señal de quadro I / O ST / DIG	SPI3

Lenda: ST = buffer de entrada do gatilho Schmitt
I2C = I2C Buffer de entrada C / SMBus

DIG = Entrada / saída digital
ANA = Entrada / saída de nível analógico

P = Potência •

PIC32MM0256GPM064 FAMÍLIA

TABELA 1-1: PIC32MM0256GPM064 DESCRIÇÃO DE PINOUT DA FAMÍLIA (CONTINUAÇÃO)

Nome do PIN	Número do PIN						Buffer do tipo de	Tipo	Descrição
	SSOP de 28 pinos	QFN / UQFN de 28 pinos	QFN de 36 pinos	pinos 40 UQFN	QFN / TQFP de 48 pinos	QFN / TQFP de 64 pinos			
INT0	26	23	29	32	16	32	Eu	Interrupção externa do ST 0	
INT1	25	22	28	31	15	31	Eu	Interrupção Externa ST 1	
INT2	18	15	19	20	1	49	Eu	Interrupção externa do ST 2	
INT3	2	27	33	36	40	36	Eu	Interrupção externa do ST 3	
LV DIN	24	21	20	21	4	52	Eu	Entrada de detecção de alta / baixa tensão ANA	
MCLR	1	26	32	35	19	9	Eu	ST Master Clear (redefinição do dispositivo)	
OCM1A	17	14	18	18	48	7	O	Saída DIG M CCP1 A	
OCM1B	18	15	19	20	1	53	O	Saída DIG M CCP1 B	
OCM1C	9	6	7	7	32	25	O	Saída DIG M CCP1 C	
OCM1D	10	7	8	8	41	37	O	Saída DIG M CCP1 D	
OCM1E	2	27	33	36	40	36	O	DIG M CCP1 Saída E	
OCM1F	3	28	34	37	22	12	O	Saída DCC M CCP1 F	
OCM2A	19	16	5	5	29	21	O	Saída DIG M CCP2 A	
OCM2B	26	23	29	32	39	35	O	Saída DIG M CCP2 B	
OCM2C	4	1	35	38	23	13	O	DIG M CCP2 Saída C	
OCM2D	5	2	36	39	24	14	O	Saída DIG M CCP2 D	
OCM2E	6	3	1	1	25	15	O	Saída DIG M CCP2 E	
OCM2F	7	4	2	2	26	16	O	Saída DIG M CCP2 F	
OCM3A	24	21	11	11	37	54	O	Saída DIG M CCP3 A	
OCM3B	25	22	28	31	15	33	O	Saída DIG M CCP3 B	
OCM3C	11	8	9	9	35	59	O	DIG M CCP3 Saída C	
OCM3D	12	9	10	10	36	41	O	Saída DIG M CCP3 D	
OCM3E	14	11	15	15	45	42	O	Saída DIG M CCP3 E	
OCM3F	16	13	17	17	47	45	O	Saída DIG M CCP3 F	
OSC1	9	6	7	7	32	25	-	-	Cristal do oscilador primário
OSC2	10	7	8	8	33	26	-	-	Cristal do oscilador primário
PGEC1	5	2	36	39	24	14	Eu	ST	Entrada do relógio de programação da porta 1 do ICSP™
PGEC2	2	27	33	36	21	11	Eu	ST	Entrada do relógio de programação da porta 2 do ICSP
PGEC3	19	16	21	22	5	55	Eu	ST	Entrada do relógio de programação da porta 3 do ICSP
PGED1	4	1	35	38	23	13	Dados de programação I / O ST / DIG ICSP Port 1		
PGED2	3	28	34	37	22	12	Dados de programação I / O ST / DIG ICSP Port 2		
PGED3	14	11	15	15	45	43	Dados de programação I / O ST / DIG ICSP Port 3		
PWRLCLK	12	9	10	10	36	29	Eu	Relógio de tempo real ST	Entrada de relógio de 50/60 Hz

Lenda: ST = buffer de entrada do gatilho Schmitt
I2C = I2C Buffer de entrada C / SMBus

DIG = Entrada / saída digital
ANA = Entrada / saída de nível analógico

P = Potência •

PIC32MM0256GPM064 FAMÍLIA

TABELA 1-1: PIC32MM0256GPM064 DESCRIÇÃO DE PINOUT DA FAMÍLIA (CONTINUAÇÃO)

Nome do PIN	Número do PIN						Buffer do tipo de	Tipo	Descrição
	SSOP de 28 pinos	QFN / UQFN de 28 pinos	QFN de 36 pinos	pinos 40 UQFN	QFN / TQFP de 48 pinos	QFN / TQFP de 64 pinos			
RA0	2	27	33	36	21	11	E / S ST / DIG PORTA	E / S digitais	
RA1	3	28	34	37	22	12	E / S ST / DIG		
RA2	9	6	7	7	32	25	E / S ST / DIG		
RA3	10	7	8	8	33	26	E / S ST / DIG		
RA4	12	9	10	10	36	29	E / S ST / DIG		
RA5	-	-	-	-	-	54	E / S ST / DIG		
RA6	-	-	-	-	20	10	E / S ST / DIG		
RA7	-	-	-	-	14	1	E / S ST / DIG		
RA8	-	-	-	-	34	27	E / S ST / DIG		
RA9	-	-	11	11	37	30	E / S ST / DIG		
RA10	-	-	-	-	13	64	E / S ST / DIG		
RA11	-	-	-	-	-	8	E / S ST / DIG		
RA12	-	-	-	-	-	7	E / S ST / DIG		
RA13	-	-	-	-	-	6	E / S ST / DIG		
RA14	-	-	-	-	-	59	E / S ST / DIG		
RA15	-	-	-	-	8	58	E / S ST / DIG		
RB0	4	1	35	38	23	13	E / S ST / DIG PORTB	E / S digitais	
RB1	5	2	36	39	24	14	E / S ST / DIG		
RB2	6	3	1	1	25	15	E / S ST / DIG		
RB3	7	4	2	2	26	16	E / S ST / DIG		
RB4	11	8	9	9	35	28	E / S ST / DIG		
RB5	14	11	15	15	45	43	E / S ST / DIG		
RB6	15	12	16	16	46	44	E / S ST / DIG		
RB7	16	13	17	17	47	46	E / S ST / DIG		
RB8	17	14	18	18	48	48	E / S ST / DIG		
RB9	18	15	19	20	1	49	E / S ST / DIG		
RB10	21	18	24	27	9	60	E / S ST / DIG		
RB11	22	19	25	28	10	61	E / S ST / DIG		
RB13	24	21	27	30	12	63	E / S ST / DIG		
RB14	25	22	28	31	15	2	E / S ST / DIG		
RB15	26	23	29	32	16	3	E / S ST / DIG		

Lenda: ST = buffer de entrada do gatilho Schmitt
I2C = I2C Buffer de entrada C / SMBus

DIG = Entrada / saída digital
ANA = Entrada / saída de nível analógico

P = Potência •

PIC32MM0256GPM064 FAMÍLIA

TABELA 1-1: PIC32MM0256GPM064 DESCRIÇÃO DE PINOUT DA FAMÍLIA (CONTINUAÇÃO)

Nome do PIN	Número do PIN						Buffer do tipo de	Tipo	Descrição
	SSOP de 28 pinos	QFN / UQFN de 28 pinos	QFN de 36 pinos	pinos 40 UQFN	QFN / TQFP de 48 pinos	QFN / TQFP de 64 pinos			
RC0	-	-	3	3	27	19	E / S ST / DIG PORTC	E / S digitais	
RC1	-	-	4	4	28	20	E / S ST / DIG		
RC2	-	-	5	5	29	21	E / S ST / DIG		
RC3	-	-	14	14	39	35	E / S ST / DIG		
RC4	-	-	-	-	40	36	E / S ST / DIG		
RC5	-	-	-	-	41	37	E / S ST / DIG		
RC6	-	-	-	-	2	50	E / S ST / DIG		
RC7	-	-	-	-	3	51	E / S ST / DIG		
RC8	-	-	20	21	4	52	E / S ST / DIG		
RC9	19	16	21	22	5	55	E / S ST / DIG		
RC10	-	-	-	-	-	45	E / S ST / DIG		
RC11	-	-	-	-	-	22	E / S ST / DIG		
RC12	-	-	-	-	44	40	E / S ST / DIG		
RC13	-	-	-	-	-	47	E / S ST / DIG		
RC14	-	-	-	-	-	41	E / S ST / DIG		
RC15	-	-	-	-	-	42	E / S ST / DIG		
RD0	-	-	-	-	38	34	E / S ST / DIG PORTD	E / S digitais	
RD1	-	-	-	-	-	53	E / S ST / DIG		
RD2	-	-	-	-	-	32	E / S ST / DIG		
RD3	-	-	-	-	-	33	E / S ST / DIG		
RD4	-	-	-	-	-	31	E / S ST / DIG		
REFCLKI	18	15	19	20	38	34	Eu	Entrada de relógio de referência externa ST	
REFCLKO	26	23	29	32	16	3	O	Saída de relógio de referência externa ST	
RP1	2	27	33	36	21	11	E / S ST / DIG	Periféricos remappáveis (entrada ou saída)	
RP2	3	28	34	37	22	12	E / S ST / DIG		
RP3	9	6	7	7	32	25	E / S ST / DIG		
RP4	10	7	8	8	33	26	E / S ST / DIG		
RP5	12	9	10	10	36	29	E / S ST / DIG		
RP6	4	1	35	38	23	13	E / S ST / DIG		
RP7	5	2	36	39	24	14	E / S ST / DIG		
RP8	6	3	1	1	25	15	E / S ST / DIG		
RP9	7	4	2	2	26	16	E / S ST / DIG		
RP10	11	8	9	9	35	28	E / S ST / DIG		
RP11	14	11	15	15	45	43	E / S ST / DIG		
RP12	16	13	17	17	47	46	E / S ST / DIG		
RP13	17	14	18	18	48	48	E / S ST / DIG		
RP14	18	15	19	20	1	49	E / S ST / DIG		
RP15	24	21	27	30	12	63	E / S ST / DIG		
RP16	25	22	28	31	15	2	E / S ST / DIG		
RP17	26	23	29	32	16	3	E / S ST / DIG		
RP18	19	16	21	22	5	55	E / S ST / DIG		
RP19	-	-	5	5	29	21	E / S ST / DIG		
RP20	-	-	-	-	3	51	E / S ST / DIG		

Lenda: ST = buffer de entrada do gatilho Schmitt

DIG = Entrada / saída digital

P = Potência •

I2C = I2 Buffer de entrada C / SMBus

ANA = Entrada / saída de nível analógico

PIC32MM0256GPM064 FAMÍLIA

TABELA 1-1: PIC32MM0256GPM064 DESCRIÇÃO DE PINOUT DA FAMÍLIA (CONTINUAÇÃO)

Nome do PIN	Número do PIN						Buffer do tipo de	Tipo	Descrição
	SSOP de 28 pinos	QFN / UQFN de 28 pinos	QFN de 36 pinos	pinos 40 UQFN	QFN / TQFP de 48 pinos	QFN / TQFP de 64 pinos			
RP21	-	-	-	-	14	1	E / S ST	DIG	Periféricos remappáveis (entrada ou saída)
RP22	-	-	-	-	13	64	E / S ST	DIG	
RP23	-	-	-	-	2	50.	E / S ST	DIG	
RP24	-	-	11	11	37.	30	E / S ST	DIG	
RTCC	25	22	28.	31	8	58.	O	DIG	Relógio em tempo real / alarme de calendário / segundos resultado
SCK1	17	14	18	18	48.	47	Relógio de E / S ST	DIG SPI1	(entrada ou saída)
SCK3	24	21	27	30	13	64	Relógio de E / S ST	DIG SPI3	(entrada ou saída)
SCL1	17	14	18	18	48.	48.	I / O	I2C I2C1	entrada / saída síncrona do relógio
ASCL1	19	16	21	22	5	55	I / O	I2C	Entrada de relógio serial síncrona I2C1 alternativa / resultado
SCL2	7	4	2	2	26	16	I / O	I2C I2C2	entrada / saída de relógio serial síncrona
SCL3	24	21	27	30	12	63.	I / O	I2C I2C3	entrada / saída de relógio serial síncrona
SCLKI	12	9	10	10	36.	29	Eu	Entrada	do relógio digital do oscilador secundário ST
SDA1	18	15	19	20	1	49.	I / O	I2C I2C1	entrada / saída de dados
ASDA1	14	11	15	15	45	43	I / O	I2C	Entrada / saída alternativa de dados I2C1
SDA2	6	3	1	1	25	15	I / O	I2C I2C2	entrada / saída de dados
SDA3	16	13	17	17	47	46.	I / O	I2C I2C3	entrada / saída de dados
SDI1	25	22	28.	31	15	31	Eu	Entrada	de dados ST SPI1
SDI3	16	13	17	17	14	1	Eu	Entrada	de dados ST SPI3
SDO1	18	15	19	20	38.	34	O	Saída	de dados DIG SPI1
SDO3	19	16	21	22	34	27	O	Saída	de dados DIG SPI3
SOSCI	11	8	9	9	35	28.	-	-	Cristal do oscilador secundário
SOSCO	12	9	10	10	36.	29	-	-	Cristal do oscilador secundário
SS1	26	23	29	32.	16	32.	Eu	Entrada	de seleção de escravo ST SPI1
SS3	14	11	15	15	45	22	Eu	Entrada	de seleção de escravo ST SPI3
T1CK	18	15	19	20	38.	34	Eu	Entrada	do relógio externo ST Timer1
T2CK	18	15	3	3	27	19	Eu	Entrada	do relógio externo ST Timer2
T3CK	19	16	4	4	28.	20	Eu	Entrada	do relógio externo ST Timer3
T1G	18	15	19	20	38.	34	Eu	Entrada	do portão do relógio ST Timer1
T2G	18	15	3	3	27	19	Eu	Entrada	do portão do relógio ST Timer2
T3G	19	16	4	4	28.	20	Eu	Entrada	do portão do relógio ST Timer3
TCK	17	14	18	18	48.	48.	Eu	Entrada	do relógio ST JTAG
TDI	7	4	2	2	26	16	Eu	Entrada	de dados ST JTAG
TDO	19	16	21	22	5	55	O	Saída	de dados DIG JTAG
TMS	18	15	19	20	1	49.	Eu	Entrada	de seleção do modo ST JTAG

Lenda: ST = buffer de entrada do gatilho Schmitt
I2C = I 2 Buffer de entrada C / SMBus

DIG = Entrada / saída digital
ANA = Entrada / saída de nível analógico

P = Potência •

PIC32MM0256GPM064 FAMÍLIA

TABELA 1-1: PIC32MM0256GPM064 DESCRIÇÃO DE PINOUT DA FAMÍLIA (CONTINUAÇÃO)

Nome do PIN	Número do PIN						Buffer do tipo de	Tipo	Descrição
	SSOP de 28 pinos	QFN / UQFN de 28 pinos	QFN de 36 pinos	pinos 40 UQFN	QFN / TQFP de 48 pinos	QFN / TQFP de 64 pinos			
U1BCLK	18	15	19	20	38.	34	O	Saída DIG	UART1 IrDA @ 16x baud clock
U1CTS	17	14	18	18	48.	6	Eu	ST UART1	Limpar para Enviar
U1RTS	18	15	19	20	38.	34	O	DIG UART1	pronto para envio
U1RX	26	23	29	32.	20	10	Eu	ST UART1	recebe entrada de dados
U1TX	25	22	28.	31	44	40.	O	Saída de dados de transmissão DIG	UART1
USBID	14	11	15	15	45	43	Eu	ST USB	OTG ID (somente modo OTG)
USBOEN	19	16	21	22	5	55	O	-	Sinalizador de habilitação de saída do transceptor USB
VBUSON	25	22	28.	31	15	2	O	-	Host USB e saída de controle de energia de barramento On-The-Go (OTG)
V BUS	15	12	16	16	46.	44	P	- Conexão	USB V BUS (5V nominal)
V USB3V3	23	20	26	29	11	62	P	-	Entrada de energia do transceptor USB (3,3V nominal)
V CAP	20	17	22	24	7	56.	P	-	Capacitor de filtro de regulador de tensão de núcleo • conexão
V DD	13,28	10,25 13,28,31	13,26,	34	18,30, 43	17,23, 39,57	P	-	Fonte de alimentação de módulos digitais
V REF-	3	28.	34	37.	22	12	Eu	Conversor	Analogico-Digital ANA negativo • referência
V REF +	2	27	33	36.	21	11	Eu	Conversor	Analogico-Digital ANA positivo • referência
V SS	8,27	5,24	6,12,30 6,12,33 6,17,31,	42.	18,24, 38	P	-	-	Módulos digitais aterrados

Lenda:

ST = buffer de entrada do gatilho Schmitt

I2C = I2 Buffer de entrada C / SMBus

DIG = Entrada / saída digital

ANA = Entrada / saída de nível analógico

P = Potência •

2.0 DIRETRIZES PARA INICIAR COM MICROCONTROLADORES DE 32 BIT

Nota: Esta folha de dados resume os recursos da família de dispositivos PIC32MM0256GPM064. Não pretende ser uma fonte de referência abrangente. Para complementar as informações nesta folha de dados, consulte o *"Manual de Referência da Família PIC32"*, disponível no site da Microchip (www.microchip.com/PIC32) As informações nesta folha de dados substituem as informações no FRM.

2.1 Requisitos básicos de conexão

A introdução à família PIC32MM0256GPM064 de microcontroladores de 32 bits (MCUs) requer atenção a um conjunto mínimo de conexões de pinos do dispositivo antes de prosseguir com o desenvolvimento. A seguir, é apresentada uma lista de nomes de pinos, que devem sempre estar conectados:

- **All V_{DD} e V_{SS} alfinetes** •
(Veja [Seção 2.2 "Desacoplando capacitores"](#))
- **All AV_{DD} e AV_{SS} pinos, mesmo que o módulo ADC não seja usado** (consulte [Seção 2.2 "Desacoplando capacitores"](#))
- **Pino MCLR** (consulte [Seção 2.3 "Pino Master Clear \(MCLR\)"](#))
- **V_{BONÉ} pino** (consulte [Seção 2.4 "Pino regulador de tensão \(V_{BONÉ}\)"](#))
- **Pinos PGECx / PGEDx**, usados para Programação Serial no Circuito (ICSP™) e depuração •
fins (consulte [Seção 2.5 "Pinos ICSP"](#))
- **Pinos OSC1 e OSC2**, quando a fonte externa do oscilador é usada (consulte [Seção 2.7 "Pinos externos do oscilador"](#))
- **V_{USBV3} pino**, esse pino deve ser alimentado por USB •
operação (consulte [Seção 18.4 "Ligando o transceptor USB"](#))

Os seguintes pinos também podem ser necessários: V_{REF+} / V_{REF-} pinos, usados quando a referência de tensão externa para o módulo ADC é implementada.

Nota: O AV_{DD} e AV_{SS} os pinos devem estar conectados, independentemente do uso do ADC e da fonte de referência de tensão do ADC.

2.2 Dissociação de capacitores

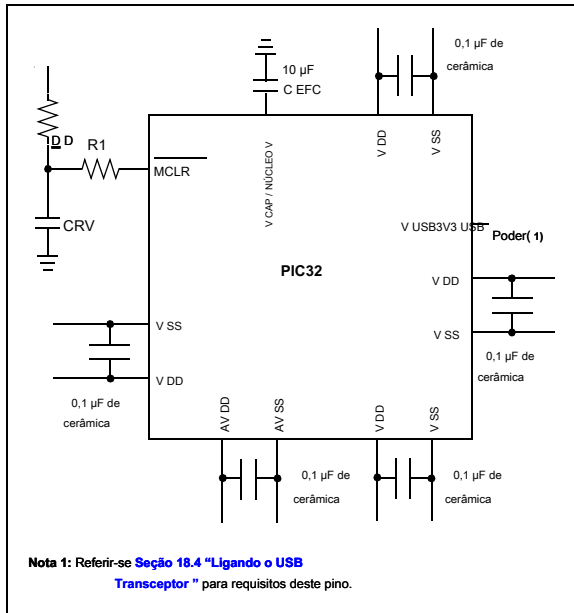
O uso de capacitores de desacoplamento nos pinos da fonte de alimentação, como V_{DD}, V_{SS}, AV_{DD} e AV_{SS}, É necessário. Veja [Figura 2-1](#) .

Considere os seguintes critérios ao usar capacitores de desacoplamento:

- **Valor e tipo de capacitor:** É recomendado um valor de 0,1 µF (100 nF), 10-20V. O capacitor deve ter uma baixa resistência equivalente em série •
(ESR baixo) e têm frequência de ressonância na faixa de 20 MHz e superior. Recomenda-se ainda a utilização de capacitores de cerâmica.
- **Colocação na placa de circuito impresso:** Os capacitores de desacoplamento devem ser colocados o mais próximo possível dos pinos. Recomenda-se que os capacitores sejam colocados no mesmo lado da placa que o dispositivo. Se o espaço for limitado, o capacitor pode ser colocado em outra camada da placa de circuito impresso usando uma via; no entanto, verifique se o comprimento do traço do pino até o capacitor tem um comprimento de um quarto de polegada (6 mm).
- **Manipulação de ruído de alta frequência:** Se a placa estiver apresentando ruído de alta frequência, acima de dezenas de MHz, adicione um segundo capacitor do tipo cerâmico em paralelo ao capacitor de desacoplamento descrito acima. O valor do segundo capacitor pode estar na faixa de 0,01 µF a 0,001 µF. Coloque este segundo capacitor próximo ao capacitor de desacoplamento primário. Nos projetos de circuitos de alta velocidade, considere implementar um par de capacitâncias de uma década, o mais próximo possível dos pinos de alimentação e de aterramento. Por exemplo, 0,1 µF em paralelo com 0,001 µF.
- **Maximizando o desempenho:** No layout da placa do circuito da fonte de alimentação, execute os traços de energia e retorne primeiro aos capacitores de desacoplamento e depois aos pinos do dispositivo. Isso garante que o •
capacitores de desacoplamento são os primeiros na cadeia de energia. Igualmente importante é manter o comprimento do traço entre o capacitor e os pinos de alimentação por •
mínimo, reduzindo assim a indutância da via PCB.

PIC32MM0256GPM064 FAMÍLIA

FIGURA 2-1: LIGAÇÃO MÍNIMA RECOMENDADA



2.2.1 CAPACITORES A GRANEL

O uso de um capacitor a granel é recomendado para melhorar a estabilidade da fonte de alimentação. Os valores típicos variam de 4,7 µF a 47 µF. Este capacitor deve estar localizado o mais próximo possível do dispositivo.

2.3 Pin Master Clear (MCLR)

O pino MCLR fornece duas funções específicas do dispositivo:

- Reinicialização do dispositivo
- Programação de dispositivos e remoção de depuração O gene low pin do MCLR cotações um dispositivo Redefinir.

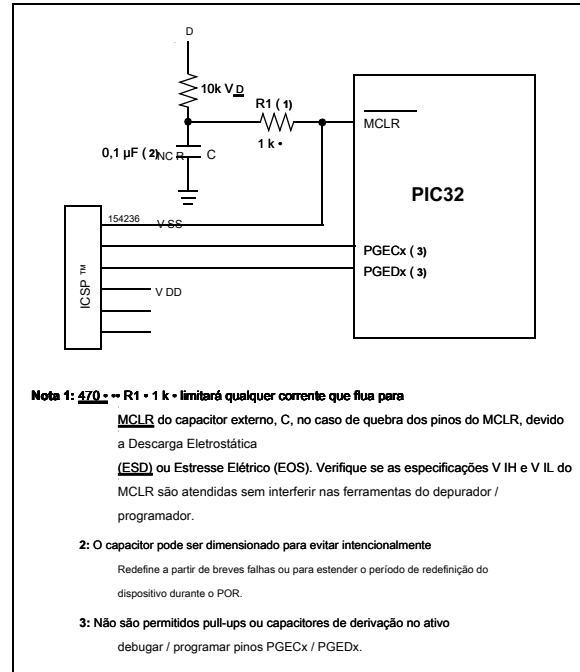
Figura 2-2 ilustra um circuito MCLR típico. Durante a programação e depuração do dispositivo, a resistência e a capacitância que podem ser adicionadas ao pino devem ser consideradas vermelho. Programadores e depuradores de dispositivos controlam o pino MCLR. Consequentemente, níveis específicos de tensão (V_{IH} e V_{IL}) e transições rápidas de sinal não devem ser afetadas adversamente. Portanto, valores específicos de R e C precisarão ser ajustados com base nos requisitos de aplicação e PCB.

Nota: Quando o MCLR é usado para ativar o dispositivo do Retention Sleep, um POR Reset ocorrerá.

Por exemplo, conforme ilustrado em Figura 2-2, isto é reco mmen concluiu que o capacitor C seria isolado do pino MCLR durante as operações de programação e depuração.

Coloque os componentes ilustrados em Figura 2-2 dentro de um quarto de polegada (6 mm) do pino MCLR.

FIGURA 2-2: EXEMPLO DE CONEXÕES DE PIN DE MCLR (1, 2, 3)



PIC32MM0256GPM064 FAMÍLIA

2.4 Pino do regulador de tensão (V_{BONÉ})

Um capacitor de baixo ESR (<5Ω) é necessário no V_{BONÉ} pino para estabilizar a tensão de saída do regulador de tensão no chip. O V_{BONÉ} o pino não deve estar conectado a V_{DD} e deve usar um capacitor de 10 μF conectado ao terra. O tipo pode ser cerâmico ou tântalo. Exemplos adequados de capacitores são mostrados em [Quadro 2-1](#). Capacitores com especificação equivalente podem ser usados. A colocação deste capacitor deve estar próxima de V_{BONÉ}.

Recomenda-se que o comprimento do rastreamento não exceda 0,25 polegadas (6 mm). Referir-se [Seção 29.0 “Características elétricas”](#) para informações adicionais. Designers podem usar [Figura 2-3](#) avaliar a equivalência ESR dos dispositivos candidatos.

FIGURA 2-3: FREQUÊNCIA vs. DESEMPENHO ESR PARA SUGERIDO V_{BONÉ}

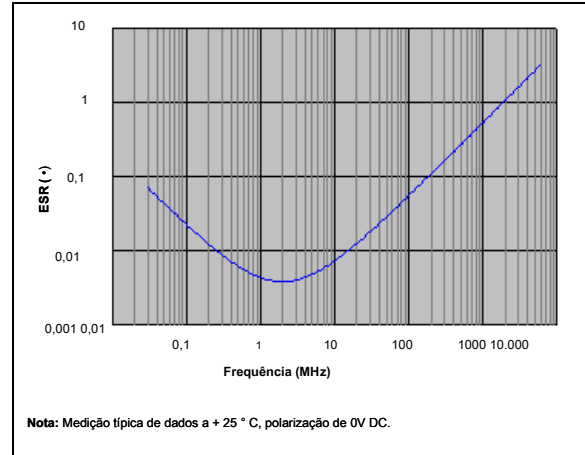


TABELA 2-1: EQUIVALENTES DE CAPACITOR ADEQUADO

Faço	Nº da peça	Nominal Tolerância básica da capacitância	Tensão nominal	Temp. Alcance	
TDK	C3216X7R1C106K	10 µF	± 10%	16V	- 55 a + 125°C
TDK	C3216X5R1C106K	10 µF	± 10%	16V	- 55 a + 85°C
Panasonic	ECJ-3YX1C106K	10 µF	± 10%	16V	- 55 a + 125°C
Panasonic	ECJ-4YB1C106K	10 µF	± 10%	16V	- 55 a + 85°C
Murata	GRM319R61C106KE15D	10 µF	± 10%	16V	- 55 a + 85°C

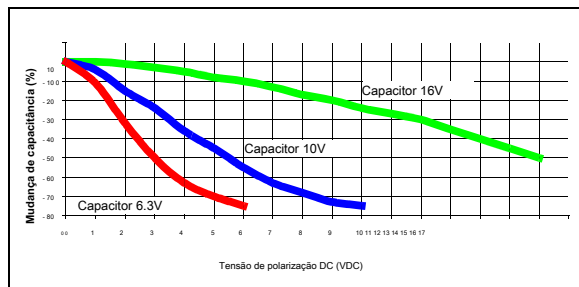
2.4.1 CONSIDERAÇÕES PARA CAPACITORES CERÂMICOS

Nos últimos anos, capacitores de cerâmica de grande valor e baixa voltagem para montagem em superfície tornaram-se muito econômicos em tamanhos de até algumas dezenas de microfarad. O baixo ESR, o tamanho físico pequeno e outras propriedades tornam os capacitores de cerâmica muito atraentes em muitos tipos de aplicações. Os capacitores de cerâmica são adequados para uso com o regulador de tensão interno deste microcontrolador. No entanto, são necessários alguns cuidados na seleção do capacitor para garantir que ele mantenha capacitância suficiente na faixa operacional pretendida da aplicação. **Baixo custo típico, 10 • Os capacitores de cerâmica F** estão disponíveis nas classificações dielétricas X5R, X7R e Y5V (outros tipos também estão disponíveis, mas são menos comuns). As especificações de tolerância inicial para esses tipos de capacitores são geralmente especificadas como $\pm 10\%$ a $\pm 20\%$ (X5R e X7R) ou -20% / $+80\%$ (Y5V). No entanto, a capacidade efetiva que esses capacitores fornecem em um circuito de aplicação também varia com base em fatores adicionais, como a tensão de polarização DC aplicada e a temperatura. A tolerância total no circuito é, portanto, muito maior que a especificação de tolerância inicial.

Os capacitores X5R e X7R geralmente exibem estabilidade de temperatura satisfatória (por exemplo: $\pm 15\%$ em uma ampla faixa de temperatura, mas consulte as folhas de dados do fabricante para especificações exatas). No entanto, os capacitores Y5V normalmente têm especificações de tolerância extrema à temperatura de $+22\%$ / -82% . Devido à extrema tolerância à temperatura, **10 • O capacitor do tipo Y5V de classificação nominal F** pode não fornecer capacitância total suficiente para atender aos requisitos mínimos de estabilidade do regulador de tensão interna e de resposta a transientes. Portanto, os capacitores Y5V não são recomendados para uso com o regulador interno.

Além da tolerância à temperatura, a capacitância efetiva de capacitores de cerâmica de grande valor pode variar substancialmente, com base na quantidade de tensão CC aplicada ao capacitor. Esse efeito pode ser muito significativo, mas geralmente é ignorado ou nem sempre é documentado. O gráfico típico de tensão de polarização CC vs. capacitância para capacitores do tipo X7R é mostrado em [Figura 2-4](#).

FIGURA 2-4: TENSÃO DA BIAS DA CC vs. CARACTERÍSTICAS DA CAPACIDADE



Ao selecionar um capacitor de cerâmica para ser usado com o regulador de tensão interno, é recomendável selecionar uma classificação de alta tensão, para que a tensão operacional seja uma pequena porcentagem da tensão nominal máxima do capacitor. A classificação CC mínima para o capacitor de cerâmica em V BONE é 16V. Os capacitores sugeridos são mostrados em [Quadro 2-1](#).

2.5 Pinos ICSP

Os pinos PGECx e PGEDx são utilizados para a Programação Serial no Circuito (ICSP™) e para fins de depuração. Recomenda-se manter o comprimento do rastreamento entre o conector ICSP e os pinos do ICSP no dispositivo o mais curto possível. Se se espera que o conector ICSP experimente um evento ESD, recomenda-se um resistor em série, com o valor na faixa de algumas dezenas de Ohms, que não exceda 100 Ohms. Resistores pull-up, diodos em série e capacitores nos pinos PGECx e PGEDx não são recomendados, pois interferem nas comunicações do programador / depurador com o dispositivo. Se esses componentes discretos são um requisito de aplicação, eles devem ser removidos do circuito durante a programação e depuração. Alternativamente, IH e tensão de entrada baixa (V IL) requisitos. Certifique-se de que a "Seleção do canal de comunicação" (pinos PGECx / PGEDx) programada no dispositivo corresponda às conexões físicas do ICSP ao MPLAB® Emulador de circuito integrado ICD 3 ou MPLAB REAL ICE™.

Para obter mais informações sobre os requisitos de conexão MPLAB® ICD 3 e REAL ICE, referir para o seguinte documentos disponíveis no site da Microchip.

- *"Usando o MPLAB® CID 3" (poster) (DS51765)*
- *"Assessoria de design de ferramentas de desenvolvimento" (DS51764)*
- *"MPLAB® Guia do usuário do emulador de circuito REAL ICE™" (DS51616)*
- *"Usando o MPLAB® Emulador em circuito REAL ICE™" (poster) (DS51749)*

2.6 JTAG

Os pinos TMS, TDO, TDI e TCK são usados para teste e depuração de acordo com o padrão Joint Test Action Group (JTAG). Recomenda-se manter o comprimento do rastreamento entre o conector JTAG e os pinos JTAG no dispositivo o mais curto possível. Se se espera que o conector JTAG experimente um evento ESD, recomenda-se um resistor em série, com o valor na faixa de algumas dezenas de Ohms, que não exceda 100 Ohms.

Resistores pull-up, diodos em série e capacitores nos pinos TMS, TDO, TDI e TCK não são recomendados, pois interferem nas comunicações do programador / depurador do dispositivo. Se esses componentes discretos são um requisito de aplicação, eles devem ser removidos do circuito durante a programação e depuração. Como alternativa, consulte as informações sobre as características CA / CC e os requisitos de tempo na respectiva especificação de programação do flash do dispositivo para obter informações sobre os limites de carga capacitiva e o pino de tensão de entrada alta (V IH)

e tensão de entrada baixa (V IL) requisitos.

2.7 Pinos do oscilador externo

Essa família de dispositivos possui opções para dois osciladores externos: um oscilador primário de alta frequência e um oscilador secundário de baixa frequência (referir para

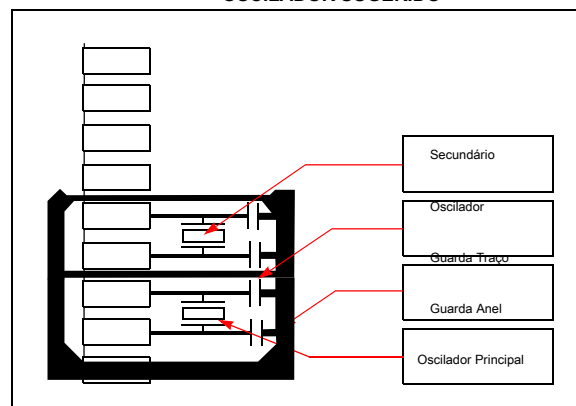
Seção 9.0 "Configuração do oscilador" para detalhes). O circuito do oscilador deve ser colocado no mesmo lado da placa que o dispositivo. Além disso, coloque o circuito do oscilador próximo aos respectivos pinos do oscilador, não excedendo a distância de meia polegada (12 mm) entre eles. Os capacitores de carga devem ser colocados ao lado do próprio oscilador, no mesmo lado da placa. Use um vazamento de cobre aterrado ao redor do circuito do oscilador para isolá-los dos circuitos circundantes. O vazamento de cobre aterrado deve ser roteado diretamente para o terra do MCU. Não execute traços de sinal ou traços de energia dentro do solo. Além disso, se estiver usando uma placa frente e verso, evite traços do outro lado da placa onde o cristal é colocado. Um layout sugerido é ilustrado em

Figura 2-5 .

Para obter informações adicionais e orientações sobre o design dos circuitos do oscilador, consulte estas Notas sobre aplicativos de microchip, disponíveis no site corporativo: (www.microchip.com)

- AN826, "Fundamentos do oscilador de cristal e seleção de cristal para rPIC™ e PICmicro® Dispositivos "
- AN849, "PICmicro básico @ Projeto do oscilador "
- AN943, "PICmicro prático @ Análise e projeto do oscilador "
- AN949, "Fazendo o seu oscilador funcionar"

FIGURA 2-5: COLOCAÇÃO DE CIRCUITO DO OSCILADOR SUGERIDO



2.8 E / Ss não utilizadas

Para minimizar o consumo de energia, os pinos de E / S não utilizados não devem flutuar como entradas. Eles podem ser configurados como saídas e direcionados para um estado lógico baixo ou lógico alto.

Como alternativa, as entradas podem ser reservadas, garantindo que o pino esteja sempre configurado como entrada e conectando externamente o pino a V SS ou V DD. Um resistor limitador de corrente pode ser usado para criar esta conexão se houver risco de configurar inadvertidamente o pino como uma saída com o estado de saída lógica oposto ao trilho de energia escolhido.

PIC32MM0256GPM064 FAMÍLIA

CPU 3.0

Nota: Esta folha de dados resume os recursos da família de dispositivos PIC32MM0256GPM064. isto não é destinado a ser um fonte de referência abrangente. Para complementar as informações nesta folha de dados, consulte **Seção 50. "CPU para dispositivos com MIPS32® núcleo microAptiv™ e M-Class"** (DS60001192) no

"Manual de Referência da Família PIC32", disponível no site da Microchip (www.microchip.com/PIC32) MIPS32®

Os principais recursos do microprocessador microAptiv™ UC estão disponíveis em: www.imgtec.com. As informações nesta folha de dados substituem as informações no FRM.

O MIPS32® O núcleo do microprocessador microAptiv™ UC é o coração da família PIC32MM0256GPM064 dispositivos. A CPU busca instruções, decodifica cada instrução, busca operandos de origem, executa cada instrução e grava os resultados da execução da instrução nos destinos apropriados.

3.1. Características

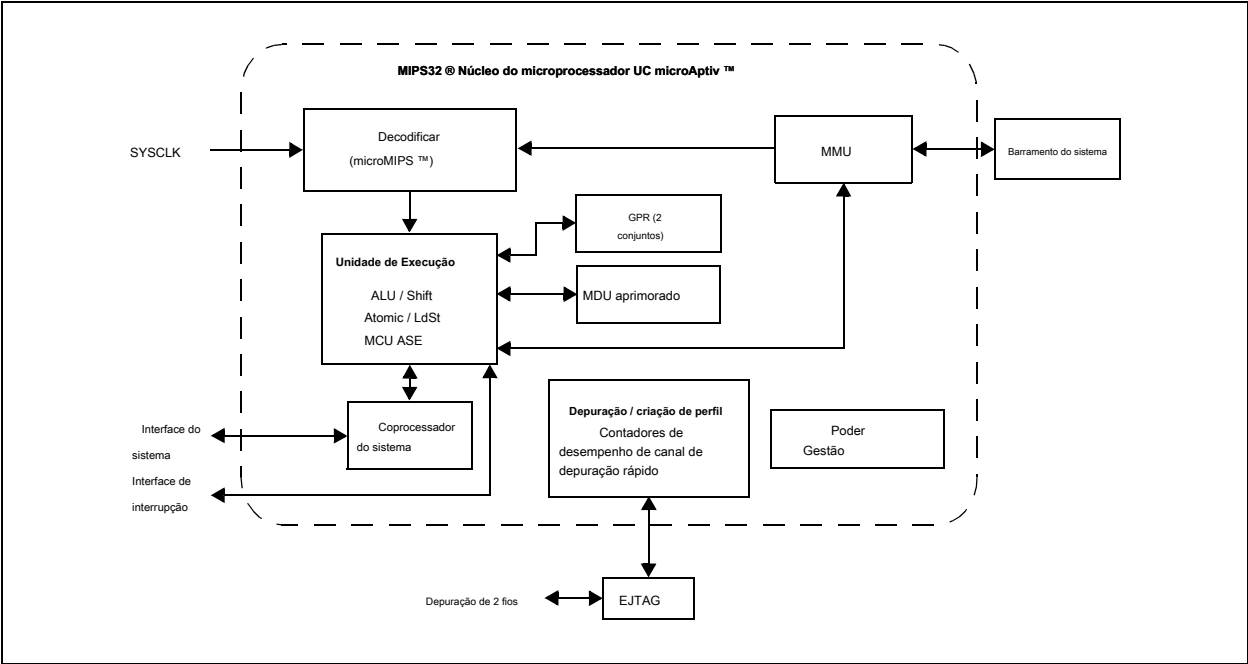
Os principais recursos do processador da família PIC32MM0256GPM064 incluem:

- Pipeline de 5 estágios
- Endereço de 32 bits e caminhos de dados
- Arquitetura aprimorada do MIPS32:
 - Instruções para multiplicar-adicionar e multiplicar-subtrair.
 - Instrução de multiplicação direcionada.
 - Zero e um detectam instruções.
 - ESPERAR instrução.
 - Instruções de movimentação condicional.
 - Interrupções vetoriais.
 - Ativação / desativação de interrupção atômica.
 - Uma sombra GPR definida para minimizar a latência de interrupções.
 - Instruções de manipulação de campo de bits.
- Conjunto de instruções microMIPS™:
 - O microMIPS permite melhorar a densidade do tamanho do código em relação ao MIPS32, mantendo o desempenho do MIPS32.
 - O microMIPS suporta todas as instruções do MIPS32 (exceto as instruções com probabilidade de ramificação) com a nova codificação de 32 bits otimizada. As instruções frequentes do MIPS32 estão disponíveis como instruções de 16 bits.
 - Adicionado dezessete novos e trinta e cinco MIPS32® instruções correspondentes e comumente usadas no formato opcode de 16 bits.
 - Ponteiro de pilha implícito na instrução.
 - Montagem MIPS32 e ABI compatível.

- Unidade de gerenciamento de memória com mecanismo FMT (Simple Fixed Mapping Translation)
- Multiplicar / dividir a unidade (MDU):
 - Configurável usando alto desempenho • matriz multiplicadora.
 - A taxa máxima de emissão de uma multiplicação de 32x16 por relógio.
 - A taxa máxima de emissão de um 32x32 multiplica todos os outros relógios.
 - Cedo na divisão iterativa. Latência mínima de 11 e máxima de 33 relógios (depende da extensão do sinal de dividendo (rs)).
- Controle de poder:
 - Sem frequência mínima: 0 MHz.
 - Modo de desligamento (acionado por ESPERAR instrução).
- Depuração / criação de perfil EJTAG:
 - Controle de CPU com partida, parada e passo único.
 - Pontos de interrupção do software via SDBBP instrução.
 - Pontos de interrupção de hardware simples em endereços virtuais, 4 instruções e • 2 pontos de interrupção de dados.
 - Amostragem de PC e / ou endereço de carga / armazenamento para criação de perfil.
 - Contadores de desempenho.
 - Suporta Canal de Depuração Rápida (FDC). Um diagrama de blocos do núcleo do processador da família PIC32MM0256GPM064 é mostrado em [Figura 3-1](#).

PIC32MM0256GPM064 FAMÍLIA

FIGURA 3-1: PIC32MM0256GPM064 DIAGRAMA DO BLOCO DE BASE DO MICROPROCESSADOR DE FAMÍLIA



PIC32MM0256GPM064 FAMÍLIA

3.2 Visão geral da arquitetura

O MIPS32® O núcleo do microprocessador microAptiv™ UC nos dispositivos da família PIC32MM0256GPM064 contém vários blocos lógicos, trabalhando juntos em paralelo, fornecendo um mecanismo de computação de alto desempenho eficiente. Os seguintes blocos estão incluídos no núcleo:

- Unidade de Execução
- Registro de uso geral (GPR)
- Unidade Multiplicar / Dividir (MDU)
- Coprocessador de controle do sistema (CP0)
- Unidade de Gerenciamento de Memória (MMU)
- Gerenciamento de energia
- Decodificador de instruções microMIPS
- Controlador JTAG (EJTAG) aprimorado

3.2.1 UNIDADE DE EXECUÇÃO

A unidade de execução principal do processador implementa uma arquitetura de carregamento / armazenamento com operações de ALU de ciclo único (lógica, turno, adição, subtração) e uma Unidade de Multiplicar / Dividir (MDU) autônoma. O núcleo contém trinta e dois GPRs (General Purpose Registers) de 32 bits usados para operações inteiras e cálculo de endereço. Um conjunto de sombras de arquivo de registro adicional (contendo trinta e dois registros) é adicionado para minimizar a sobrecarga da alternância de contexto durante o processamento de interrupção / exceção. O arquivo de registro consiste em duas portas de leitura e uma porta de gravação e é totalmente ignorado para minimizar a latência da operação no pipeline. A unidade de execução inclui:

- Somador de 32 bits usado para calcular o endereço de dados
- Unidade de endereço para calcular o próximo endereço de instrução
- Lógica para determinação de filial e cálculo de endereço de destino da filial
- Alinhador de carga
- Ignorar multiplexadores usados para evitar Stalls ao executar fluxos de instruções em que as instruções de produção de dados são seguidas de perto pelos consumidores para seus resultados
- Zero / uma unidade de detecção principal para implementar o **CLZ e CLO instruções**
- Unidade Lógica Aritmética (ALU) para executar operações aritméticas e lógicas bit a bit
- Alavanca de mudanças e loja

3.2.2. UNIDADE MULTIPLICAR / DIVIDIR (MDU) O núcleo microAptiv UC inclui uma Unidade Multiplicar / Dividir (MDU) que contém um pipeline separado para operações de multiplicação e divisão. Esse oleoduto opera em paralelo com o oleoduto da Unidade Inteira (UI) e não para quando o oleoduto da IU para. Isso permite que as operações MDU de longa duração sejam parcialmente mascaradas pelos travamentos do sistema e / ou outras instruções da Unidade Inteira. O MDU de alto desempenho consiste em um multiplicador recodificado de cabine de 32x16, registradores de resultado / acumulação (HI e LO), uma máquina de estado dividido e os multiplexadores e lógicas de controle necessários. O primeiro número mostrado ('32' de 32x16) representa o operando rs. O segundo número ('16' de 32x16) representa o operando rt. O núcleo do microAptiv UC verifica apenas o valor do operando rt para determinar quantas vezes a operação deve passar pelo multiplicador. As operações 16x16 e 32x16 passam pelo multiplicador uma vez. Uma operação de 32x32 passa pelo multiplicador duas vezes. O MDU suporta a execução de uma operação de multiplicação de 16x16 ou 32x16 a cada ciclo do relógio; As operações de multiplicação de 32 x 32 podem ser emitidas em qualquer outro ciclo do relógio. Os intertravamentos apropriados são implementados para impedir a emissão de operações de multiplicação consecutivas de 32x32. O tamanho do operando de multiplicação é determinado automaticamente pela lógica incorporada na MDU. As operações de divisão são implementadas com um algoritmo iterativo simples de 1 bit por relógio. Uma detecção antecipada verifica a extensão do sinal do operando de dividendos (rs). Se rs tiver 8 bits de largura, 23 iterações serão ignoradas. Para um rs de largura de 16 bits, 15 iterações são ignoradas e para um rs de largura de 24 bits, 7 iterações são ignoradas.

Quadro 3-1 lista a taxa de repetição (taxa máxima de emissão de ciclos até que a operação possa ser reemitida) e latência (número de ciclos até que um resultado esteja disponível) para o microAptiv UC multiply e dividir as instruções. A latência aproximada e as taxas de repetição são listadas em termos de relógios de pipeline.

TABELA 3-1: LATENCIAS E REPETIDAS DE UNIDADES MULTIPLICADAS / DIVIDIDAS

	Tamanho do operando (mul rt) (div rs)	Latência	Taxa de repetição
MULT / MULTU, MADD / MADDU, MSUB / MSUBU	16 bits	1	1
	32 bits	2	2
MUL (Destino GPR)	16 bits	2	1
	32 bits	3	2
DIV / DIVU	8 bits	12	11
	16 bits	19	18
	24 bits	26	25
	32 bits	33	32.

PIC32MM0256GPM064 FAMÍLIA

O MIPS® A arquitetura define que o resultado de uma operação de multiplicação ou divisão seja colocado nos registros HI e LO. Usando o **Move-From-HI (MFHI) e Move-From-LO (MFLO) instruções**, esses valores podem ser transferidos para o arquivo de registro de uso geral. Além das operações direcionadas HI / LO, a arquitetura MIPS também define uma instrução **Multiply, MUL**,

que coloca os resultados menos significativos no arquivo de registro **primário em vez do par de registros HI / LO. Evitando o uso explícito MFLO instrução**, necessária ao usar o registro LO, e ao suportar vários registros de destino, a taxa de transferência de operações com uso intensivo de multiplicação é aumentada. Outros dois

instruções, Multiply-Add (MADD) e Multiplicar-Subtrair (MSUB), são usados para executar as operações de multiplicar-acumular e multiplicar-subtrair. o MADD A instrução multiplica dois números e, em seguida, adiciona o produto ao **conteúdo atual dos registros HI e LO. Da mesma forma, o MSUB A instrução** multiplica dois operandos e subtrai o produto dos registros **HI e LO. o MADD e MSUB operações são comumente usadas em** algoritmos DSP.

3.2.3. CONTROLE DE SISTEMA •

COPROCESSOR (CP0) Na arquitetura MIPS, o CP0 é responsável pela conversão de endereço virtual para físico, pelo sistema de controle de exceções, pela capacidade de diagnóstico do processador, pelos modos operacionais (Kernel, Usuário e Depuração) e se as interrupções estão ativadas ou desativadas. Essas opções de configuração e outras informações do sistema estão disponíveis acessando os registros CP0 listados em

[Quadro 3-2](#) .

PIC32MM0256GPM064 FAMÍLIA

3.3. Gerenciamento de energia

O núcleo do processador oferece vários recursos de gerenciamento de energia, incluindo design de baixa energia, gerenciamento de energia ativa e modos de operação de desligamento. O núcleo é um projeto estático que suporta a desaceleração ou interrupção dos relógios, o que reduz o consumo de energia do sistema durante períodos ociosos.

O mecanismo para chamar o modo Power-Down é implementado através da execução de a ESPERAR instrução, usada para iniciar suspensão ou inatividade. A maior parte da energia consumida pelo núcleo do processador está na árvore de clock e nos registros de clock. A família PIC32MM faz uso extensivo de relógios fechados locais para reduzir esse consumo dinâmico de energia.

3.4. Suporte a depuração EJTAG

O núcleo do microAptiv UC possui uma interface Enhanced JTAG (EJTAG) para uso na depuração do software. Além do modo padrão de operação, o núcleo do microAptiv UC fornece um modo de Depuração que é inserido após uma exceção de depuração (derivada de um ponto de interrupção do hardware, exceção de etapa única etc.) é tomada e continua até que um retorno de exceção de depuração (DERET)

instrução é executada. Durante esse período, o processador executa a rotina do manipulador de exceções de depuração.

A interface EJTAG opera através da porta de acesso de teste (TAP), uma porta de comunicação serial usada para transferir dados de teste dentro e fora do núcleo microAptiv UC. Além das instruções JTAG padrão, instruções especiais definidas na especificação EJTAG especificam quais registros são selecionados e como são usados.

3.5 MIPS32® microAptiv™ UC Core Configuração

[Registro 3-1](#) através [Registro 3-4](#) mostre a configuração padrão do núcleo microAptiv UC, incluído nos dispositivos da família PIC32MM0256GPM064.

PIC32MM0256GPM064 FAMÍLIA

REGISTO 3-1: CONFIG: REGISTRO DE CONFIGURAÇÃO; CP0 REGISTRAR 16, SELECIONAR 0

Intervalo de bits	Bit 31/23/15/7	Bit 30/22/14/6	Bit 29/21/13/5	Bit 28/20/12/4	Bit 27/19/11/3	Bit 26/18/10/2	Bit 25/17/9/1	Bit 24/16/8/0
31:24	r-1	R / W-0	R / W-1	R / W-0	R / W-0	R / W-1	R / W-0	r-0
	-	K23 <2: 0>			KU <2: 0> (1)			-
23:16	r-0	R-0	R-1	R-0	r-0	r-0	r-0	R-1
	-	UDI	SB	MDU	-	-	-	DS
15: 8	R-0	R-0	R-0	R-0	R-0	R-1	R-0	R-1
	ESTAR	AT <1: 0>		AR <2: 0>			MT <2: 1>	
7: 0	R-1	r-0	r-0	r-0	r-0	R / W-0	R / W-1	R / W-0
	MT <0>	-	-	-	-	K0 <2: 0>		

Lenda:	r = bit reservado
R = bit legível	W = bit gravável
-n = Valor em POR	'1' = Bit está definido
	'0' = O bit está limpo
	x = Bit é desconhecido

bit 31 **Reservado:** Este bit está conectado a '1' para indicar a presença do bit de registro CONFIG1 30-28 K23 <2: 0>: Armazenamento em cache dos bits dos segmentos kseg2 e kseg3

010 = O cache não está implementado, bit 27-25 KU <2: 0>: Capacidade de cache dos bits dos segmentos kuseg e useg (1)

010 = O cache não está implementado, bits 24-23 **Reservado:** Deve ser escrito como zeros; retorna zeros nas leituras do bit 22

UDI: Bit definido pelo usuário

0 = As instruções definidas pelo usuário do CorExtend não são implementadas, bit 21

SB: Bit SimpleBE

1 = Somente Habilitações de Byte Simples são permitidas no bit 20 da interface de barramento interno

MDU: Bit de Multiplicar / Dividir Unidade

0 = Bit MDU rápido e de alto desempenho 19-17 **Reservado:** Deve ser escrito como

zeros; retorna zeros nas leituras do bit 16

DS: Bit de interface SRAM duplo

1 = Interface SRAM dupla de dados / instrução, bit 15

ESTAR: Bit do modo Endian

0 = Bit-endian pouco 14-13 AT <1: 0>: Bits

do tipo arquitetura

00 = MIPS32®

bit 12-10 AR <2: 0>: Bits de nível de revisão de arquitetura

001 = MIPS32 Release 2 bit 9-7 MT

<2: 0>: Bits do tipo MMU

011 = Bit de mapeamento fixo 6-3 **Reservado:** Deve ser escrito como zeros; retorna zeros

nas leituras do bit 2-0 K0 <2: 0>: Bits do algoritmo de coerência kseg0

010 = O cache não está implementado

Nota 1: Os bits KU <2: 0> não são utilizáveis, pois este dispositivo não suporta o modo Usuário.

PIC32MM0256GPM064 FAMÍLIA

REGISTRAR 3-2: CONFIG1: REGISTRO DE CONFIGURAÇÃO 1; CP0 REGISTRAR 16, SELECIONAR 1

Intervalo de bits	Bit 31/23/15/7	Bit 30/22/14/6	Bit 29/21/13/5	Bit 28/20/12/4	Bit 27/19/11/3	Bit 26/18/10/2	Bit 25/17/9/1	Bit 24/16/8/0
31:24	r-1	U-0	U-0	U-0	U-0	U-0	U-0	U-0
	-	-	-	-	-	-	-	-
23:16	U-0	U-0	U-0	U-0	U-0	U-0	U-0	U-0
	-	-	-	-	-	-	-	-
15: 8	U-0	U-0	U-0	U-0	U-0	U-0	U-0	U-0
	-	-	-	-	-	-	-	-
7: 0	U-0	U-0	U-0	R-1	R-0	R-0	R-1	R-0
	-	-	-	PC	WR	CA	EP	FP

Lenda: r = bit reservado
R = bit legível W = bit gravável U = bit não implementado, lido como '0'
-n = Valor em POR '1' = Bit está definido '0' = O bit está limpo x = Bit é desconhecido

bit 31 **Reservado:** Este bit está conectado a '1' para indicar a presença do bit de registro CONFIG2 30-5 Não

implementado: Leia como '0' bit 4

PC: Bit de contador de desempenho

1 = O núcleo do processador contém contadores de desempenho bit 3

WR: Assista ao bit de presença de registro

0 = Não há registros Watch presentes bit 2

CA: Bit implementado de compactação de código

0 = No MIPS16e estão presentes bit 1

EP: EJTAG Present bit

1 = Núcleo implementa EJTAG bit 0

FP: Bit de unidade de ponto flutuante

0 = Unidade de ponto flutuante não implementada

PIC32MM0256GPM064 FAMÍLIA

REGISTRAR 3-3: CONFIG3: REGISTRO DE CONFIGURAÇÃO 3; CP0 REGISTRAR 16, SELECIONAR 3

Intervalo de bits	Bit 31/23/15/7	Bit 30/22/14/6	Bit 29/21/13/5	Bit 28/20/12/4	Bit 27/19/11/3	Bit 26/18/10/2	Bit 25/17/9/1	Bit 24/16/8/0
31:24	r-0	U-0	U-0	U-0	U-0	U-0	U-0	U-0
	-	-	-	-	-	-	-	-
23:16	U-0	R-0	R-1	R-0	R-0	R-0	R-1	R-1
	-	IPLW <1: 0>		MMAR <2: 0>			MCU	ISAONEXC
15: 8	R-0	R-1	R-1	R-1	U-0	U-0	U-0	R-0
	ISA <1: 0>		ULRI	RXI	-	-	-	ITL
7: 0	U-0	R-1	R-1	R-0	R-1	U-0	U-0	R-0
	-	VEIC	VINT	SP	CDMM	-	-	TL

Lenda:	r = bit reservado	y = Valor definido nos bits de configuração no POR
R = bit legível	W = bit gravável	U = bit não implementado, lido como '0'
-n = Valor em POR	'1' = Bit está definido	'0' = O bit está limpo
		x = Bit é desconhecido

bit 31 **Reservado:** Este bit está conectado como '0' 0 'bit 30-23 Não implementado: Leia

como '0' 0 'bit 22-21 IPLW <1: 0>: Largura dos bits IPL de status e RIPL de causa

01 = Os bits IPL e RIPL têm 8 bits na largura 20-18 **MMAR <2: 0>**: bits de nível de revisão da arquitetura microMIPS™

000 = Release 1 bit 17

MCU: MIPS® Bit implementado do MCU ASE

1 = O MCU ASE é implementado no bit 16

ISAONEXC: ISA no bit de exceção

1 = O microMIPS é usado na entrada de um vetor de exceção bit 15-14 **ISA <1: 0>**: Bits de disponibilidade do conjunto de instruções

01 = Somente o microMIPS é implementado, bit 13

ULRI: Bit implementado de registro do UserLocal

1 = O registro do Coprocessador UserLocal 0 é implementado, bit 12

RXI: RIE e XIE implementado no bit PageGrain

1 = Os bits RIE e XIE são implementados no bit 11-9 Não

Implementado: Leia como '0' 0 'bit 8

ITL: Indica que o hardware do iFlowtrace™ está presente

0 = O hardware do iFlowtrace não está implementado no bit principal 7

Não implementado: Leia como '0' 0 'bit 6

VEIC: Bit de controlador de interrupção de vetor externo

1 = Suporte para um controlador de interrupção externo é implementado. bit 5

VINT: Bit de interrupção de vetor

1 = As interrupções de vetor são implementadas no bit 4

SP: Bit de página pequena

0 = Tamanho da página de 4 Kbytes,

bit 3 **CDMM:** Bit de mapa de memória de dispositivo comum

1 = CDMM é implementado no bit 2-1

Não implementado: Leia como '0' 0 'bit 0

TL: Bit de lógica de rastreamento

0 = A lógica de rastreamento não está implementada

PIC32MM0256GPM064 FAMÍLIA

REGISTRAR 3-4: CONFIG5: REGISTRO DE CONFIGURAÇÃO 5; CP0 REGISTRAR 16, SELECIONAR 5

Intervalo de bits	Bit 31/23/15/7	Bit 30/22/14/6	Bit 29/21/13/5	Bit 28/20/12/4	Bit 27/19/11/3	Bit 26/18/10/2	Bit 25/17/9/1	Bit 24/16/8/0
31:24	U-0	U-0	U-0	U-0	U-0	U-0	U-0	U-0
	-	-	-	-	-	-	-	-
23:16	U-0	U-0	U-0	U-0	U-0	U-0	U-0	U-0
	-	-	-	-	-	-	-	-
15: 8	U-0	U-0	U-0	U-0	U-0	U-0	U-0	U-0
	-	-	-	-	-	-	-	-
7: 0	U-0	U-0	U-0	U-0	U-0	U-0	U-0	R-1
	-	-	-	-	-	-	-	NF

Lenda:

R = bit legível

W = bit gravável

U = bit não implementado, lido como '0'

-n = Valor em POR

'1' = Bit está definido

'0' = O bit está limpo

x = Bit é desconhecido

bit 31-1 Não Implementado: Leia como '0' 0 'bit 0

NF: Bit de falha aninhada

1 = O recurso de falha aninhada é implementado

4.0 ORGANIZAÇÃO DA MEMÓRIA

Os microcontroladores PIC32MM fornecem 4 GBytes de espaço de endereço de memória virtual unificado. Todas as regiões de memória, incluindo memória de programa, memória de dados, SFRs e registros de configuração, residem nesse espaço de endereço em seus respectivos endereços exclusivos. A memória de dados pode ser executada, permitindo que a CPU execute código da memória de dados. Os principais recursos incluem:

- Largura de dados nativos de 32 bits
- **Memória Flash de inicialização separada (BFM) para** • Código protegido
- **Manipulação de exceção de barramento robusta para interceptar** • Código fugitivo
- Mapeamento de memória simples com unidade FMT (Fixed Mapping Translation)

Os dispositivos da família PIC32MM0256GPM064 implementam dois espaços de endereço: virtual e físico. Todos os recursos de hardware, como memória de programa, memória de dados e periféricos, estão localizados em seus respectivos endereços físicos. Endereços virtuais são usados exclusivamente pela CPU para buscar e executar instruções. Endereços físicos são usados por periféricos, como controladores Flash, que acessam a memória independentemente da CPU.

O espaço de endereço virtual é dividido em dois segmentos de 512 Mbytes cada, rotulados como kseg0 e kseg1. A Memória Flash do Programa (PFM) e a Memória RAM de Dados (DRM) são acessíveis a partir do kseg0 ou do kseg1, enquanto a Memória Flash do Boot (BFM) e os SFRs periféricos são acessíveis apenas a partir do kseg1.

A unidade FMT (Fixed Mapping Translation) converte os segmentos de memória nas regiões de endereço físico correspondentes. [Figura 4-1](#) através [Figura 4-3](#) ilustrar o esquema de mapeamento fixo, implementado pelo núcleo da família PIC32MM0256GPM064, entre o espaço de endereço virtual e físico.

O mapeamento dos segmentos de memória depende do nível de erro da CPU, definido pelo bit ERL no registro de STATUS da CPU. O nível de erro **está definido (ERL = 1) pela CPU em um Reset, Soft Reset ou Non-Maskable Interrupt (NMI)**. Nesse modo, a CPU pode acessar a memória pelo endereço físico. Este modo é fornecido para compatibilidade com outros núcleos de processador MIPS que usam uma MMU baseada em TLB. O código de inicialização C limpa o bit ERL para zero, de modo que, quando o software aplicativo é iniciado, ele vê o mapeamento de virtual para memória física adequado.

4.1 Espaço de bits de configuração alternativo

Cada palavra de configuração tem uma palavra alternativa associada (designada pela letra A como a primeira letra no nome da palavra). Durante a inicialização do dispositivo, as Palavras Primárias são lidas e, se erros ECC incorretos forem encontrados, o sinalizador BCFGERR (RCON <27>) é definido e as Palavras Alternativas são usadas. Se erros ECC incorrigíveis forem encontrados nas Palavras Primárias e Alternativas, o sinalizador BCFGFAIL (RCON <26>) será definido e a configuração padrão será usada. A área de bits da configuração principal está localizada no intervalo de endereços, de 0x1FC01780 a 0x1FC017E8. A área de bits de configuração alternativa está localizada no intervalo de endereços, de 0x1FC01700 a 0x1FC01768.

4.2 Matriz de barramento (BMX)

O BMX é uma estrutura de switch que conecta os iniciadores de barramento do sistema (controlador Flash, instrução da CPU, dados da CPU, DMA do sistema e USB) aos destinos do barramento (RAM, Flash e periféricos sem DMA integrado). Todos os dados e instruções são transferidos através deste barramento. Somente um iniciador pode se conectar a um determinado destino por vez. Vários iniciadores podem estar ativos ao mesmo tempo, desde que cada um tenha um destino separado. Vários modos de prioridade (Round Robin, CPU fixa mais alta e CPU fixa mais baixa) estão disponíveis para permitir que a prioridade seja adaptada às necessidades do aplicativo. O modo 0 é um modo de prioridade fixa, com a CPU com a maior prioridade (consulte

Quadro 4-1) Para a maioria dos aplicativos, esse modo deve ser suficiente; no entanto, é possível que a CPU gere tráfego de barramento suficiente para "morrer de fome" os outros iniciadores que tentam acessar a memória Flash, impedindo-os de realizar transferências no limite de tempo necessário. Se essa 'fome' ocorrer, o modo Round Robin ou CPU mais baixo deve ser escolhido.

O modo 1 é um modo de prioridade fixa com a CPU com a prioridade mais **baixa (consulte Quadro 4-1)** Este modo pode reduzir a latência das transferências de DMA porque os mecanismos de DMA têm uma prioridade mais alta que a CPU. O modo 2 é um modo Round Robin ou prioridade de rotação. A prioridade do iniciador para cada destino gira a cada acesso. Isso garante, não que o iniciador esteja com fome, mas a latência para acessos muda a cada acesso; isso torna a latência variável.

O modo de arbitragem é selecionado pelos bits BMXARB <1: 0> (CFGCON <25:24>).

Nota: A CPU possui dois iniciadores: um para dados e outro para instruções. Em todos os modos de arbitragem, o iniciador de dados da CPU tem prioridade mais alta que o iniciador de instruções da CPU.

PIC32MM0256GPM064 FAMÍLIA

TABELA 4-1: MODOS FIXOS ORDEM DE PRIORIDADE

Modo 1	Modo 0
CPU mais baixa	CPU mais alta
Prioridade máxima	
Controlador Flash	Controlador Flash
DMA	CPU
USB	USB
CPU	DMA
Prioridade mais baixa	

Nota: O modo de arbitragem escolhido afeta apenas o desempenho do sistema quando ocorre uma disputa por um destino. O controlador Flash, ao programar a memória, sempre tem a prioridade mais alta, independentemente da configuração do modo de prioridade.

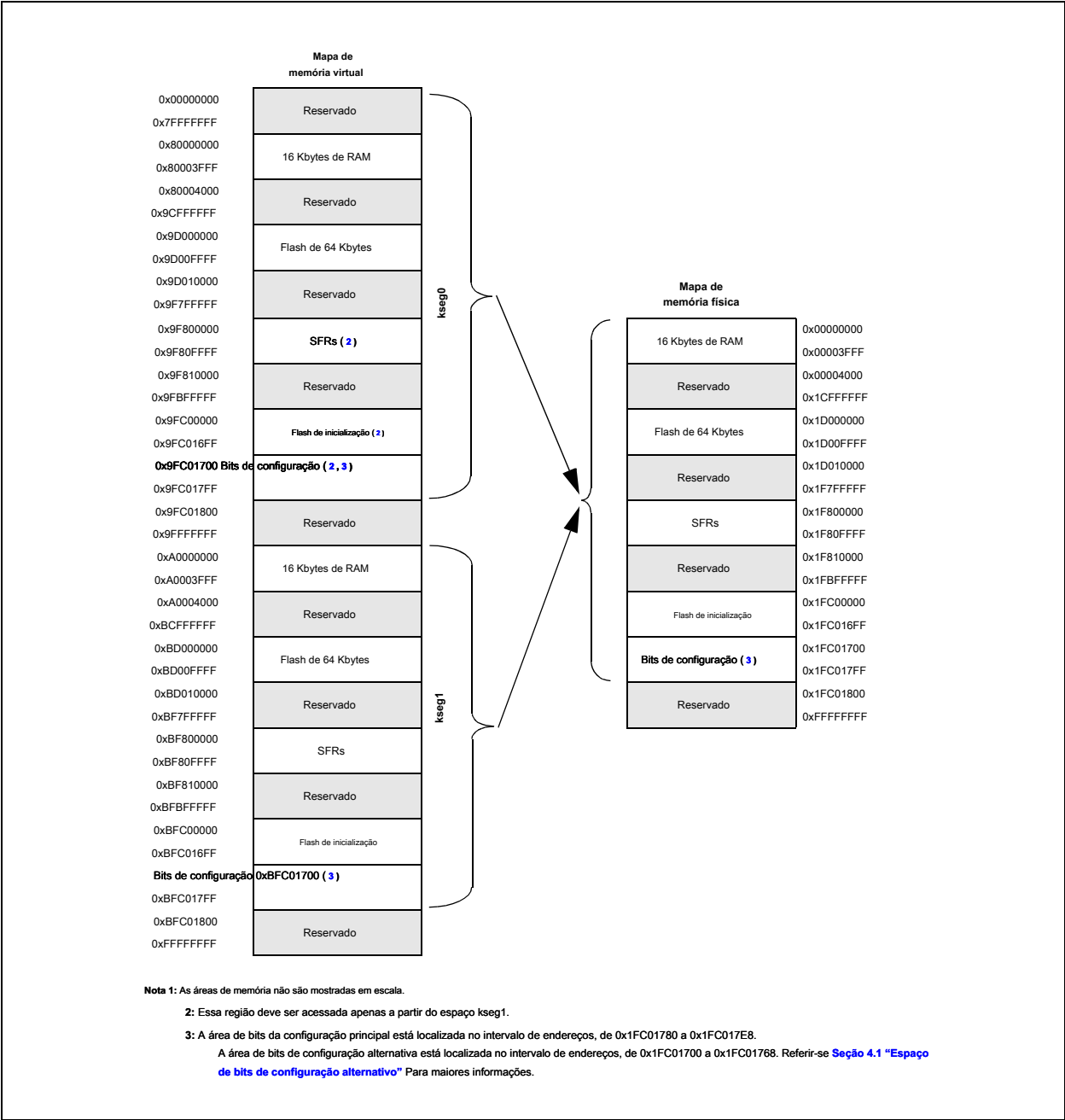
Referir-se **Seção 48. “Organização da memória e permissões”** (DS60001214) no *“Manual de Referência da Família PIC32”*, disponível no site da Microchip (www.microchip.com/PIC32) para obter mais informações sobre a operação da matriz de barramento.

4.3. Buffer de Linha Flash

O buffer da linha Flash é um buffer que reside entre a Matriz de Barramento e a memória Flash. Quando uma busca em Flash é gerada, uma palavra dupla alinhada (64 bits) é lida. Este é então colocado no buffer da linha Flash. Se os dados do endereço solicitado do iniciador seguinte estiverem contidos no buffer da linha do Flash, eles serão lidos diretamente sem a necessidade de outra busca em Flash; se não estiver no buffer da linha do Flash, uma busca em Flash será gerada.

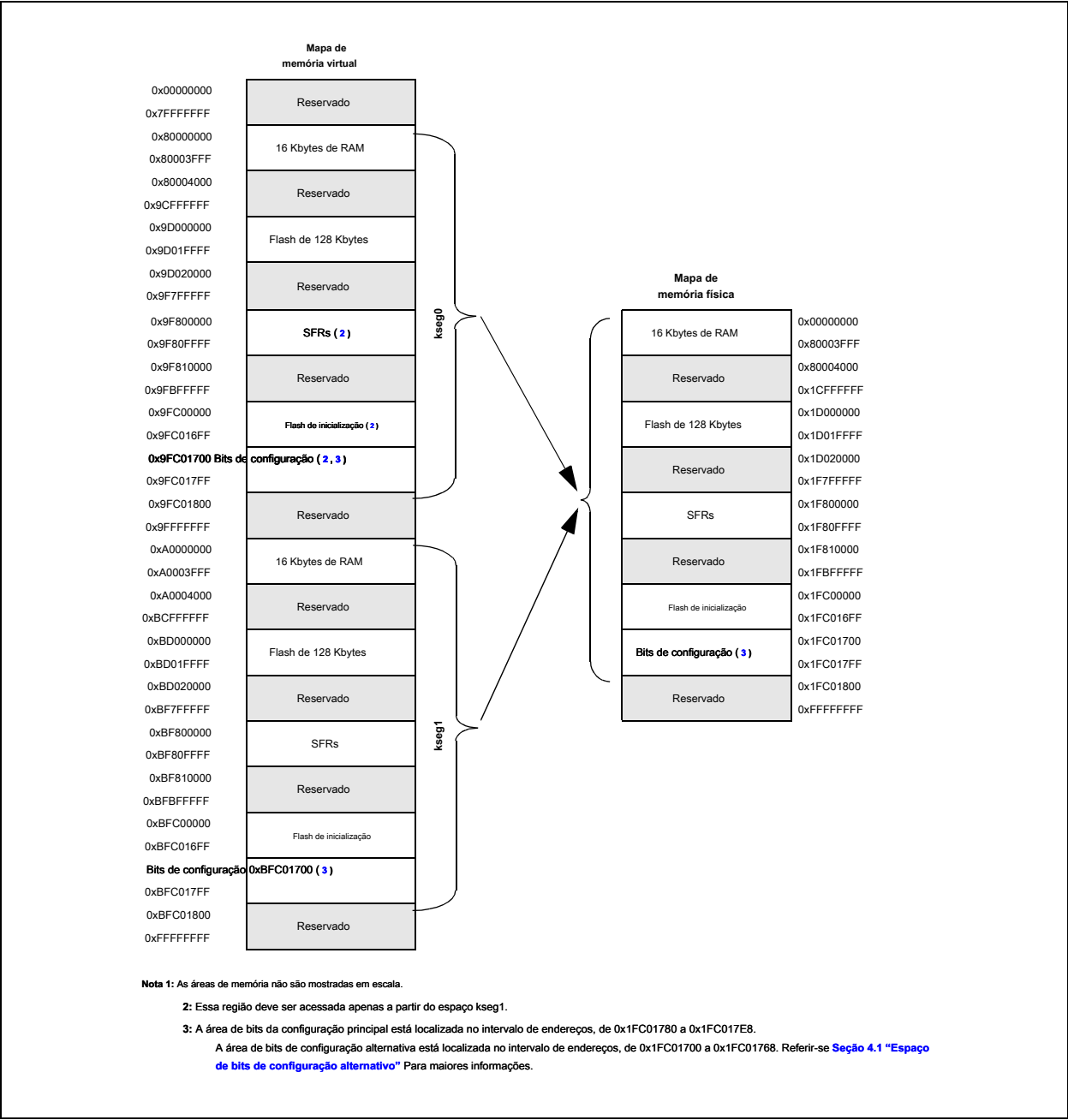
PIC32MM0256GPM064 FAMÍLIA

FIGURA 4-1: MAPA DE MEMÓRIA PARA DISPOSITIVOS COM 64 Kbytes DE MEMÓRIA DE PROGRAMA (1)



PIC32MM0256GPM064 FAMÍLIA

FIGURA 4-2: MAPA DE MEMÓRIA PARA DISPOSITIVOS COM 128 Kbytes DE MEMÓRIA DE PROGRAMA (1)



5.0 MEMÓRIA DO PROGRAMA FLASH

Nota: Esta folha de dados resume os recursos da família de dispositivos PIC32MM0256GPM064. isto não é destinado a ser um fonte de referência abrangente. Para complementar as informações nesta folha de dados, consulte **Seção 5. “Programação em Flash”** (DS60001121) no “*Manual de Referência da Família PIC32*”, disponível no site da Microchip (www.microchip.com/PIC32) As informações nesta folha de dados substituem as informações no FRM.

Os dispositivos da família PIC32MM0256GPM064 contêm uma memória interna do programa Flash para executar o código do usuário. O programa e o Boot Flash podem ser protegidos contra gravação. O tamanho da página para apagar é de 512 palavras de 32 bits. O tamanho da linha do programa é de 64 palavras de 32 bits. A memória pode ser programada por linhas ou por duas palavras de 32 bits, chamadas palavras duplas.

Nota: Palavras duplas devem estar alinhadas em 64 bits.

Os dispositivos implementam um código de correção de erros (ECC) de 6 bits. O bloco de controle de memória contém uma lógica para gravar e ler bits ECC de e para a memória Flash. O Flash é programado ao mesmo tempo que os bits ECC correspondentes. O ECC fornece resistência aprimorada a erros do Flash. O erro de bit único ECC gera uma interrupção e pode ser corrigido de forma transparente. O erro de bit duplo do ECC resulta em uma exceção de erro de barramento.

Existem três métodos pelos quais o usuário pode programar essa memória:

- Auto-programação em tempo de execução (RTSP)
- Programação EJTAG
- A Programação Serial no Circuito (ICSP TM) RTSP é realizada pelo software executado a partir da memória Flash ou RAM. Informações sobre técnicas RTSP são descritas em **Seção 5. “Programação em Flash”** (DS60001121) no “*Manual de Referência da Família PIC32*”. A programação EJTAG é realizada usando a porta JTAG do dispositivo. A programação ICSP requer menos conexões do que a programação EJTAG. Os métodos EJTAG e ICSP estão descritos no “*Especificação de programação do PIC32 Flash*” (DS60001145), que está disponível para download no site da Microchip.

5.1 O Flash Controller registra proteção contra gravação

Os registros NVMPWP e NVMBWP e o bit WR no registro NVMCON são protegidos (bloqueados) contra uma gravação acidental. Cada vez que é necessária uma sequência de desbloqueio especial para modificar o conteúdo desses registros ou bits. Para desbloquear, as seguintes etapas devem ser feitas:

1. Desative as interrupções antes da sequência de desbloqueio.
2. Execute a sequência de desbloqueio do sistema gravando os valores-chave de 0xAA996655 e 0x556699AA no registro NVMKEY.
3. Escreva o novo valor nos bits necessários.
4. Reative as interrupções.
5. Volte a bloquear o sistema.

Referir-se [Exemplo 5-1](#) .

EXEMPLO 5-1:

```
// sequência de desbloqueio
NVMKEY = AA996655; NVMKEY =
556699AA;

// relock NVMKEY =
0;
```

8.0 CONTROLADOR DIRETO DE ACESSO À MEMÓRIA (DMA)

Nota 1: Esta folha de dados resume os recursos da família de dispositivos PIC32MM0256GPM064. isto não é destinado a ser um fonte de referência abrangente. Para complementar as informações nesta folha de dados, referir para **Seção 31. “DMA Controller”** (DS60001117) no *“Manual de Referência da Família PIC32”*, disponível no site da Microchip (www.microchip.com/PIC32)

O Controlador de acesso direto à memória (DMA) é um módulo mestre de barramento útil para transferências de dados entre periféricos e memória sem intervenção da CPU. A origem e o destino de uma transferência DMA podem ser qualquer um dos módulos mapeados na memória, que não possuem um DMA dedicado, existente no PIC32 (como SPI, UART, PMP etc.) ou na própria memória.

A seguir, estão alguns dos principais recursos do módulo DMA Controller:

- Quatro canais idênticos, cada um com:
 - Registros de incremento automático e endereços de destino
 - Ponteiros de origem e destino
 - Memória para memória e transferências de memória para periféricos
- Detecção automática de tamanho de palavra:
 - Granularidade de transferência, até o nível de bytes
 - Os bytes não precisam ser alinhados por palavras na origem e no destino

- Arbitragem de canal de prioridade fixa
- Modos de operação de canal DMA flexível:
 - Solicitações de DMA manual (software) ou automática (interrupção)
 - Modos One-Shot ou Auto-Repeat Block Transfer
 - Encadeamento canal a canal
- Solicitações flexíveis de DMA:
 - Uma solicitação de DMA pode ser selecionada de qualquer uma das fontes de interrupção periféricas
 - Cada canal pode selecionar qualquer interrupção observável (apropriada) como sua fonte de solicitação de DMA
 - Um cancelamento de transferência de DMA pode ser selecionado a partir de qualquer uma das fontes de interrupção periféricas
 - Terminação de transferência de correspondência de padrão (dados)
- Interrupções de status de vários canais de DMA:
 - Transferência de bloco de canal DMA concluída
 - Origem vazia ou meio vazia
 - Destino cheio ou meio cheio
 - Transferência de DMA interrompida devido a um evento externo
 - Endereço DMA inválido gerado
- Recursos de suporte à depuração do DMA:
 - Endereço mais recente acessado por um canal DMA
 - Canal DMA mais recente para transferir dados
- Módulo Geração CRC:
 - O módulo CRC pode ser atribuído a qualquer um dos canais disponíveis
 - O módulo CRC é altamente configurável
- Prioridade de arbitragem de barramento selecionável pelo usuário (consulte **Seção 4.2 “Matriz de barramento (BMX)”**)
- 8 relógios do sistema por transferência de célula

FIGURA 8-1: DIAGRAMA DO BLOCO DMA

