



Microarquitectura - Instruction Level Parallelism (ILP)

Alejandro Furfaro

17 de junio de 2025

Contenido

1 Paralelismo a Nivel de Instrucción

- Pipeline
- Unidades de Predicción de saltos
- Superscalar
- Scheduling Dinámico

2 Ejecución Fuera de Orden

- Conceptos fundamentales
- Prehistoria
- Solución Actual
- Especulación por Hardware
- Casos prácticos que mezclan todo lo visto

3 Procesadores Multithread

4 Multicore y Manycore

- Estado del Arte

Contenido

1 Paralelismo a Nivel de Instrucción

• Pipeline

- Unidades de Predicción de saltos
- Superscalar
- Scheduling Dinámico

2 Ejecución Fuera de Orden

- Conceptos fundamentales
- Prehistoria
- Solución Actual
- Especulación por Hardware
- Casos prácticos que mezclan todo lo visto

3 Procesadores Multithread

4 Multicore y Manycore

- Estado del Arte

Máquina de estados elemental

Máquina de estados elemental

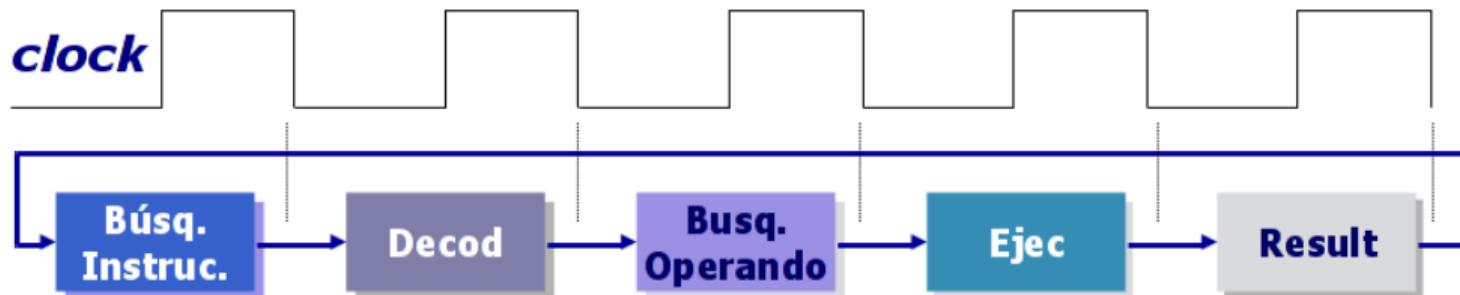
- En la década del 40 Von Newman definió un modelo básico de CPU, que a esta altura está mas que superado.

Máquina de estados elemental

- En la década del 40 Von Newman definió un modelo básico de CPU, que a esta altura está mas que superado.
- Sin embargo algunos conceptos de ese modelo viven en los mas modernos procesadores.

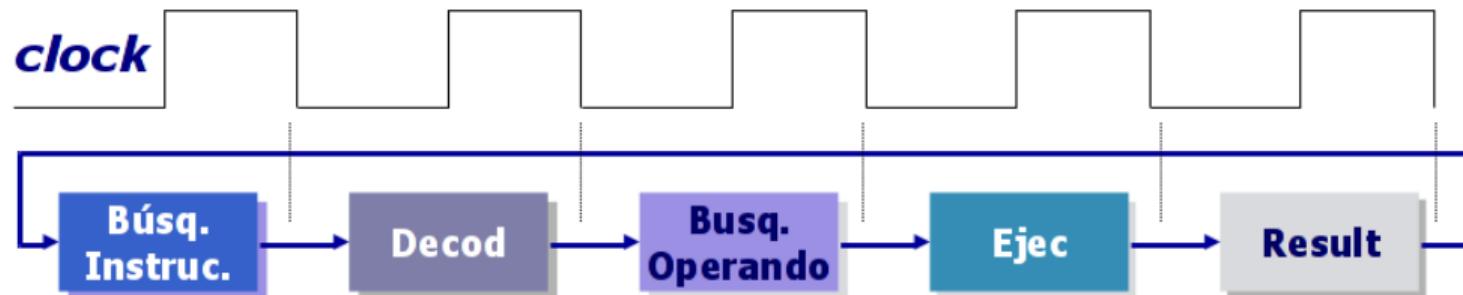
Máquina de estados elemental

- En la década del 40 Von Newman definió un modelo básico de CPU, que a esta altura está mas que superado.
- Sin embargo algunos conceptos de ese modelo viven en los mas modernos procesadores.
- Uno de ellos es la máquina de ejecución



Máquina de estados elemental

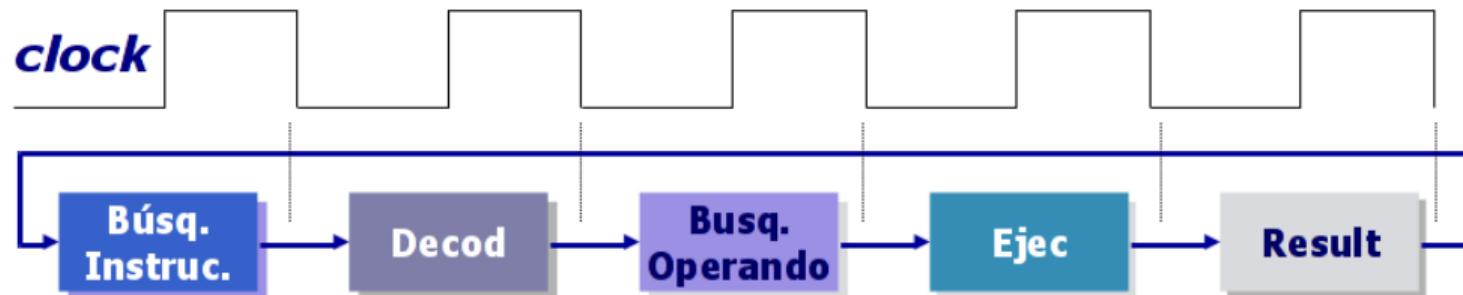
- En la década del 40 Von Newman definió un modelo básico de CPU, que a esta altura está mas que superado.
- Sin embargo algunos conceptos de ese modelo viven en los mas modernos procesadores.
- Uno de ellos es la máquina de ejecución



- En las primeras generaciones de microprocesadores cada etapa de este ciclo se ejecutaba en un ciclo de clock, y la CPU entera estaba dedicada a esa tarea.

Máquina de estados elemental

- En la década del 40 Von Newman definió un modelo básico de CPU, que a esta altura está mas que superado.
- Sin embargo algunos conceptos de ese modelo viven en los mas modernos procesadores.
- Uno de ellos es la máquina de ejecución



- En las primeras generaciones de microprocesadores cada etapa de este ciclo se ejecutaba en un ciclo de clock, y la CPU entera estaba dedicada a esa tarea.
- Ejecutar una instrucción insumía de varios ciclos de clock...

Pipeline

- Arquitectura que permite crear el efecto de superponer en el tiempo, la ejecución de varias instrucciones a la vez.

Pipeline

- Arquitectura que permite crear el efecto de superponer en el tiempo, la ejecución de varias instrucciones a la vez.
- Con él se formaliza el concepto de ***Instruction Level Parallelism (ILP)***.

Pipeline

- Arquitectura que permite crear el efecto de superponer en el tiempo, la ejecución de varias instrucciones a la vez.
- Con él se formaliza el concepto de ***Instruction Level Parallelism (ILP)***.
- Requiere muy poco o ningún hardware adicional.

Pipeline

- Arquitectura que permite crear el efecto de superponer en el tiempo, la ejecución de varias instrucciones a la vez.
- Con él se formaliza el concepto de ***Instruction Level Parallelism (ILP)***.
- Requiere muy poco o ningún hardware adicional.
- Solo necesita que los bloques del procesador que resuelven la máquina de estados para la ejecución de una instrucción, operen en forma simultánea.

Pipeline

- Arquitectura que permite crear el efecto de superponer en el tiempo, la ejecución de varias instrucciones a la vez.
- Con él se formaliza el concepto de ***Instruction Level Parallelism (ILP)***.
- Requiere muy poco o ningún hardware adicional.
- Solo necesita que los bloques del procesador que resuelven la máquina de estados para la ejecución de una instrucción, operen en forma simultánea.
- Se logra si todos los bloques funcionales trabajan en paralelo pero cada uno en una instrucción diferente.

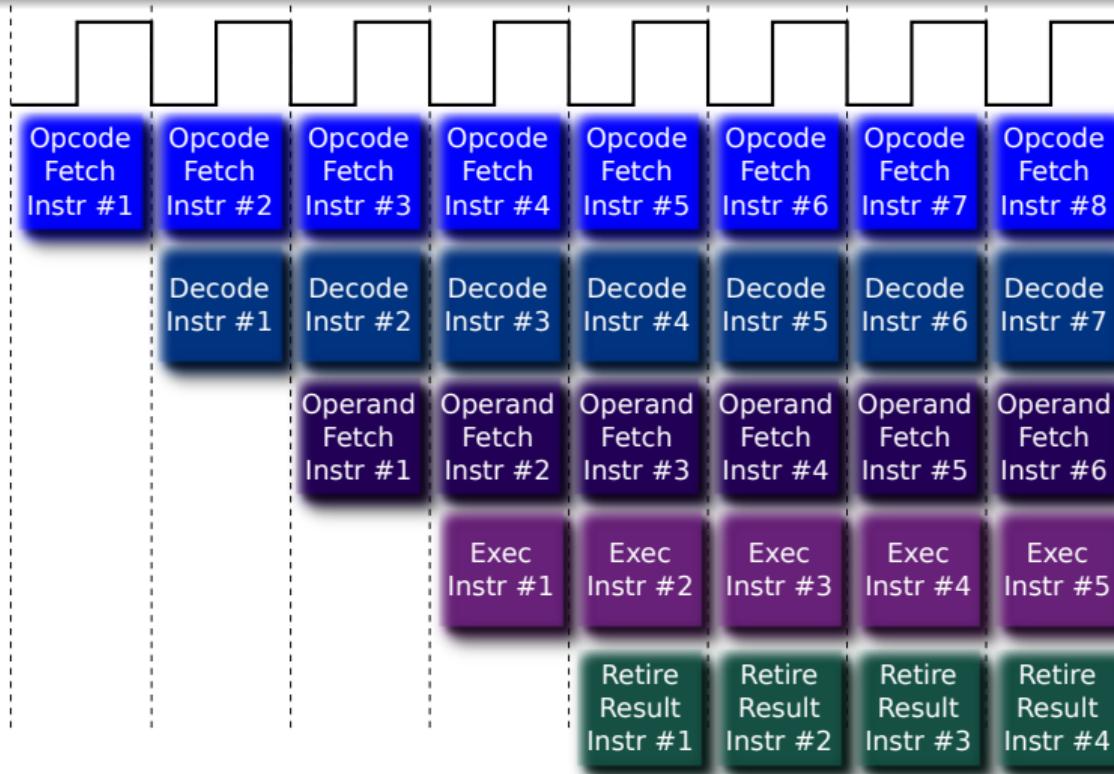
Pipeline

- Arquitectura que permite crear el efecto de superponer en el tiempo, la ejecución de varias instrucciones a la vez.
- Con él se formaliza el concepto de ***Instruction Level Parallelism (ILP)***.
- Requiere muy poco o ningún hardware adicional.
- Solo necesita que los bloques del procesador que resuelven la máquina de estados para la ejecución de una instrucción, operen en forma simultánea.
- Se logra si todos los bloques funcionales trabajan en paralelo pero cada uno en una instrucción diferente.
- Es algo parecido al concepto de una línea de montaje, en donde cada operación se descompone en partes, y se ejecutan en un mismo momento diferentes partes de diferentes operaciones.

Pipeline

- Arquitectura que permite crear el efecto de superponer en el tiempo, la ejecución de varias instrucciones a la vez.
- Con él se formaliza el concepto de ***Instruction Level Parallelism (ILP)***.
- Requiere muy poco o ningún hardware adicional.
- Solo necesita que los bloques del procesador que resuelven la máquina de estados para la ejecución de una instrucción, operen en forma simultánea.
- Se logra si todos los bloques funcionales trabajan en paralelo pero cada uno en una instrucción diferente.
- Es algo parecido al concepto de una línea de montaje, en donde cada operación se descompone en partes, y se ejecutan en un mismo momento diferentes partes de diferentes operaciones.
- Cada parte se denomina etapa (stage)

Pipeline



Nota: Este modelo es teórico y representa una situación ideal.

Pipeline

Conclusiones

Pipeline

Conclusiones

- ① El pipeline tarda en llegar a esa condición de régimen tantos ciclos de clock como etapas tenga.

Pipeline

Conclusiones

- ① El pipeline tarda en llegar a esa condición de régimen tantos ciclos de clock como etapas tenga.
- ② En un pipeline de 5 etapas, y en el caso ideal en que cada etapa consuma solamente un ciclo de clock, una arquitectura pipeline provee un resultado de instrucción por cada ciclo de clock, a partir del ciclo de clock en el cual se llega a resolver la primer instrucción.

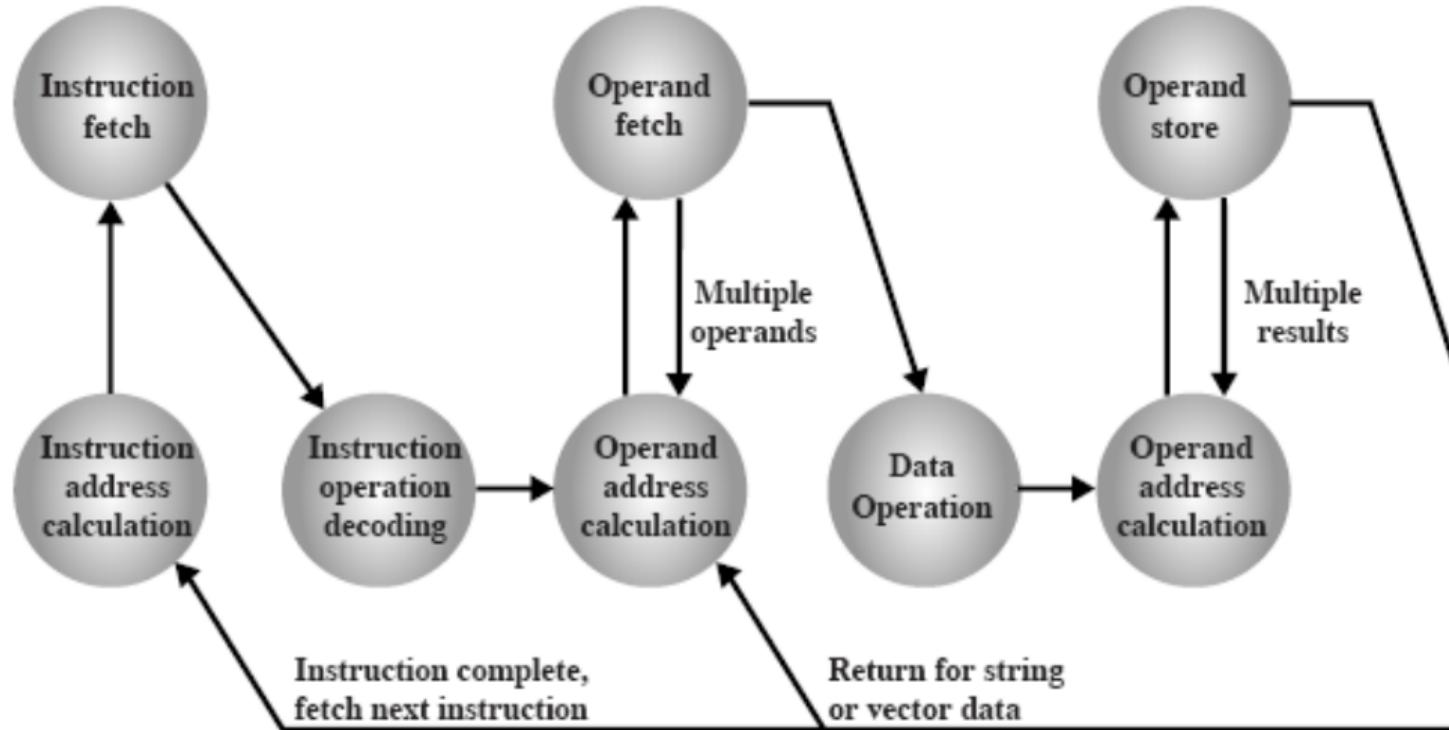
Pipeline

Conclusiones

- ① El pipeline tarda en llegar a esa condición de régimen tantos ciclos de clock como etapas tenga.
- ② En un pipeline de 5 etapas, y en el caso ideal en que cada etapa consuma solamente un ciclo de clock, una arquitectura pipeline provee un resultado de instrucción por cada ciclo de clock, a partir del ciclo de clock en el cual se llega a resolver la primer instrucción.
- ③ Este escenario permanente es puramente teórico. En la práctica no se cumple todo el tiempo.

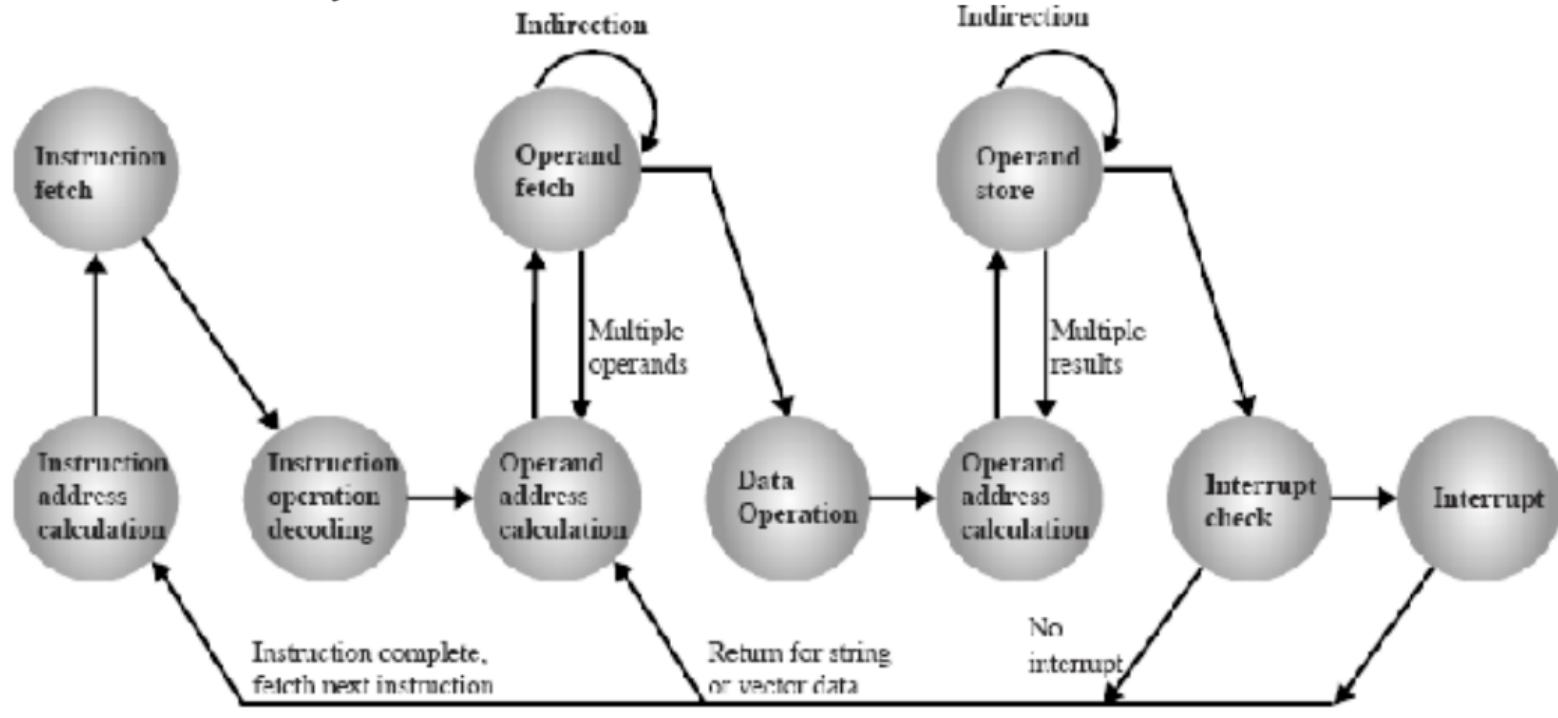
Deep Pipeline

Si las conclusiones son ciertas agregar etapas mejora la performance



Deeper Pipeline

Etapas más simples aseguran que trabajan en un solo clock. Por eso podríamos pensar en aumentarlas más y más



Profundidad de Pipeline. Casos prácticos.

Procesador / uArquitectura	Etapas	Procesador / uArquitectura	Etapas
ARM7TDMI(-S)	3	ARM7EJ-S	5
ARM810	5	ARM9TDMI	5
ARM1020E	6	XScale PXA210/PXA250	7
ARM1136J(F)-S	8	ARM1156T2(F)-S	9
ARM Cortex-A5	8	ARM Cortex-A8	13
AVR32 AP7	7	AVR32 UC3	3
DLX	5	Intel P5 (Pentium)	5
Intel P6 (Pentium Pro)	14	Intel P6 (Pentium III)	10
Intel NetBurst (Willamette)	20	Intel NetBurst (Northwood)	20
Intel NetBurst (Prescott)	31	Intel NetBurst (Cedar Mill)	31
Intel Core	14	Intel Atom	16
LatticeMico32	6	R4000	8
StrongARM SA-110	5	SuperH SH2	5
SuperH SH2A	5	UltraSPARC	9
UltraSPARC T1	6	UltraSPARC T2	8
WinChip	4	LC2200 32 bit	5

Eficiencia de un pipeline

Eficiencia de un pipeline

- ¿Porque querríamos aumentar y aumentar el número de etapas?

Eficiencia de un pipeline

- ¿Porque queríamos aumentar y aumentar el número de etapas?
- Tomemos una instrucción cualquiera cuyo tiempo de procesamiento en una arquitectura “no pipelinezada“ es conocido y fijo.

Eficiencia de un pipeline

- ¿Porque queríamos aumentar y aumentar el número de etapas?
- Tomemos una instrucción cualquiera cuyo tiempo de procesamiento en una arquitectura “no pipelinezada” es conocido y fijo.
- Intuitivamente podemos suponer que a mayor cantidad de etapas en que podamos particionar su ejecución, si éstas trabajan en paralelo, el tiempo de ejecución de la instrucción se reducirá proporcionalmente con la cantidad de etapas.

Eficiencia de un pipeline

- ¿Porque queríamos aumentar y aumentar el número de etapas?
- Tomemos una instrucción cualquiera cuyo tiempo de procesamiento en una arquitectura “no pipelinezada“ es conocido y fijo.
- Intuitivamente podemos suponer que a mayor cantidad de etapas en que podamos particionar su ejecución, si éstas trabajan en paralelo, el tiempo de ejecución de la instrucción se reducirá proporcionalmente con la cantidad de etapas.
- Esta situación puede representarse mediante la siguiente expresión:

Eficiencia de un pipeline

- ¿Porque queríamos aumentar y aumentar el número de etapas?
- Tomemos una instrucción cualquiera cuyo tiempo de procesamiento en una arquitectura “no pipelinezada” es conocido y fijo.
- Intuitivamente podemos suponer que a mayor cantidad de etapas en que podamos particionar su ejecución, si éstas trabajan en paralelo, el tiempo de ejecución de la instrucción se reducirá proporcionalmente con la cantidad de etapas.
- Esta situación puede representarse mediante la siguiente expresión:

$$TPI = \frac{\text{Tiempo por instrucción en la CPU "No - Pipeline"}}{\text{Cantidad de etapas}} \quad (1)$$

Donde **TPI** significa Time Per Instruction.

Conclusiones

Conclusiones

- Considerar la situación teórica e ideal dada por la ecuación (1) no es 100 % cierto.

Conclusiones

- Considerar la situación teórica e ideal dada por la ecuación (1) no es 100 % cierto.
- En la práctica existen overheads introducidos por el pipeline, que suman pequeñas demoras, pero de todos modos el tiempo se aproxima mucho al ideal.

Conclusiones

- Considerar la situación teórica e ideal dada por la ecuación (1) no es 100 % cierto.
- En la práctica existen overheads introducidos por el pipeline, que suman pequeñas demoras, pero de todos modos el tiempo se aproxima mucho al ideal.
- El resultado es que la reducción puede apreciarse como si se requiriesen finalmente menos CPI para completar una instrucción. ¿Porque?

Conclusiones

- Considerar la situación teórica e ideal dada por la ecuación (1) no es 100 % cierto.
- En la práctica existen overheads introducidos por el pipeline, que suman pequeñas demoras, pero de todos modos el tiempo se aproxima mucho al ideal.
- El resultado es que la reducción puede apreciarse como si se requiriesen finalmente menos CPI para completar una instrucción. ¿Porque?
- El pipeline no reduce el tiempo de ejecución de cada instrucción individual, sino que al aplicarse en paralelo al flujo de instrucciones, incrementa el número de instrucciones completadas por unidad de tiempo.

Conclusiones

- Considerar la situación teórica e ideal dada por la ecuación (1) no es 100 % cierto.
- En la práctica existen overheads introducidos por el pipeline, que suman pequeñas demoras, pero de todos modos el tiempo se aproxima mucho al ideal.
- El resultado es que la reducción puede apreciarse como si se requiriesen finalmente menos CPI para completar una instrucción. ¿Porque?
- El pipeline no reduce el tiempo de ejecución de cada instrucción individual, sino que al aplicarse en paralelo al flujo de instrucciones, incrementa el número de instrucciones completadas por unidad de tiempo.
- De hecho el overhead del pipeline perjudica el tiempo de ejecución individual, de manera poco significativa, pero agrega tiempo a cada instrucción.

Conclusiones

- Considerar la situación teórica e ideal dada por la ecuación (1) no es 100 % cierto.
- En la práctica existen overheads introducidos por el pipeline, que suman pequeñas demoras, pero de todos modos el tiempo se aproxima mucho al ideal.
- El resultado es que la reducción puede apreciarse como si se requiriesen finalmente menos CPI para completar una instrucción. ¿Porque?
- El pipeline no reduce el tiempo de ejecución de cada instrucción individual, sino que al aplicarse en paralelo al flujo de instrucciones, incrementa el número de instrucciones completadas por unidad de tiempo.
- De hecho el overhead del pipeline perjudica el tiempo de ejecución individual, de manera poco significativa, pero agrega tiempo a cada instrucción.
- El rendimiento (throughput) del procesador mejora notablemente ya que los programas ejecutan notablemente mas rápido.

Hazards (obstáculos)

Hazards (obstáculos)

- Hay obstáculos que conspiran contra la eficiencia de un pipeline.

Hazards (obstáculos)

- Hay obstáculos que conspiran contra la eficiencia de un pipeline.
- Podemos agruparlos en tres categorías:

Hazards (obstáculos)

- Hay obstáculos que conspiran contra la eficiencia de un pipeline.
- Podemos agruparlos en tres categorías:
 - ① *Obstáculos estructurales*.

Hazards (obstáculos)

- Hay obstáculos que conspiran contra la eficiencia de un pipeline.
- Podemos agruparlos en tres categorías:
 - ① *Obstáculos estructurales*.
 - ② *Obstáculos de datos*.

Hazards (obstáculos)

- Hay obstáculos que conspiran contra la eficiencia de un pipeline.
- Podemos agruparlos en tres categorías:
 - ① *Obstáculos estructurales*.
 - ② *Obstáculos de datos*.
 - ③ *Obstáculos de control*.

Hazards (obstáculos)

- Hay obstáculos que conspiran contra la eficiencia de un pipeline.
- Podemos agruparlos en tres categorías:
 - ① *Obstáculos estructurales*.
 - ② *Obstáculos de datos*.
 - ③ *Obstáculos de control*.
- En cualquier caso al efecto ocasionado por un obstáculo se lo denomina ***pipeline stall***.

Hazards (obstáculos)

- Hay obstáculos que conspiran contra la eficiencia de un pipeline.
- Podemos agruparlos en tres categorías:
 - ① *Obstáculos estructurales*.
 - ② *Obstáculos de datos*.
 - ③ *Obstáculos de control*.
- En cualquier caso al efecto ocasionado por un obstáculo se lo denomina ***pipeline stall***.
- Su efecto degrada la performance del procesador.

Obstáculos Estructurales

Obstáculos Estructurales

- Se pueden dar por varias razones:

Obstáculos Estructurales

- Se pueden dar por varias razones:
 - Una etapa no está suficientemente atomizada, y concentra aún demasiadas funciones lo que hace que para completarse requiere mas de un ciclo de clock.

Obstáculos Estructurales

- Se pueden dar por varias razones:
 - Una etapa no está suficientemente atomizada, y concentra aún demasiadas funciones lo que hace que para completarse requiere mas de un ciclo de clock.
 - Si dos instrucciones que utilizarán esta etapa están mas próximas del tiempo que necesita esta etapa paraprocesar su parte, caerán en conflicto de recursos para su ejecución.

Obstáculos Estructurales

- Se pueden dar por varias razones:
 - Una etapa no está suficientemente atomizada, y concentra aún demasiadas funciones lo que hace que para completarse requiere mas de un ciclo de clock.
 - Si dos instrucciones que utilizarán esta etapa están mas próximas del tiempo que necesita esta etapa paraprocesar su parte, caerán en conflicto de recursos para su ejecución.
 - Este grupo de instrucciones entonces, no puede pasar por esa etapa del pipeline en un ciclo de clock.

Obstáculos Estructurales

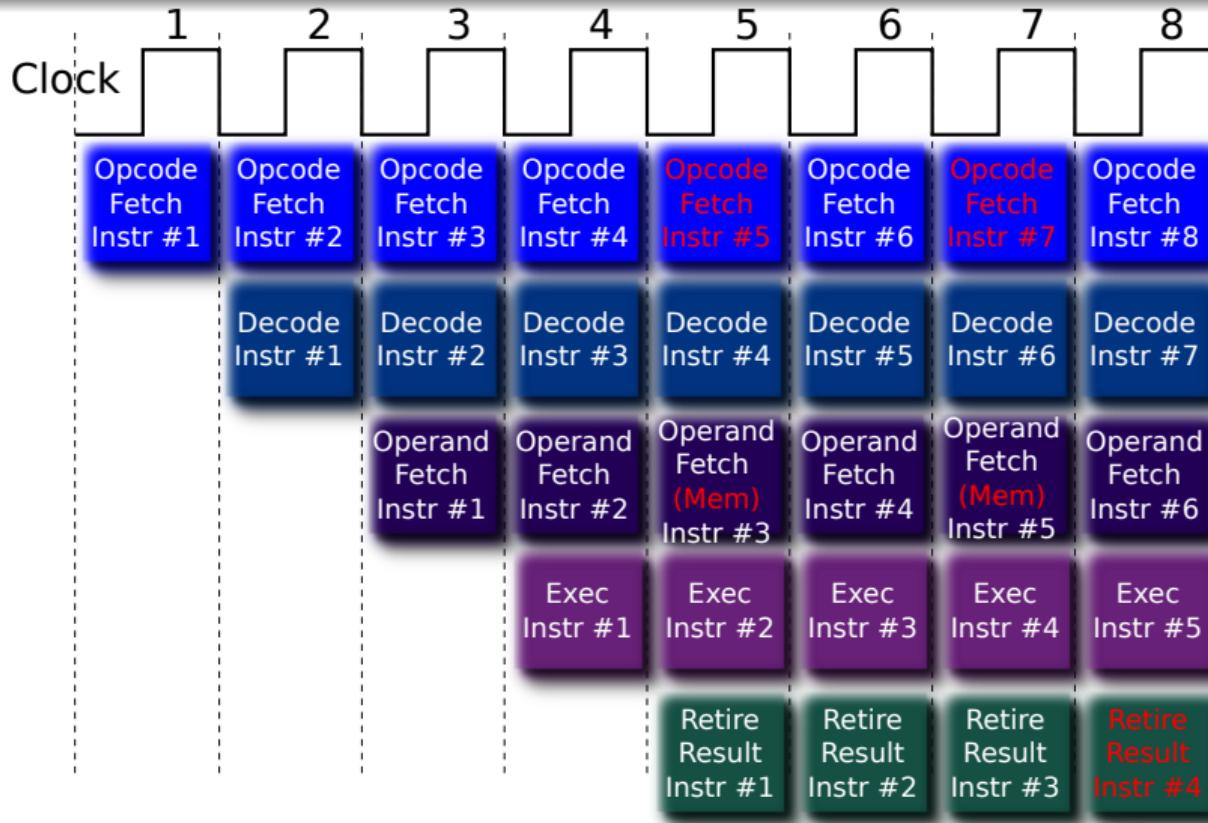
- Se pueden dar por varias razones:
 - Una etapa no está suficientemente atomizada, y concentra aún demasiadas funciones lo que hace que para completarse requiere mas de un ciclo de clock.
 - Si dos instrucciones que utilizarán esta etapa están mas próximas del tiempo que necesita esta etapa paraprocesar su parte, caerán en conflicto de recursos para su ejecución.
 - Este grupo de instrucciones entonces, no puede pasar por esa etapa del pipeline en un ciclo de clock.
 - En estas circunstancias una de las instrucciones debe detenerse. Como consecuencia CPI se incrementa en 1 o mas respecto del valor ideal.

Obstáculos Estructurales

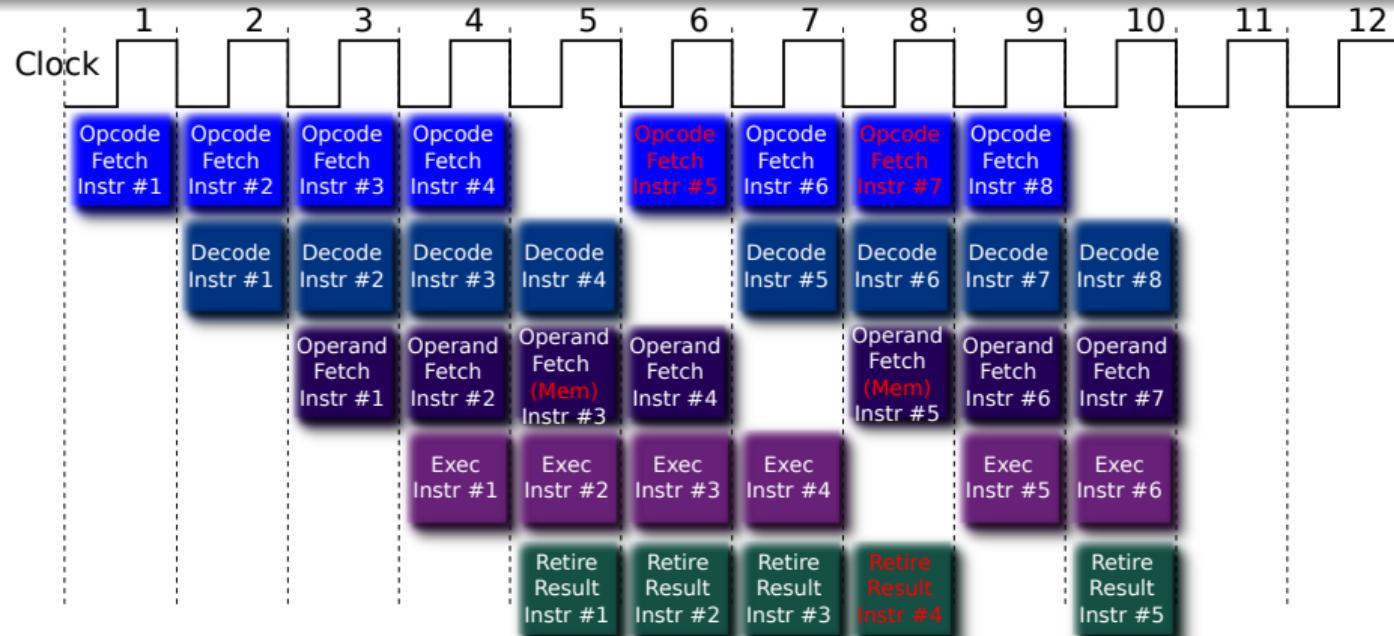
- Se pueden dar por varias razones:

- Una etapa no está suficientemente atomizada, y concentra aún demasiadas funciones lo que hace que para completarse requiere mas de un ciclo de clock.
- Si dos instrucciones que utilizarán esta etapa están mas próximas del tiempo que necesita esta etapa paraprocesar su parte, caerán en conflicto de recursos para su ejecución.
- Este grupo de instrucciones entonces, no puede pasar por esa etapa del pipeline en un ciclo de clock.
- En estas circunstancias una de las instrucciones debe detenerse. Como consecuencia CPI se incrementa en 1 o mas respecto del valor ideal.
- Ejemplo: Un procesador solo tiene una etapa para acceder a memoria. En el caso que se requiera un acceso a memoria para leer o escribir un dato, éste interferirá con la búsqueda del operando de la próxima instrucción del programa.

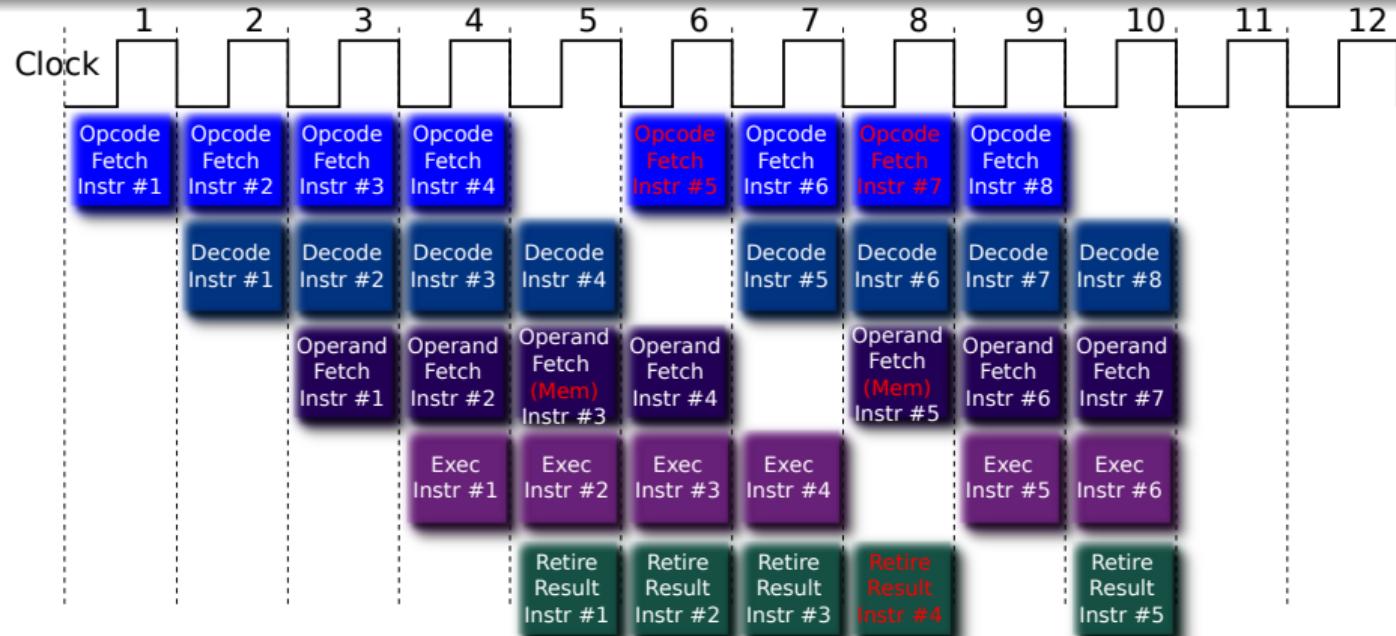
Obstáculos Estructurales: Accesos concurrentes a memoria



Obstáculos Estructurales - Efecto en CPI

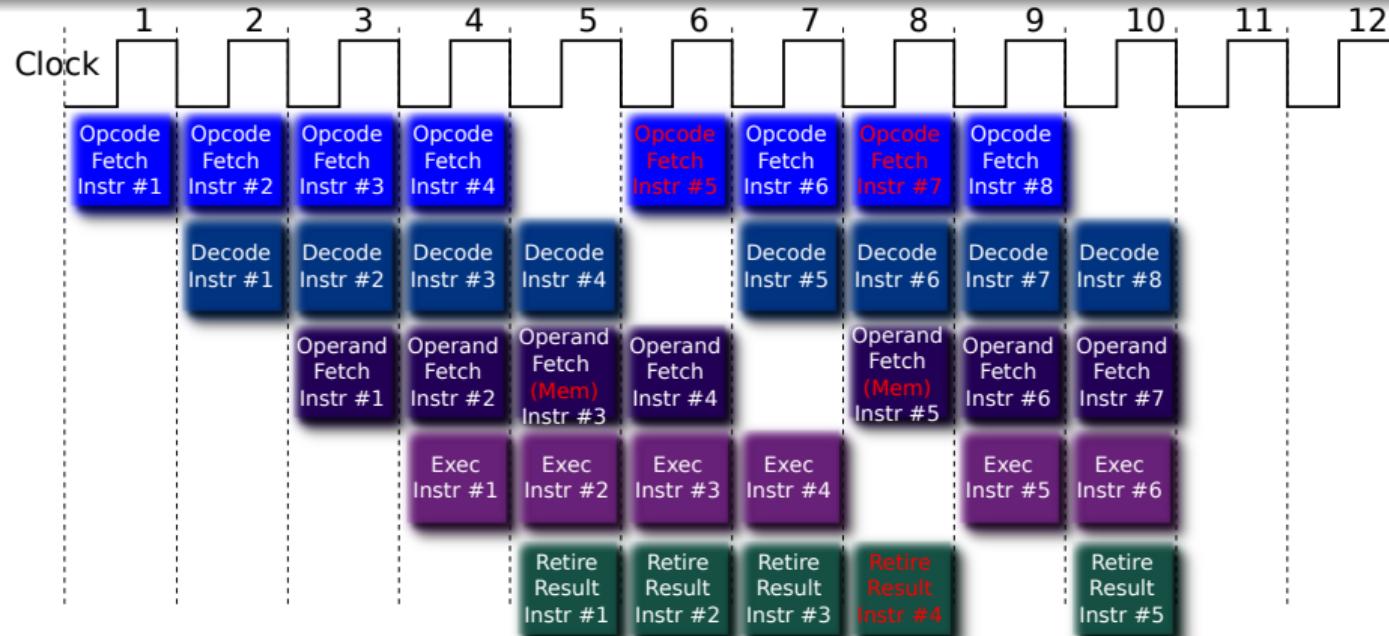


Obstáculos Estructurales - Efecto en CPI



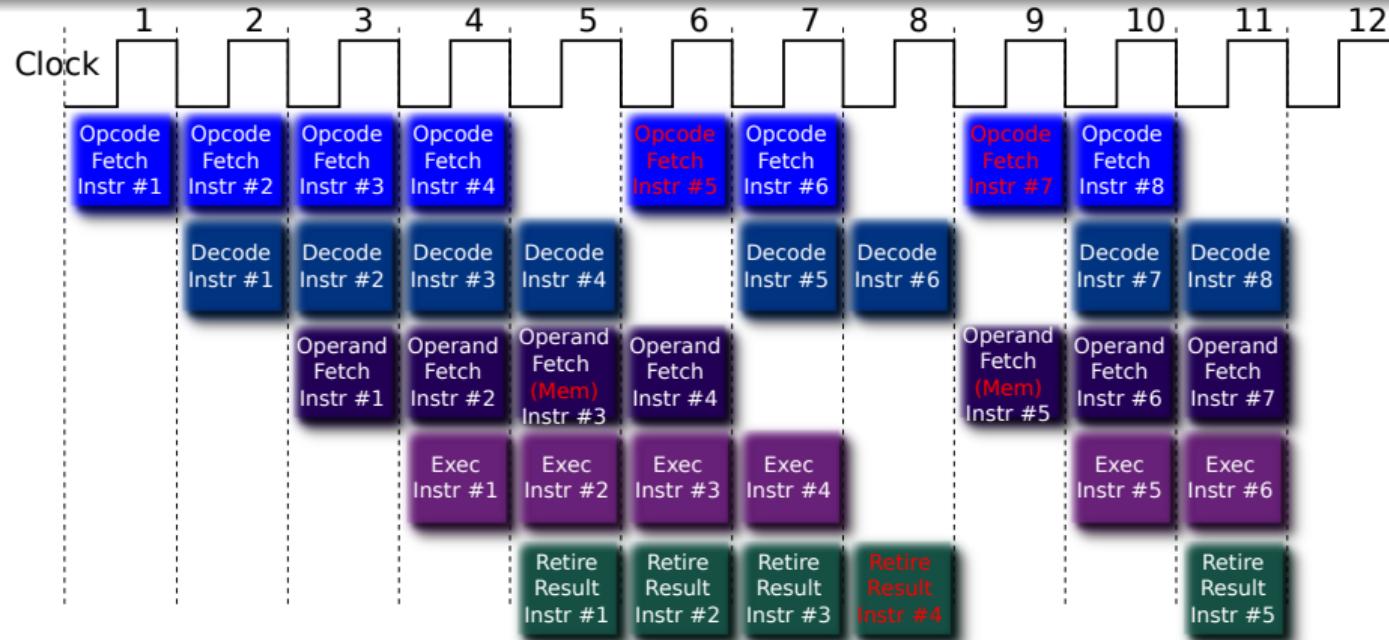
- Por cada Obstáculo, pospone una operación. $CPI = CPI + 1$

Obstáculos Estructurales - Efecto en CPI



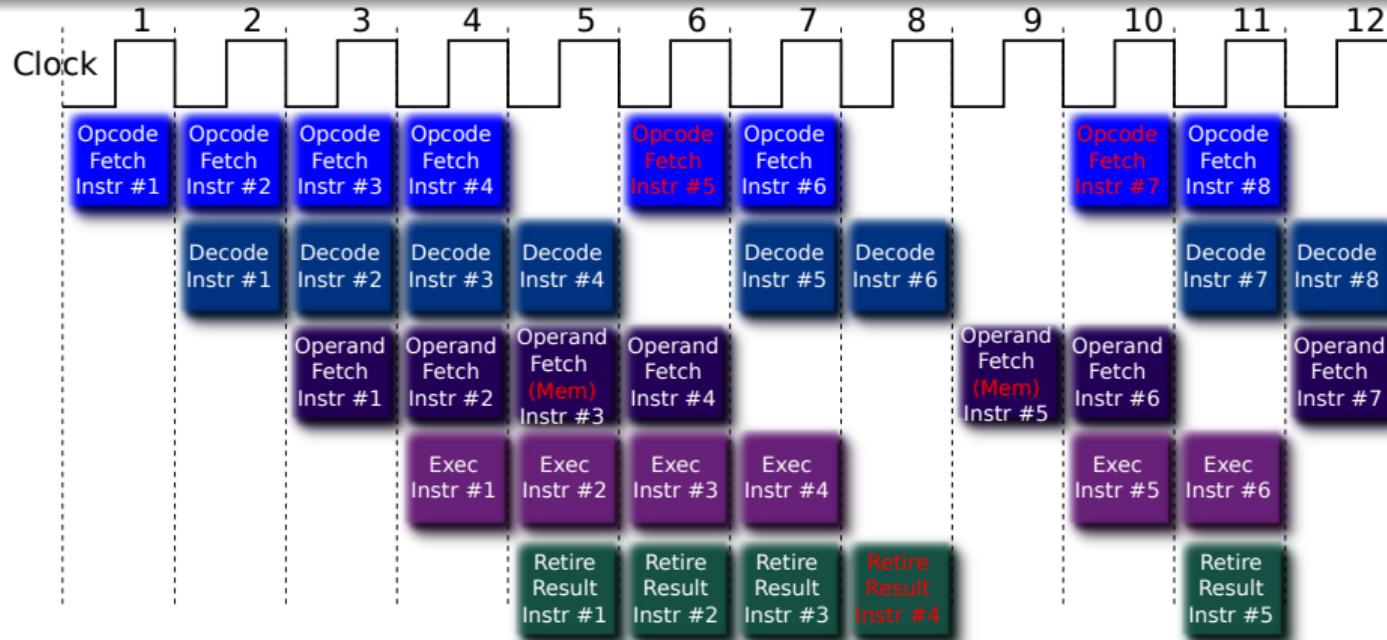
- Por cada Obstáculo, pospone una operación. $CPI = CPI + 1$
- En general el incremento de CPI es igual a la cantidad de concurrencias menos 1, en el lapso considerado

Obstáculos Estructurales - Efecto en CPI



- Por cada Obstáculo, pospone una operación. $CPI = CPI + 1$
- En general el incremento de CPI es igual a la cantidad de concurrencias menos 1, en el lapso considerado

Obstáculos Estructurales - Efecto en CPI



- Por cada Obstáculo, pospone una operación. $CPI = CPI + 1$
- En general el incremento de CPI es igual a la cantidad de concurrencias menos 1, en el lapso considerado

Obstáculos Estructurales - Posibles soluciones

Obstáculos Estructurales - Posibles soluciones

- Cualesquier solución que deseemos implementar requiere hardware.

Obstáculos Estructurales - Posibles soluciones

- Cualesquier solución que deseemos implementar requiere hardware.
- En el caso de accesos a memoria, se puede resolver mediante las siguientes opciones por separado o combinadas.

Obstáculos Estructurales - Posibles soluciones

- Cualesquier solución que deseemos implementar requiere hardware.
- En el caso de accesos a memoria, se puede resolver mediante las siguientes opciones por separado o combinadas.
 - ➊ Desdoblamiento del cache L1 en Cache de datos y Cache de instrucciones.

Obstáculos Estructurales - Posibles soluciones

- Cualesquier solución que deseemos implementar requiere hardware.
- En el caso de accesos a memoria, se puede resolver mediante las siguientes opciones por separado o combinadas.
 - ➊ Desdoblamiento del cache L1 en Cache de datos y Cache de instrucciones.
 - ➋ Empleo de buffers de instrucciones implementados como pequeñas colas FIFO.

Obstáculos Estructurales - Posibles soluciones

- Cualesquier solución que deseemos implementar requiere hardware.
- En el caso de accesos a memoria, se puede resolver mediante las siguientes opciones por separado o combinadas.
 - ① Desdoblamiento del cache L1 en Cache de datos y Cache de instrucciones.
 - ② Empleo de buffers de instrucciones implementados como pequeñas colas FIFO.
 - ③ Ensanchamiento de los buses mas allá de los anchos de palabra del procesador.

Obstáculos Estructurales - Posibles soluciones

- Cualesquier solución que deseemos implementar requiere hardware.
- En el caso de accesos a memoria, se puede resolver mediante las siguientes opciones por separado o combinadas.
 - ① Desdoblamiento del cache L1 en Cache de datos y Cache de instrucciones.
 - ② Empleo de buffers de instrucciones implementados como pequeñas colas FIFO.
 - ③ Ensanchamiento de los buses mas allá de los anchos de palabra del procesador.
- Aumentar la profundidad del pipeline, produce etapas mucho mas simples capaces de resolver en un clock su tarea.

Obstáculos Estructurales - Posibles soluciones

- Cualesquier solución que deseemos implementar requiere hardware.
- En el caso de accesos a memoria, se puede resolver mediante las siguientes opciones por separado o combinadas.
 - ➊ Desdoblamiento del cache L1 en Cache de datos y Cache de instrucciones.
 - ➋ Empleo de buffers de instrucciones implementados como pequeñas colas FIFO.
 - ➌ Ensanchamiento de los buses mas allá de los anchos de palabra del procesador.
- Aumentar la profundidad del pipeline, produce etapas mucho mas simples capaces de resolver en un clock su tarea.
- Pero otras restricciones aun no mencionadas limitan esta cantidad.

Obstáculos de datos

Obstáculos de datos

- Se producen cuando por efecto del pipeline, una instrucción requiere de un dato antes de que este esté disponible por efecto de la secuencia lógica prevista en el programa.

Obstáculos de datos

- Se producen cuando por efecto del pipeline, una instrucción requiere de un dato antes de que este esté disponible por efecto de la secuencia lógica prevista en el programa.
- Consideremos el siguiente código.

```
1  add  R1,  R2,  R3
2  sub  R4,  R1,  R5
3  and  R6,  R1,  R7
4  orr  R8,  R1,  R9
5  eor  R10, R1,  R11
```

Obstáculos de datos

- Se producen cuando por efecto del pipeline, una instrucción requiere de un dato antes de que este esté disponible por efecto de la secuencia lógica prevista en el programa.
- Consideremos el siguiente código.

```
1  add  R1,  R2,  R3
2  sub  R4,  R1,  R5
3  and  R6,  R1,  R7
4  orr  R8,  R1,  R9
5  eor  R10, R1, R11
```

- Tenemos dependencias con el Registro **R1**. Hasta que la instrucción **add** no complete su operación, **R1** no tiene un valor válido. Por lo tanto no puede continuar aplicándolo en las restantes que lo utilizan.

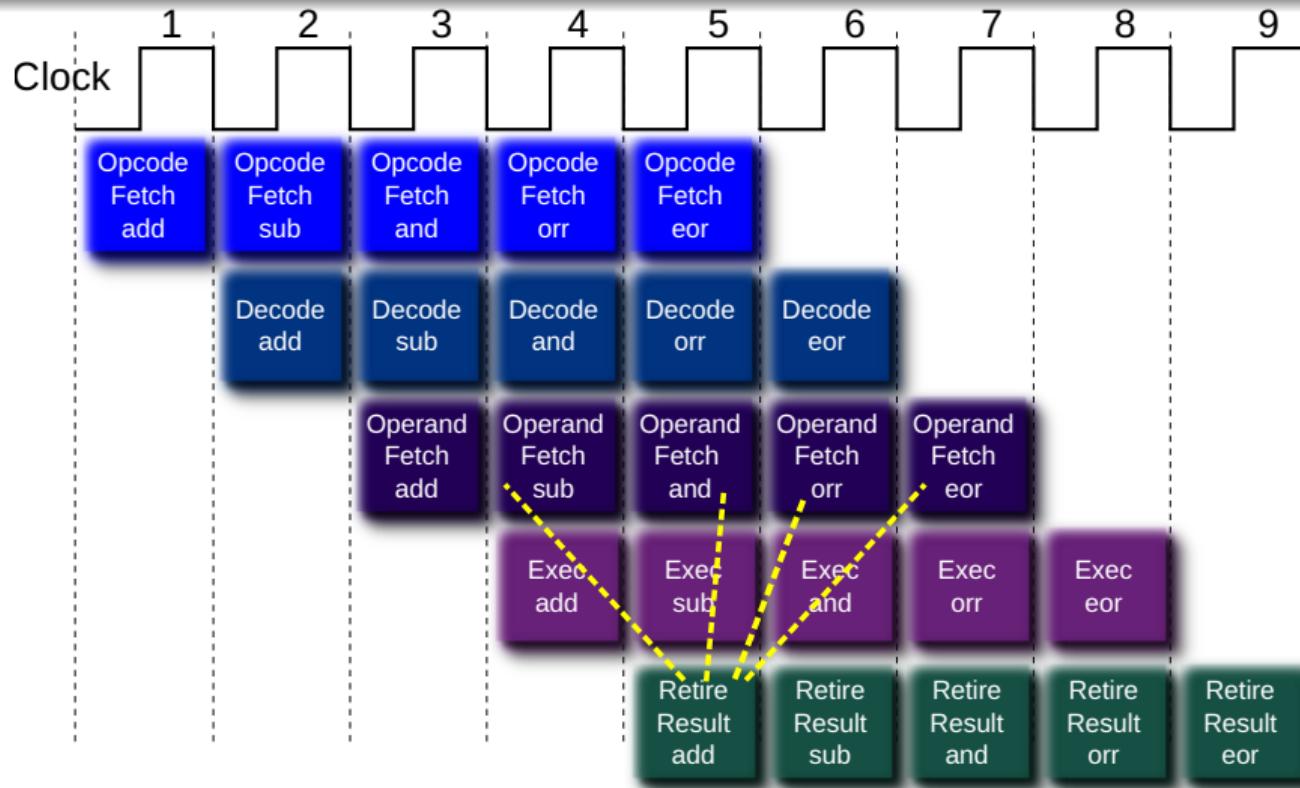
Obstáculos de datos

- Se producen cuando por efecto del pipeline, una instrucción requiere de un dato antes de que este esté disponible por efecto de la secuencia lógica prevista en el programa.
- Consideremos el siguiente código.

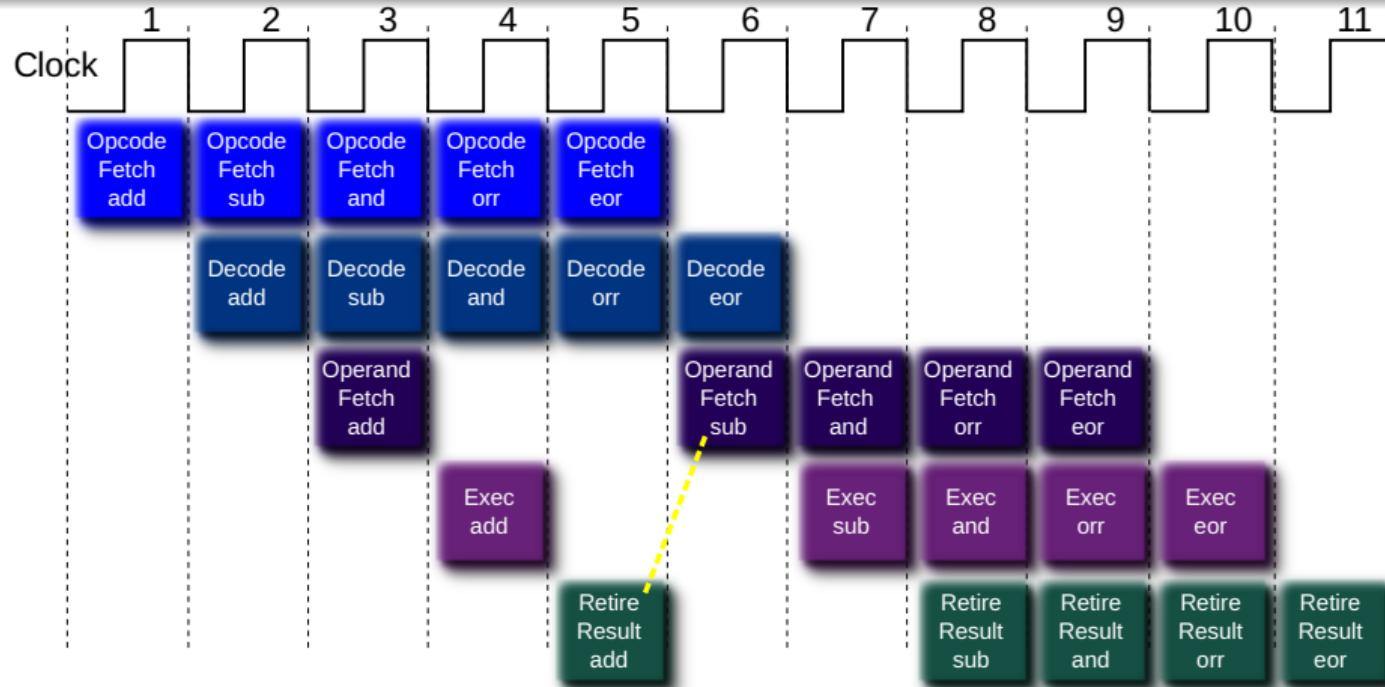
```
1  add  R1,  R2,  R3
2  sub  R4,  R1,  R5
3  and  R6,  R1,  R7
4  orr   R8,  R1,  R9
5  eor   R10, R1,  R11
```

- Tenemos dependencias con el Registro **R1**. Hasta que la instrucción **add** no complete su operación, **R1** no tiene un valor válido. Por lo tanto no puede continuar aplicándolo en las restantes que lo utilizan.
- La situación en el pipeline es la siguiente:

Obstáculos de Datos - Conflicto de recursos



Obstáculos de Datos - Efecto en CPI



- Por cada Dependencia, pospone una operación. $CPI = CPI + n$, siendo n la distancia entre las etapas del pipeline que requieren el mismo dato.

Solución a Obstáculos de Datos - Forwarding

Solución a Obstáculos de Datos - Forwarding

- Se extrae el resultado directamente de la salida de la unidad de Ejecución (ALU, Floating Point, o la que corresponda a la instrucción), cuando está disponible y se lo envía a la entrada de la etapa que lo requiere en el mismo ciclo de clock en que se escribe en el operando destino.

Solución a Obstáculos de Datos - Forwarding

- Se extrae el resultado directamente de la salida de la unidad de Ejecución (ALU, Floating Point, o la que corresponda a la instrucción), cuando está disponible y se lo envía a la entrada de la etapa que lo requiere en el mismo ciclo de clock en que se escribe en el operando destino.
- Esto permite disponer del dato en la siguiente instrucción ahorrando en la espera el tiempo de escritura en el operando destino. sin qua deba esperar que se retire el resultado (es decir que se aplique en el operando destino).

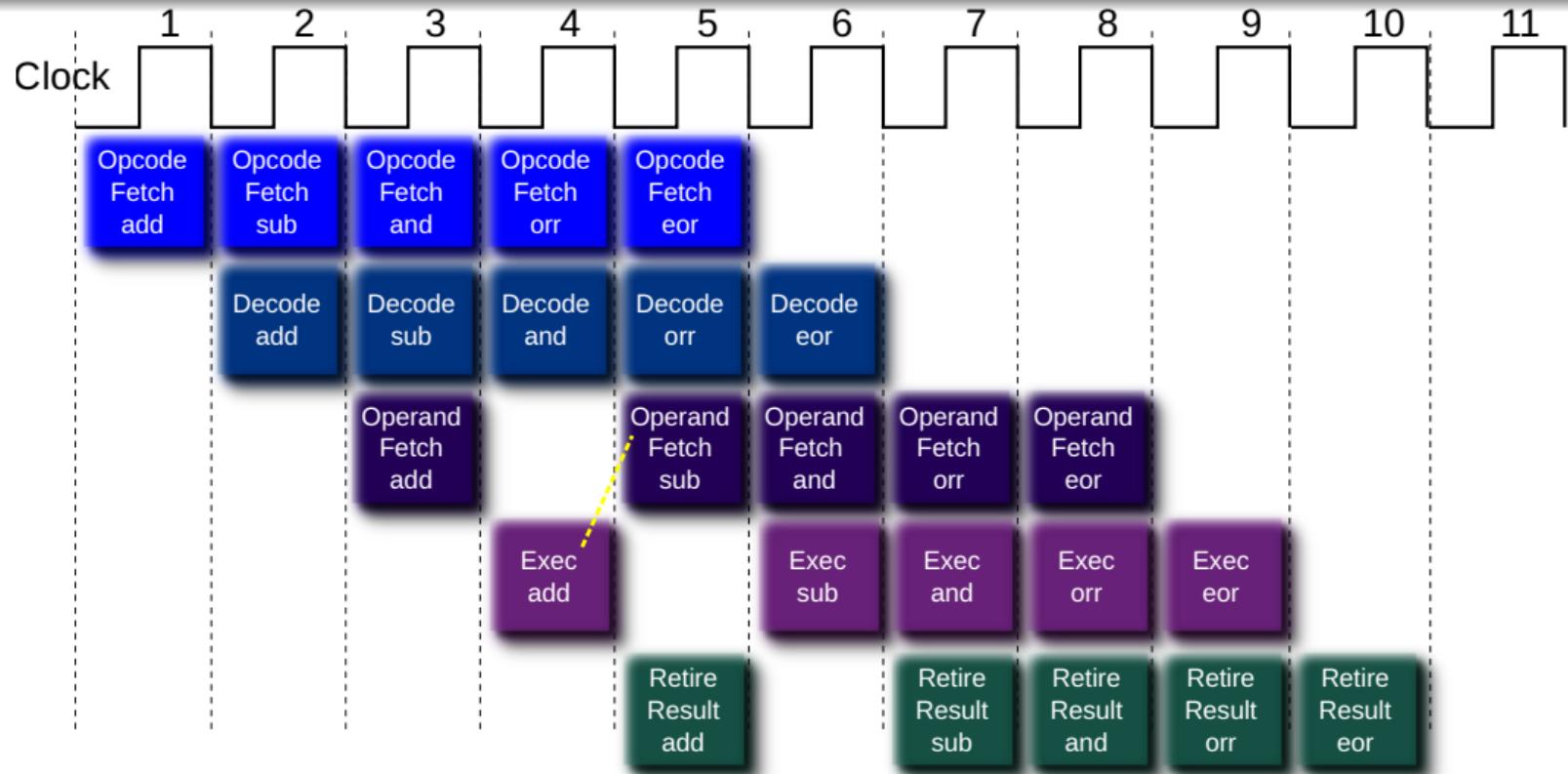
Solución a Obstáculos de Datos - Forwarding

- Se extrae el resultado directamente de la salida de la unidad de Ejecución (ALU, Floating Point, o la que corresponda a la instrucción), cuando está disponible y se lo envía a la entrada de la etapa que lo requiere en el mismo ciclo de clock en que se escribe en el operando destino.
- Esto permite disponer del dato en la siguiente instrucción ahorrando en la espera el tiempo de escritura en el operando destino. sin qua deba esperar que se retire el resultado (es decir que se aplique en el operando destino).
- Se aplica solamente a las etapas posteriores que quedarían en estado stall.

Solución a Obstáculos de Datos - Forwarding

- Se extrae el resultado directamente de la salida de la unidad de Ejecución (ALU, Floating Point, o la que corresponda a la instrucción), cuando está disponible y se lo envía a la entrada de la etapa que lo requiere en el mismo ciclo de clock en que se escribe en el operando destino.
- Esto permite disponer del dato en la siguiente instrucción ahorrando en la espera el tiempo de escritura en el operando destino. sin qua deba esperar que se retire el resultado (es decir que se aplique en el operando destino).
- Se aplica solamente a las etapas posteriores que quedarían en estado stall.
- A aquellas etapas que no quedarían en estado stall como consecuencia de la dependencia de datos, se les envía la salida del resultado cuando este es aplicado en el operando destino.

Obstáculos de Datos - Forwarding



Algunas veces forwarding no es factible

Algunas veces forwarding no es factible

- Normalmente forwarding aplica a operaciones de ALU denominadas back-to-back, ya que el bypass se efectúa desde la ALU a un registro entero del procesador.

Algunas veces forwarding no es factible

- Normalmente forwarding aplica a operaciones de ALU denominadas back-to-back, ya que el bypass se efectúa desde la ALU a un registro entero del procesador.
- Consideremos ahora este otro código para un procesador MIPS.

```
1  ldr    R1, [R2]
2  sub   R4,  R1,  R5
3  and   R6,  R1,  R7
4  orr   R8,  R1,  R9
5  eor   R10, R1, R11
```

Algunas veces forwarding no es factible

- Normalmente forwarding aplica a operaciones de ALU denominadas back-to-back, ya que el bypass se efectúa desde la ALU a un registro entero del procesador.
- Consideremos ahora este otro código para un procesador MIPS.

```
1  ldr    R1, [R2]
2  sub   R4,  R1,  R5
3  and   R6,  R1,  R7
4  orr   R8,  R1,  R9
5  eor   R10, R1, R11
```

- En este caso el dato no puede adelantarse hasta que no se complete el ciclo de clock en el que se impacta el resultado dentro del procesador.

Obstáculos de Control

Obstáculos de Control

- Un branch es la peor situación en pérdida de performance.

Obstáculos de Control

- Un branch es la peor situación en pérdida de performance.
- Un branch es una discontinuidad en el flujo de ejecución.

Obstáculos de Control

- Un branch es la peor situación en pérdida de performance.
- Un branch es una discontinuidad en el flujo de ejecución.
- El pipeline busca instrucciones en secuencia.

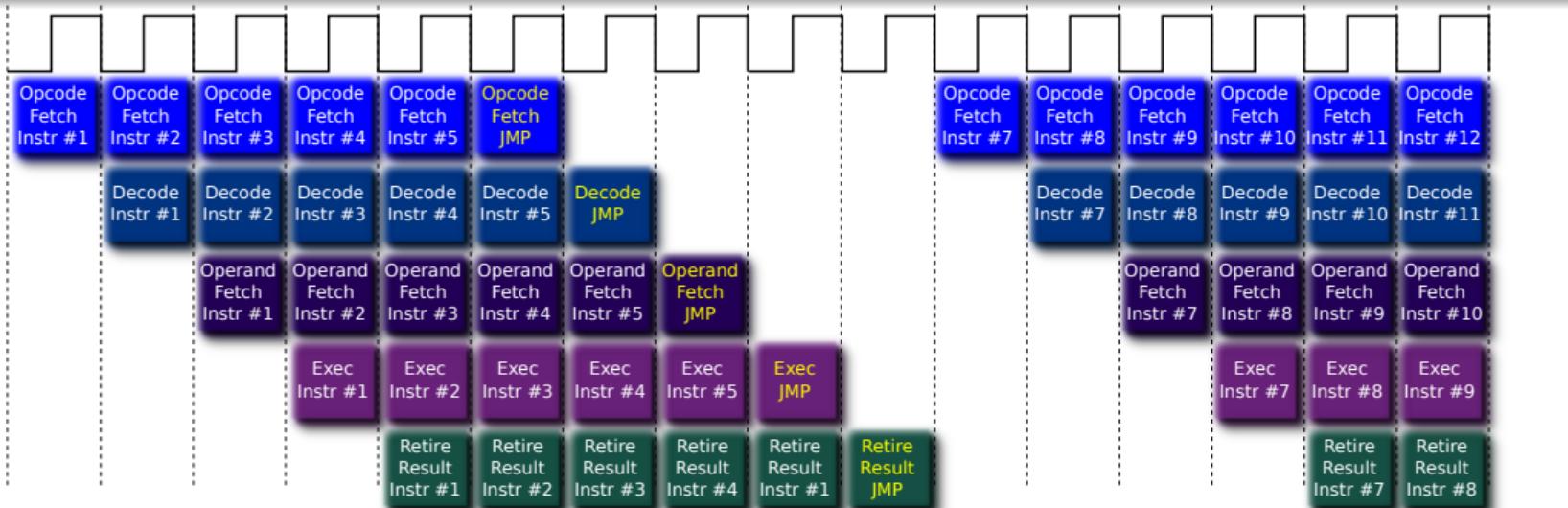
Obstáculos de Control

- Un branch es la peor situación en pérdida de performance.
- Un branch es una discontinuidad en el flujo de ejecución.
- El pipeline busca instrucciones en secuencia.
- Al procesar un branch todo lo que estaba pre procesado debe descartarse, vaciando el pipeline. El primer resultado se tendrá $n - 1$ ciclos de clock mas tarde, siendo n la cantidad de etapas del pipeline. Esta situación se llama **branch penalty** (a.k.a. "La conspiración de los branches").

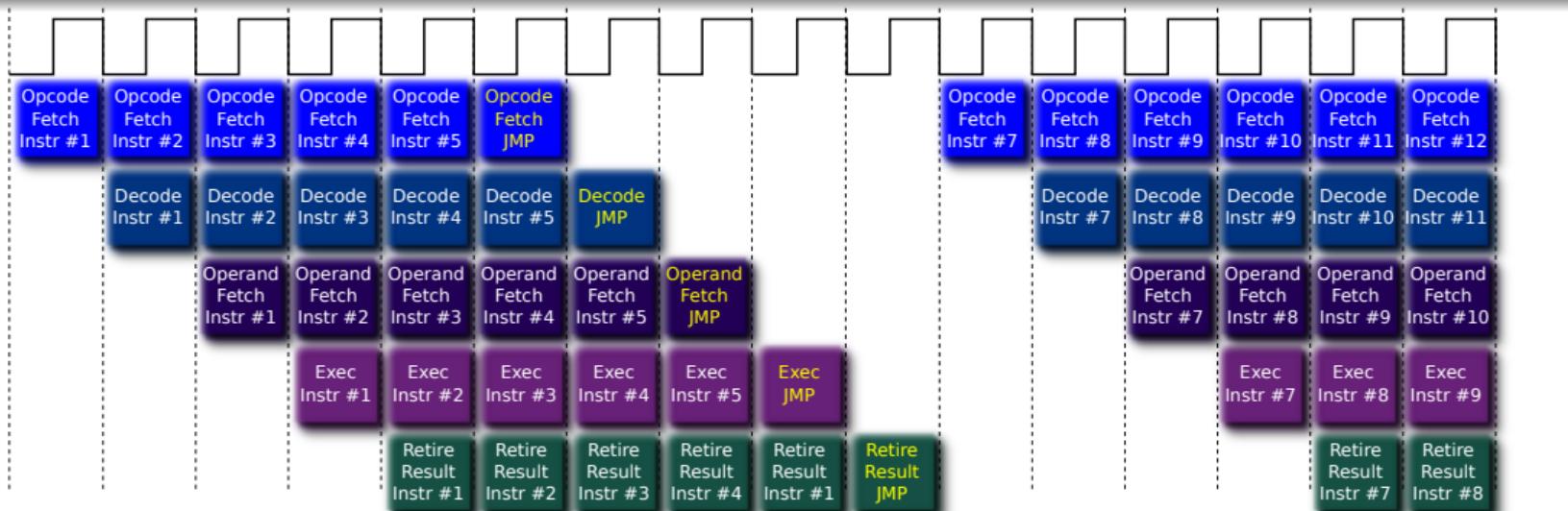
Obstáculos de Control

- Un branch es la peor situación en pérdida de performance.
- Un branch es una discontinuidad en el flujo de ejecución.
- El pipeline busca instrucciones en secuencia.
- Al procesar un branch todo lo que estaba pre procesado debe descartarse, vaciando el pipeline. El primer resultado se tendrá $n - 1$ ciclos de clock mas tarde, siendo n la cantidad de etapas del pipeline. Esta situación se llama **branch penalty** (a.k.a. "La conspiración de los branches").
- Las interrupciones generan el mismo efecto.

"La conspiración de los branches"

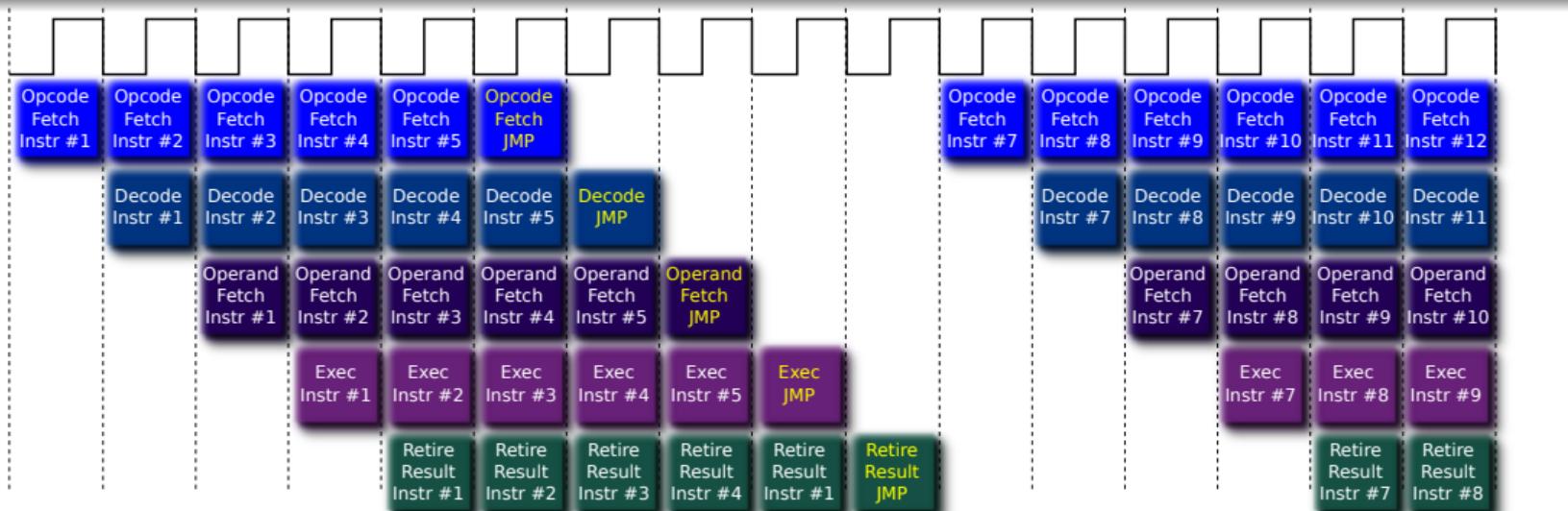


"La conspiración de los branches"



- El mayor inconveniente se presenta en saltos condicionales, ya que es necesario determinar si la condición es true o false. Y eso solo es posible en la fase de ejecución.

"La conspiración de los branches"



- El mayor inconveniente se presenta en saltos condicionales, ya que es necesario determinar si la condición es true o false. Y eso solo es posible en la fase de ejecución.
- Si la condición es True se tiene ***branch taken***. El Program Counter cambia a la dirección de salto. Si es False significa ***branch untaken***. El Program Counter apunta a la instrucción sucesora secuencial (la siguiente al branch).

Saltos: ¿Cuando puede determinarse si es taken?

En el esquema de pipeline clásico que venimos analizando, esta condición se verifica:

Saltos: ¿Cuando puede determinarse si es taken?

En el esquema de pipeline clásico que venimos analizando, esta condición se verifica:

- ① en la fase de ejecución, si es un salto condicional.

Saltos: ¿Cuando puede determinarse si es taken?

En el esquema de pipeline clásico que venimos analizando, esta condición se verifica:

- ① en la fase de ejecución, si es un salto condicional.
- ② en la fase de búsqueda de operando si es un salto incondicional o llamada a subrutina, con direccionamiento indirecto (es decir la dirección de salto está en la memoria en la dirección que contiene la instrucción).

Saltos: ¿Cuando puede determinarse si es taken?

En el esquema de pipeline clásico que venimos analizando, esta condición se verifica:

- ① en la fase de ejecución, si es un salto condicional.
- ② en la fase de búsqueda de operando si es un salto incondicional o llamada a subrutina, con direccionamiento indirecto (es decir la dirección de salto está en la memoria en la dirección que contiene la instrucción).
- ③ o, en el mejor de los casos en la fase de decodificación si es un salto incondicional o llamada a subrutina con direccionamiento directo (es decir la dirección de salto viene a continuación del código de operación).

Efectos de los branches y como neutralizarlos

Efectos de los branches y como neutralizarlos

- Forwarding puede ayudar a disminuir el efecto de los diferentes casos expuestos anteriormente. Sin embargo, no es óptima, ya que solo lograremos disminuir algunos ciclos de clock del **branch penalty**, pero no se puede eliminar del todo su efecto.

Efectos de los branches y como neutralizarlos

- Forwarding puede ayudar a disminuir el efecto de los diferentes casos expuestos anteriormente. Sin embargo, no es óptima, ya que solo lograremos disminuir algunos ciclos de clock del **branch penalty**, pero no se puede eliminar del todo su efecto.
- Para soluciones mas eficientes es necesario recurrir a análisis mas pormenorizados, que en general tienen en cuenta el comportamiento de los algoritmos y de los saltos.

Efectos de los branches y como neutralizarlos

- Forwarding puede ayudar a disminuir el efecto de los diferentes casos expuestos anteriormente. Sin embargo, no es óptima, ya que solo lograremos disminuir algunos ciclos de clock del **branch penalty**, pero no se puede eliminar del todo su efecto.
- Para soluciones mas eficientes es necesario recurrir a análisis mas pormenorizados, que en general tienen en cuenta el comportamiento de los algoritmos y de los saltos.
- Ingresamos al universo de las unidades de predicción de saltos. Las hay desde muy simples a muy sofisticadas, y tiene que ver no solo con las diferentes generaciones de procesadores, sino también con el tipo de procesador bajo análisis.

Contenido

1 Paralelismo a Nivel de Instrucción

- Pipeline
- **Unidades de Predicción de saltos**
- Superscalar
- Scheduling Dinámico

2 Ejecución Fuera de Orden

- Conceptos fundamentales
- Prehistoria
- Solución Actual
- Especulación por Hardware
- Casos prácticos que mezclan todo lo visto

3 Procesadores Multithread

4 Multicore y Manycore

- Estado del Arte

Necesidad de la predicción de saltos

Profundidad de un pipeline vs. penalización de un branch

A medida que aumenta la complejidad de un procesador, aumentan las etapas de un pipeline, ya que muchos diseños consideran paralelizar todas las tareas posibles que un procesador debe realizar para completar la ejecución de una interrupción.

Necesidad de la predicción de saltos

Profundidad de un pipeline vs. penalización de un branch

A medida que aumenta la complejidad de un procesador, aumentan las etapas de un pipeline, ya que muchos diseños consideran paralelizar todas las tareas posibles que un procesador debe realizar para completar la ejecución de una interrupción.

Esto hace que la cantidad de tiempo que demora un pipeline en recuperarse del efecto de un branch sea directamente proporcional a su cantidad de etapas.

Necesidad de la predicción de saltos

Profundidad de un pipeline vs. penalización de un branch

A medida que aumenta la complejidad de un procesador, aumentan las etapas de un pipeline, ya que muchos diseños consideran parallelizar todas las tareas posibles que un procesador debe realizar para completar la ejecución de una interrupción.

Esto hace que la cantidad de tiempo que demora un pipeline en recuperarse del efecto de un branch sea directamente proporcional a su cantidad de etapas.

Es crucial lograr una correcta predicción de saltos para evitar o minimizar las penalizaciones producto de vaciar el pipeline.

predicted-non-taken

predicted-non-taken

- El procesador asume por default que el salto nunca se toma, es decir que continúa la búsqueda del código de operación de las instrucciones siguientes a la de salto como si el salto fuese en realidad una instrucción común y corriente.

predicted-non-taken

- El procesador asume por default que el salto nunca se toma, es decir que continúa la búsqueda del código de operación de las instrucciones siguientes a la de salto como si el salto fuese en realidad una instrucción común y corriente.
- Funciona adecuadamente en estructuras de programa como la siguiente:
instrucción *branch*
instrucción sucesora secuencial.
instrucción destino para *branch taken*.

predicted-non-taken

- El procesador asume por default que el salto nunca se toma, es decir que continúa la búsqueda del código de operación de las instrucciones siguientes a la de salto como si el salto fuese en realidad una instrucción común y corriente.
- Funciona adecuadamente en estructuras de programa como la siguiente:
instrucción *branch*
instrucción sucesora secuencial.
instrucción destino para *branch taken*.
- Es decir, cuando el salto es “hacia adelante”, o bien cuando la dirección del target es mayor que la de la dirección de memoria que contiene la instrucción de salto.

predicted-taken

predicted-taken

- El procesador asume por default que el salto se toma siempre, es decir que continúa la búsqueda del código de operación de las instrucciones a partir de la dirección target.

predicted-taken

- El procesador asume por default que el salto se toma siempre, es decir que continúa la búsqueda del código de operación de las instrucciones a partir de la dirección target.
- Funciona adecuadamente en estructuras de programa como la siguiente:
instrucción destino para *branch taken*.
grupo de instrucciones a ejecutar iterativamente.
instrucción *branch*

predicted-taken

- El procesador asume por default que el salto se toma siempre, es decir que continúa la búsqueda del código de operación de las instrucciones a partir de la dirección target.
- Funciona adecuadamente en estructuras de programa como la siguiente:
instrucción destino para *branch taken*.
grupo de instrucciones a ejecutar iterativamente.
instrucción *branch*
- Resulta de gran utilidad en casos de estructuras de iteración.

predicted-taken

- El procesador asume por default que el salto se toma siempre, es decir que continúa la búsqueda del código de operación de las instrucciones a partir de la dirección target.
- Funciona adecuadamente en estructuras de programa como la siguiente:
instrucción destino para *branch taken*.
grupo de instrucciones a ejecutar iterativamente.
instrucción *branch*
- Resulta de gran utilidad en casos de estructuras de iteración.
- La gran ventaja es que siempre se acierta. Solo falla cuando expira la condición del lazo.

¿Que criterio tomar?

- Depende directamente del diseño del set de instrucciones. Las instrucciones de salto generalmente se diseñan pensando en las estructuras de programación clásicas
- El compilador, conociendo el set de instrucciones del procesador, debe organizar el código de la manera mas adecuada para aprovechar las opciones disponibles.

delayed branch

delayed branch

- En los primeros modelos de procesadores RISC se introdujo un enfoque superador denominado salto demorado (delayed branch).

delayed branch

- En los primeros modelos de procesadores RISC se introdujo un enfoque superador denominado salto demorado (delayed branch).
- Volviendo a la estructura de programa como la siguiente:
instrucción *branch*
instrucción sucesora secuencial.
instrucción destino para *branch taken*.

delayed branch

- En los primeros modelos de procesadores RISC se introdujo un enfoque superador denominado salto demorado (delayed branch).
- Volviendo a la estructura de programa como la siguiente:
instrucción *branch*
instrucción sucesora secuencial.
instrucción destino para *branch taken*.
- La *instrucción sucesora secuencial* se envía al slot de salto demorado.

delayed branch

- En los primeros modelos de procesadores RISC se introdujo un enfoque superador denominado salto demorado (delayed branch).
- Volviendo a la estructura de programa como la siguiente:
instrucción *branch*
instrucción sucesora secuencial.
instrucción destino para *branch taken*.
- La *instrucción sucesora secuencial* se envía al slot de salto demorado.
- Se ejecuta si o si independientemente del resultado de la evaluación del branch.

delayed branch

- En los primeros modelos de procesadores RISC se introdujo un enfoque superador denominado salto demorado (delayed branch).
- Volviendo a la estructura de programa como la siguiente:
instrucción *branch*
instrucción sucesora secuencial.
instrucción destino para *branch taken*.
- La *instrucción sucesora secuencial* se envía al slot de salto demorado.
- Se ejecuta si o si independientemente del resultado de la evaluación del branch.
- Se aplica o no el resultado dependiendo del resultado de la evaluación de la condición. En este caso no genera demoras. En caso de ***branch taken***, se descarta la ejecución y se tiene un ciclo de clock para que salga el resultado de la instrucción destino.

Loop Unrolling en el compilador

Loop Unrolling en el compilador

- Los compiladores son hasta ahora los responsables de armar los loops de modo de usar las instrucciones en función del branch Prediction.

Loop Unrolling en el compilador

- Los compiladores son hasta ahora los responsables de armar los loops de modo de usar las instrucciones en función del branch Prediction.
- Otra posibilidad es desenrollar los branches, técnica conocida como loop unrolling.

Loop Unrolling en el compilador

- Los compiladores son hasta ahora los responsables de armar los loops de modo de usar las instrucciones en función del branch Prediction.
- Otra posibilidad es desenrollar los branches, técnica conocida como loop unrolling.
- Para implementarla es necesario, que los datos dentro del loop sean paralelizables. Esto es por ejemplo el siguiente código:

```
1  for ( i = 0 ; i < 256 ; i++ )  
2  {  
3      suma = 0.0f; /* */  
4      for ( j = 0 ; ( j <= i && j < 256) ; j++)  
5          suma += v0[ i-j ] * v1[ j ];  
6      fAux[ i ] = suma;  
7  }
```

Loop Unrolling en el compilador

- Los compiladores son hasta ahora los responsables de armar los loops de modo de usar las instrucciones en función del branch Prediction.
- Otra posibilidad es desenrollar los branches, técnica conocida como loop unrolling.
- Para implementarla es necesario, que los datos dentro del loop sean paralelizables. Esto es por ejemplo el siguiente código:

```
1   for ( i = 0 ; i < 256 ; i++ )  
2   {  
3       suma = 0.0f; /* */  
4       for ( j = 0 ; ( j <= i && j < 256) ; j++)  
5           suma += v0[ i-j ] * v1[ j ];  
6       fAux[ i ] = suma;  
7   }
```

- La ventaja de deshacer el loop y hacer una instrucción detrás de la otra es que se eliminan los branches que componen cualquier loop y desaparece la penalización.

Predicción de saltos dinámica

Predicción de saltos dinámica

- Todos los métodos vistos hasta aquí dependen exclusivamente del compilador. Esto significa que el hardware interno del procesador no realiza ningún análisis del código ni agrega adaptatividad.

Predicción de saltos dinámica

- Todos los métodos vistos hasta aquí dependen exclusivamente del compilador. Esto significa que el hardware interno del procesador no realiza ningún análisis del código ni agrega adaptatividad.
- Cuando el procesador comienza a efectuar un análisis del flujo de instrucciones y toma decisiones en función de lo que encuentra se tiene un paso adelante en la predicción de saltos.

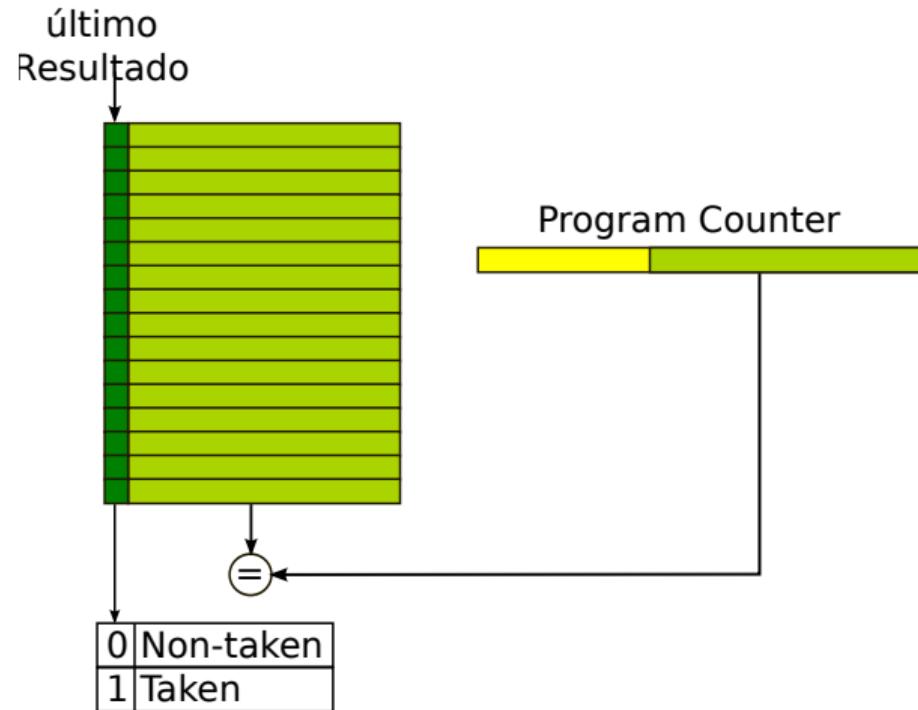
Predicción de saltos dinámica

- Todos los métodos vistos hasta aquí dependen exclusivamente del compilador. Esto significa que el hardware interno del procesador no realiza ningún análisis del código ni agrega adaptatividad.
- Cuando el procesador comienza a efectuar un análisis del flujo de instrucciones y toma decisiones en función de lo que encuentra se tiene un paso adelante en la predicción de saltos.
- Ingresamos al universo de la predicción dinámica.

Predicción de saltos dinámica

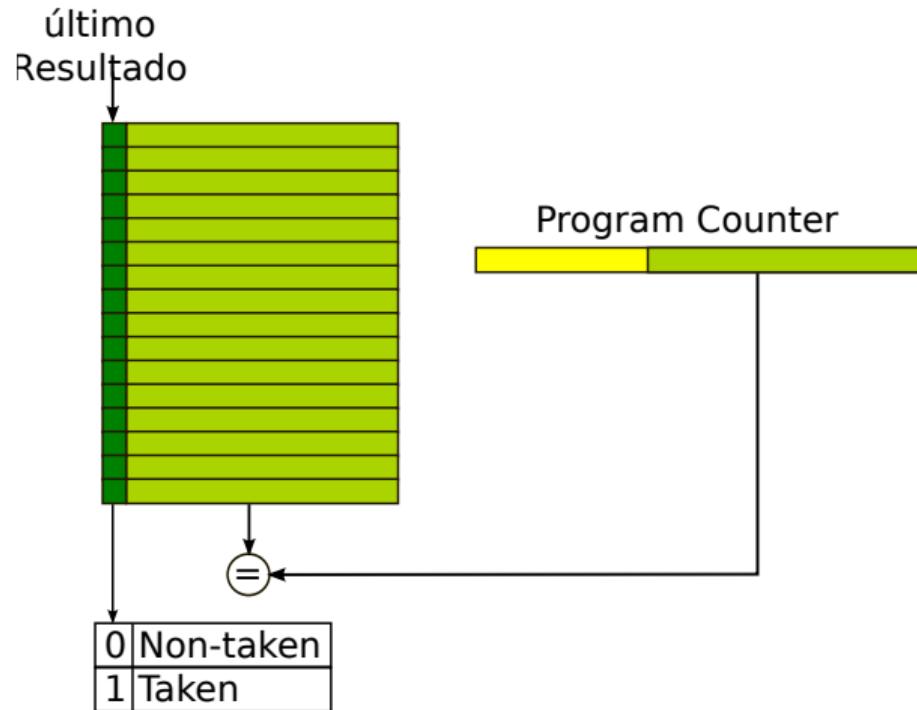
- Todos los métodos vistos hasta aquí dependen exclusivamente del compilador. Esto significa que el hardware interno del procesador no realiza ningún análisis del código ni agrega adaptatividad.
- Cuando el procesador comienza a efectuar un análisis del flujo de instrucciones y toma decisiones en función de lo que encuentra se tiene un paso adelante en la predicción de saltos.
- Ingresamos al universo de la predicción dinámica.
- Los métodos subsiguientes son de esta categoría y corresponden a microarquitecturas mas avanzadas, con mayor paralelismo a nivel de instrucciones.

Branch Prediction Buffer



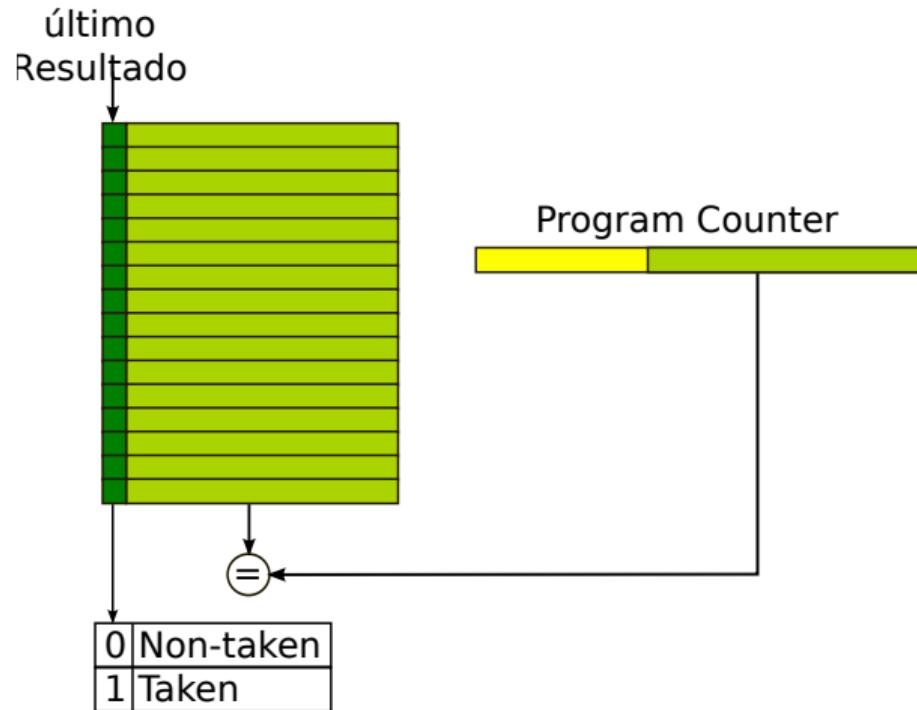
Branch Prediction Buffer

- Es una tabla simple indexada por la dirección de memoria de la instrucción de salto (o su campo de bits menos significativos), y un bit que indica simplemente el resultado reciente del salto (*taken* o *non-taken*)



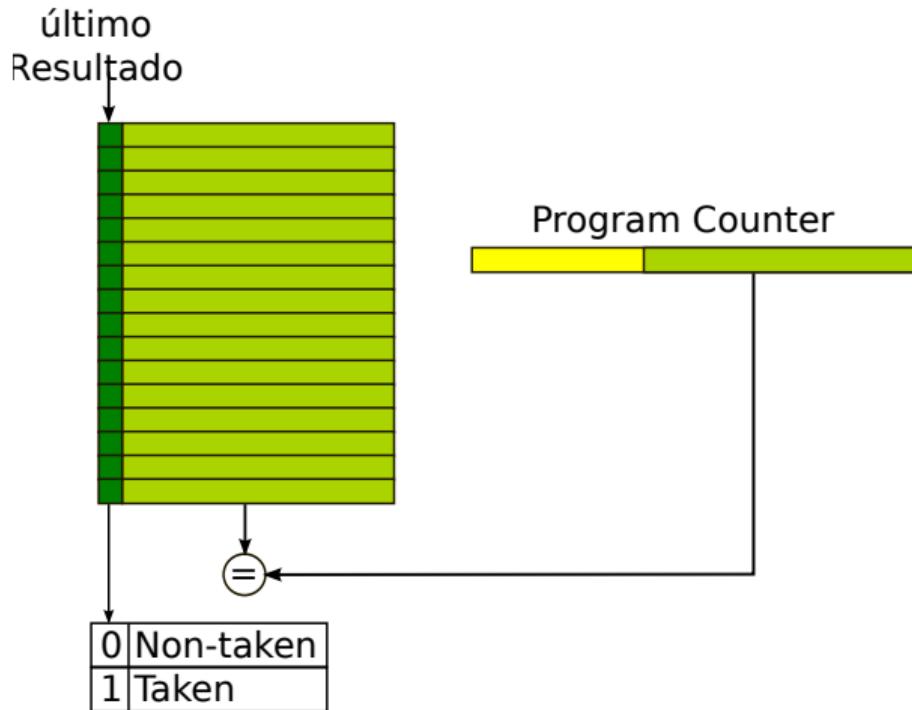
Branch Prediction Buffer

- Es una tabla simple indexada por la dirección de memoria de la instrucción de salto (o su campo de bits menos significativos), y un bit que indica simplemente el resultado reciente del salto (*taken* o *non-taken*)
- En realidad el valor del bit es solo una pista para la Unidad de Ejecución.



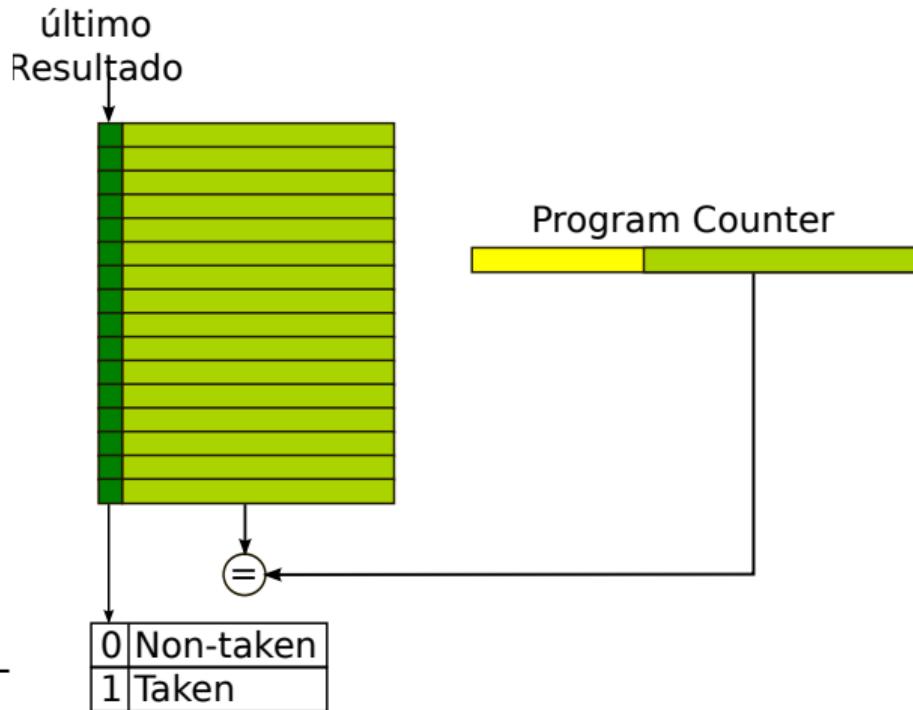
Branch Prediction Buffer

- Es una tabla simple indexada por la dirección de memoria de la instrucción de salto (o su campo de bits menos significativos), y un bit que indica simplemente el resultado reciente del salto (*taken* o *non-taken*)
- En realidad el valor del bit es solo una pista para la Unidad de Ejecución.
- No reviste seguridad en la predicción.



Branch Prediction Buffer

- Es una tabla simple indexada por la dirección de memoria de la instrucción de salto (o su campo de bits menos significativos), y un bit que indica simplemente el resultado reciente del salto (*taken* o *non-taken*)
- En realidad el valor del bit es solo una pista para la Unidad de Ejecución.
- No reviste seguridad en la predicción.
- Incluso podría tratarse de una etiqueta ingresada por otra instrucción de salto cuya dirección finaliza con el mismo patrón de bits que la actual.



Branch Prediction Buffer

Branch Prediction Buffer

- Si el resultado del salto coincide con el valor almacenado en el Branch Prediction Buffer, se mantiene el contenido, y si falla se complementa a 1.

Branch Prediction Buffer

- Si el resultado del salto coincide con el valor almacenado en el Branch Prediction Buffer, se mantiene el contenido, y si falla se complementa a 1.
- Este modelo se llama predicción simple de 1 bit. Limitación: cuando un salto siempre resulta *taken*, y falla una vez produce dos predicciones fallidas seguidas, ya que el bit se invierte.

Branch Prediction Buffer

- Si el resultado del salto coincide con el valor almacenado en el Branch Prediction Buffer, se mantiene el contenido, y si falla se complementa a 1.
- Este modelo se llama predicción simple de 1 bit. Limitación: cuando un salto siempre resulta *taken*, y falla una vez produce dos predicciones fallidas seguidas, ya que el bit se invierte.
- Para mejorar su rendimiento se implementó un modelo de 2 bits, el cual es mas eficiente en su predicción ya que cumple un diagrama de estados como el siguiente.

Predicción de 2 bits



Implementación práctica

Implementación práctica

- En la práctica, este tipo de Branch Predictor, se implementa en la etapa de Instruction Fetch del pipeline, como un pequeño cache de direcciones de salto accesible mediante las direcciones de las instrucciones.

Implementación práctica

- En la práctica, este tipo de Branch Predictor, se implementa en la etapa de Instruction Fetch del pipeline, como un pequeño cache de direcciones de salto accesible mediante las direcciones de las instrucciones.
- Otra forma de implementación es agregar un par de bits a cada bloque de líneas en el cache de instrucciones, que se emplean únicamente si ese bloque tiene instrucciones de salto condicional.

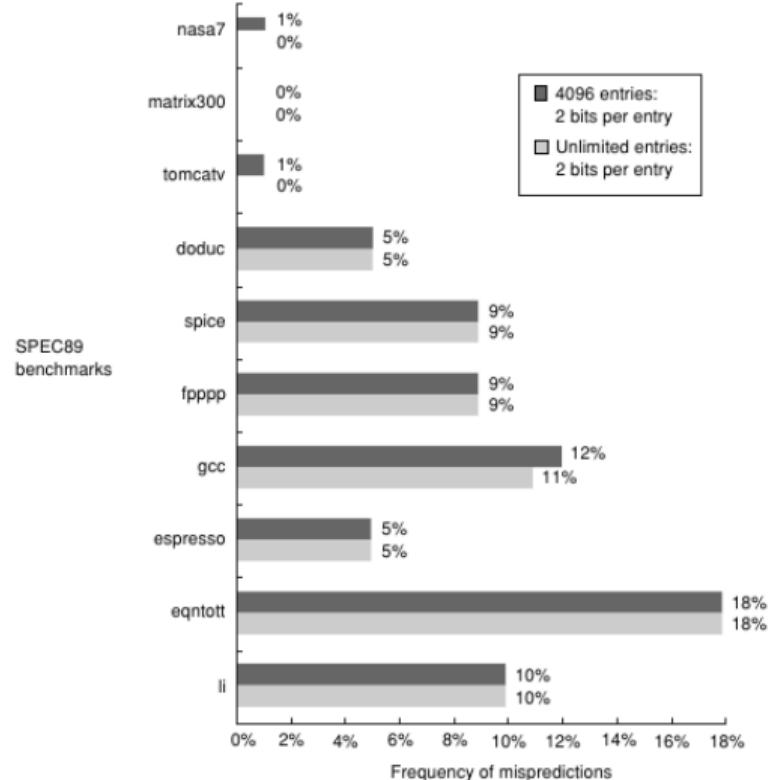
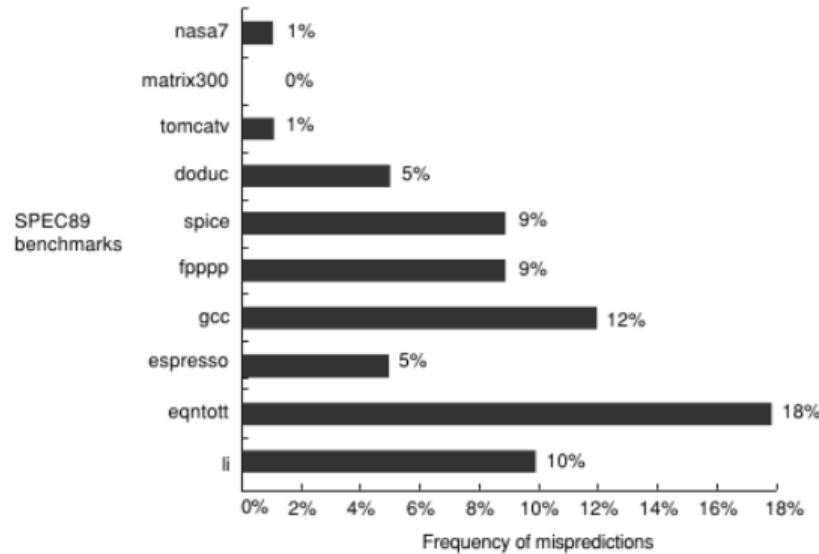
Implementación práctica

- En la práctica, este tipo de Branch Predictor, se implementa en la etapa de Instruction Fetch del pipeline, como un pequeño cache de direcciones de salto accesible mediante las direcciones de las instrucciones.
- Otra forma de implementación es agregar un par de bits a cada bloque de líneas en el cache de instrucciones, que se emplean únicamente si ese bloque tiene instrucciones de salto condicional.
 - En el caso en que la predicción para la instrucción de salto de ese bloque sea *taken*, el Program Counter se setea con la dirección destino del salto y se continúa buscando instrucciones a partir de allí.

Implementación práctica

- En la práctica, este tipo de Branch Predictor, se implementa en la etapa de Instruction Fetch del pipeline, como un pequeño cache de direcciones de salto accesible mediante las direcciones de las instrucciones.
- Otra forma de implementación es agregar un par de bits a cada bloque de líneas en el cache de instrucciones, que se emplean únicamente si ese bloque tiene instrucciones de salto condicional.
 - En el caso en que la predicción para la instrucción de salto de ese bloque sea *taken*, el Program Counter se setea con la dirección destino del salto y se continúa buscando instrucciones a partir de allí.
 - En otro caso se sigue buscando las instrucciones en secuencia.

Eficiencia. Benchmarks SPEC89



Performance Branch Predictor de 2 bits: Conclusiones

Performance Branch Predictor de 2 bits: Conclusiones

- El método tiene una eficiencia superior al 82 %, para cualquier tipo de programa

Performance Branch Predictor de 2 bits: Conclusiones

- El método tiene una eficiencia superior al 82 %, para cualquier tipo de programa
- La eficiencia es superior en programas de punto flotante ($missprediction\ rate < 4\%$) frente a los programas de cálculo entero ($4\% < missprediction\ rate < 18\%$)

Performance Branch Predictor de 2 bits: Conclusiones

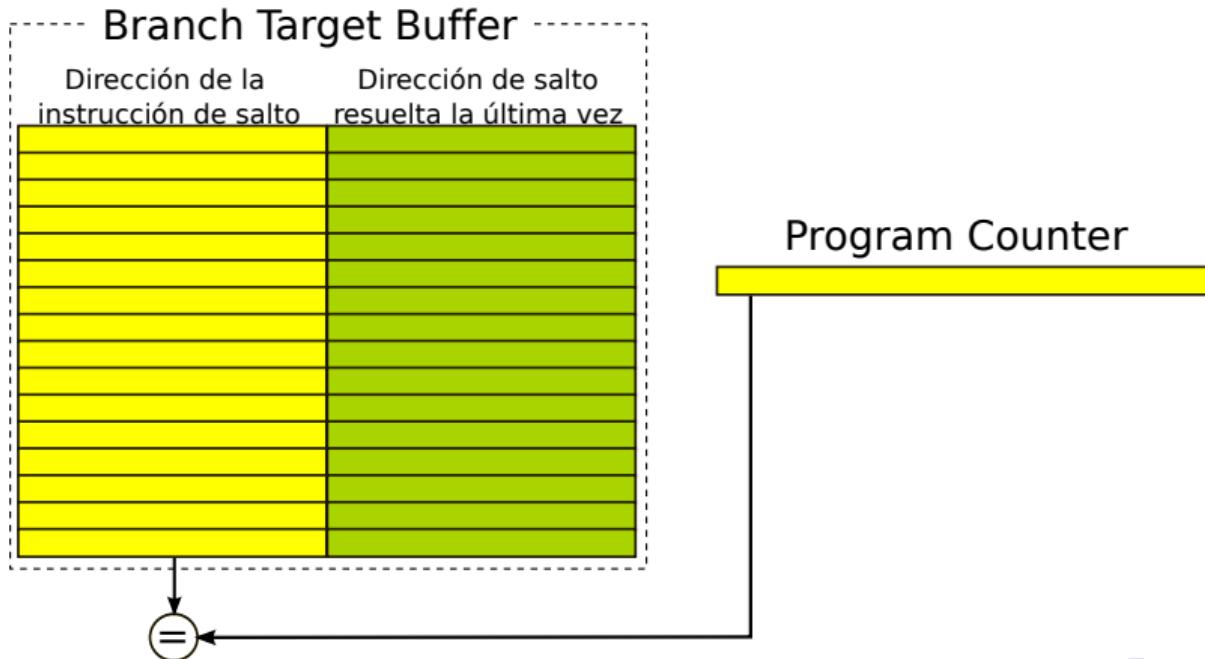
- El método tiene una eficiencia superior al 82 %, para cualquier tipo de programa
- La eficiencia es superior en programas de punto flotante ($missprediction\ rate < 4\%$) frente a los programas de cálculo entero ($4\% < missprediction\ rate < 18\%$)
- El tamaño del buffer de predicción no genera efecto en la eficiencia mas allá de los 4Kbytes.

Performance Branch Predictor de 2 bits: Conclusiones

- El método tiene una eficiencia superior al 82 %, para cualquier tipo de programa
- La eficiencia es superior en programas de punto flotante ($missprediction\ rate < 4\%$) frente a los programas de cálculo entero ($4\% < missprediction\ rate < 18\%$)
- El tamaño del buffer de predicción no genera efecto en la eficiencia mas allá de los 4Kbytes.
- Tampoco se obtuvieron mejoras aumentando la cantidad de bits de predicción mas allá de 2. En general un branch predictor de n bits tomaría valores entre 0 y $2^n - 1$, tomando el salto para los valores contenidos en la mitad mas alta del rango y no lo tomaría para la mitad menos significativa. La complejidad en el diseño no se ve compensada por la mejora en la funcionalidad de predicción.

Branch Target Buffer

- Es un cache de instrucciones de salto que contiene para cada entrada el par dirección de la instrucción de salto, y dirección del target resuelta (No los Bits *taken* o *Non-taken*).



Branch Target Buffer

Branch Target Buffer

- Se trabaja como una memoria de acceso por contenido.

Branch Target Buffer

- Se trabaja como una memoria de acceso por contenido.
- Se accede mediante el valor completo del Program Counter.

Branch Target Buffer

- Se trabaja como una memoria de acceso por contenido.
- Se accede mediante el valor completo del Program Counter.
- Si el valor no se encuentra se asume *taken*.

Branch Target Buffer

- Se trabaja como una memoria de acceso por contenido.
- Se accede mediante el valor completo del Program Counter.
- Si el valor no se encuentra se asume *taken*.
 - Si el resultado es *Non-taken* se acepta el delay en el pipeline, y no se almacena nada en el BTB

Branch Target Buffer

- Se trabaja como una memoria de acceso por contenido.
- Se accede mediante el valor completo del Program Counter.
- Si el valor no se encuentra se asume *taken*.
 - Si el resultado es *Non-taken* se acepta el delay en el pipeline, y no se almacena nada en el BTB
 - Si el resultado es *taken*, Se ingresa el valor al BTB.

Branch Target Buffer

- Se trabaja como una memoria de acceso por contenido.
- Se accede mediante el valor completo del Program Counter.
- Si el valor no se encuentra se asume *taken*.
 - Si el resultado es *Non-taken* se acepta el delay en el pipeline, y no se almacena nada en el BTB
 - Si el resultado es *taken*, Se ingresa el valor al BTB.
- Si el valor se encuentra en el BTB, se aplica el campo de dirección target almacenado

Branch Target Buffer

- Se trabaja como una memoria de acceso por contenido.
- Se accede mediante el valor completo del Program Counter.
- Si el valor no se encuentra se asume *taken*.
 - Si el resultado es *Non-taken* se acepta el delay en el pipeline, y no se almacena nada en el BTB
 - Si el resultado es *taken*, Se ingresa el valor al BTB.
- Si el valor se encuentra en el BTB, se aplica el campo de dirección target almacenado
 - Si el resultado es *taken*, no hay penalidad, y no se guarda en el BTB ningún nuevo valor ya que el que está almacenado es el que nos sirve.

Branch Target Buffer

- Se trabaja como una memoria de acceso por contenido.
- Se accede mediante el valor completo del Program Counter.
- Si el valor no se encuentra se asume *taken*.
 - Si el resultado es *Non-taken* se acepta el delay en el pipeline, y no se almacena nada en el BTB
 - Si el resultado es *taken*, Se ingresa el valor al BTB.
- Si el valor se encuentra en el BTB, se aplica el campo de dirección target almacenado
 - Si el resultado es *taken*, no hay penalidad, y no se guarda en el BTB ningún nuevo valor ya que el que está almacenado es el que nos sirve.
 - Si el resultado es *Non-taken*, guarda el nuevo valor en el BTB ya que el que está no sirvió, luego de la penalidad correspondiente en el pipeline.

Contenido

1 Paralelismo a Nivel de Instrucción

- Pipeline
- Unidades de Predicción de saltos
- **Superscalar**
- Scheduling Dinámico

2 Ejecución Fuera de Orden

- Conceptos fundamentales
- Prehistoria
- Solución Actual
- Especulación por Hardware
- Casos prácticos que mezclan todo lo visto

3 Procesadores Multithread

4 Multicore y Manycore

- Estado del Arte

Mas allá de una Instrucción por ciclo de clock...

Mas allá de una Instrucción por ciclo de clock...

- Podemos trabajar a nivel de Microarquitectura y Hardware, para tratar de aumentar la paralelización jugar con el clock y violar algunas leyes de la física, para llegar a que el pipeline pueda obtener una eficiencia de liberar un resultado por ciclo de clock.

Mas allá de una Instrucción por ciclo de clock...

- Podemos trabajar a nivel de Microarquitectura y Hardware, para tratar de aumentar la paralelización jugar con el clock y violar algunas leyes de la física, para llegar a que el pipeline pueda obtener una eficiencia de liberar un resultado por ciclo de clock.
- ¿Como seguimos?

Mas allá de una Instrucción por ciclo de clock...

- Podemos trabajar a nivel de Microarquitectura y Hardware, para tratar de aumentar la paralelización jugando con el clock y violar algunas leyes de la física, para llegar a que el pipeline pueda obtener una eficiencia de liberar un resultado por ciclo de clock.
- ¿Como seguimos?
- Simple... tratando de ejecutar mas de una instrucción por ciclo de clock.

Mas allá de una Instrucción por ciclo de clock...

- Podemos trabajar a nivel de Microarquitectura y Hardware, para tratar de aumentar la paralelización jugando con el clock y violar algunas leyes de la física, para llegar a que el pipeline pueda obtener una eficiencia de liberar un resultado por ciclo de clock.
- ¿Como seguimos?
- Simple... tratando de ejecutar mas de una instrucción por ciclo de clock.
- El problema es ¿como?.

Mas allá de una Instrucción por ciclo de clock...

- Podemos trabajar a nivel de Microarquitectura y Hardware, para tratar de aumentar la paralelización jugando con el clock y violar algunas leyes de la física, para llegar a que el pipeline pueda obtener una eficiencia de liberar un resultado por ciclo de clock.
- ¿Como seguimos?
- Simple... tratando de ejecutar mas de una instrucción por ciclo de clock.
- El problema es ¿como?.
- La respuesta es... mas Paralelismo.

Mas allá de una Instrucción por ciclo de clock...

- Podemos trabajar a nivel de Microarquitectura y Hardware, para tratar de aumentar la paralelización jugando con el clock y violar algunas leyes de la física, para llegar a que el pipeline pueda obtener una eficiencia de liberar un resultado por ciclo de clock.
- ¿Como seguimos?
- Simple... tratando de ejecutar mas de una instrucción por ciclo de clock.
- El problema es ¿como?.
- La respuesta es... mas Paralelismo.
- ¿Como lo hacemos?

Mas allá de una Instrucción por ciclo de clock...

- Podemos trabajar a nivel de Microarquitectura y Hardware, para tratar de aumentar la paralelización jugando con el clock y violar algunas leyes de la física, para llegar a que el pipeline pueda obtener una eficiencia de liberar un resultado por ciclo de clock.
- ¿Como seguimos?
- Simple... tratando de ejecutar mas de una instrucción por ciclo de clock.
- El problema es ¿como?.
- La respuesta es... mas Paralelismo.
- ¿Como lo hacemos?
- De la misma forma que nos traj a este punto: Mas hardware.

Superscalar de dos vías



Superscalar de dos vías

- Los obstáculos estructurales quedan más expuestos.



Superscalar de dos vías



- Los obstáculos estructurales quedan más expuestos.
- Recordando el hazard de acceso simultáneo a memoria, ahora cada etapa además de lidiar con las otras etapas de su propio pipeline que pueden acceder en simultáneo para acceder a instrucciones o datos, tiene que lidiar también con las mismas etapas del otro pipeline.

Superscalar de dos vías



- Los obstáculos estructurales quedan más expuestos.
- Recordando el hazard de acceso simultáneo a memoria, ahora cada etapa además de lidiar con las otras etapas de su propio pipeline que pueden acceder en simultáneo para acceder a instrucciones o datos, tiene que lidiar también con las mismas etapas del otro pipeline.
- La probabilidad de accesos concurrentes aumenta con la cantidad de vías del Superscalar.

Superscalar de dos vías



- Los obstáculos estructurales quedan más expuestos.
- Recordando el hazard de acceso simultáneo a memoria, ahora cada etapa además de lidiar con las otras etapas de su propio pipeline que pueden acceder en simultáneo para acceder a instrucciones o datos, tiene que lidiar también con las mismas etapas del otro pipeline.
- La probabilidad de accesos concurrentes aumenta con la cantidad de vías del Superscalar.
- Se pueden ejecutar en dos ALUs dos instrucciones. Pero si una depende del resultado de la otra, esto no es posible.

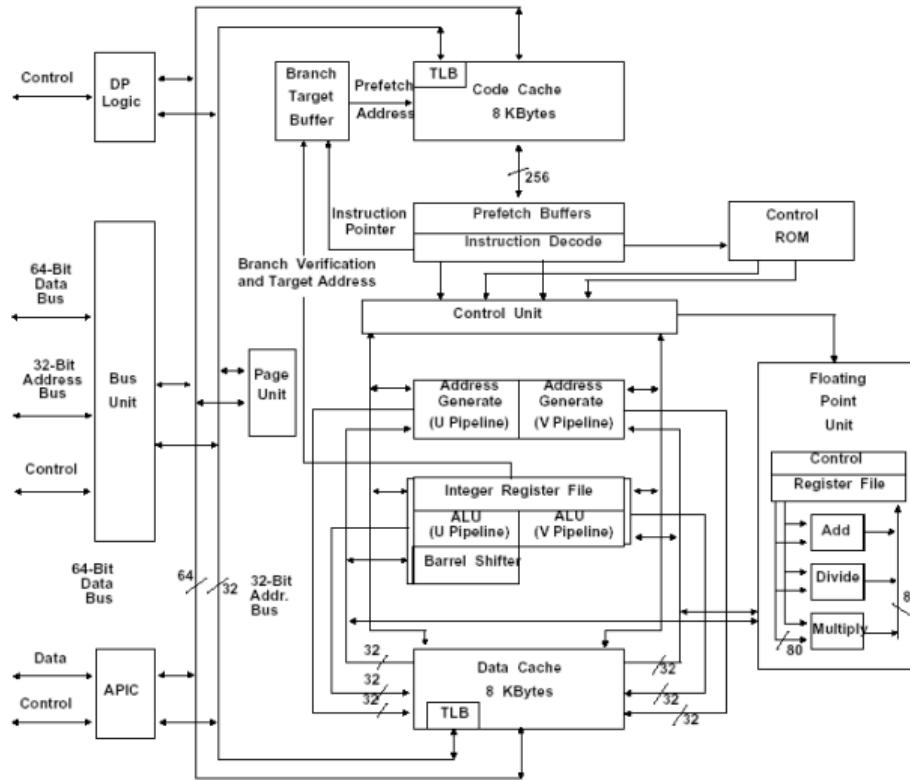
Superscalar de dos vías



- Los obstáculos estructurales quedan mas expuestos.
- Recordando el hazard de acceso simultáneo a memoria, ahora cada etapa además de lidiar con las otras etapas de su propio pipeline que pueden acceder en simultáneo para acceder a instrucciones o datos, tiene que lidiar también con las mismas etapas del otro pipeline.
- La probabilidad de accesos concurrentes aumenta con la cantidad de vías del Superscalar.
- Se pueden ejecutar en dos ALUs dos instrucciones. Pero si una depende del resultado de la otra, esto no es posible.
- Una falla en el branch prediction es mucho mas severa: ¡Limpia ambos pipelines!

Un Superscalar de dos vías: El pentium

Pentium® Processor (75/90/100/120/133/150/166/200 MHz)



Contenido

1 Paralelismo a Nivel de Instrucción

- Pipeline
- Unidades de Predicción de saltos
- Superscalar
- **Scheduling Dinámico**

2 Ejecución Fuera de Orden

- Conceptos fundamentales
- Prehistoria
- Solución Actual
- Especulación por Hardware
- Casos prácticos que mezclan todo lo visto

3 Procesadores Multithread

4 Multicore y Manycore

- Estado del Arte

Obstáculos de Datos. Aumento conforme se avanza

Obstáculos de Datos. Aumento conforme se avanza

- Hasta aquí estudiamos pipelines con scheduling de instrucciones estático.

Obstáculos de Datos. Aumento conforme se avanza

- Hasta aquí estudiamos pipelines con scheduling de instrucciones estático.
- Estos pipelines simplemente buscan una instrucción y la envían a la unidad de ejecución (**dispatch**).

Obstáculos de Datos. Aumento conforme se avanza

- Hasta aquí estudiamos pipelines con scheduling de instrucciones estático.
- Estos pipelines simplemente buscan una instrucción y la envían a la unidad de ejecución (**dispatch**).
- En caso de tener dependencias con otra instrucción en el pipeline, el envío es demorado (**pipeline stall**).

Obstáculos de Datos. Aumento conforme se avanza

- Hasta aquí estudiamos pipelines con scheduling de instrucciones estático.
- Estos pipelines simplemente buscan una instrucción y la envían a la unidad de ejecución (**dispatch**).
- En caso de tener dependencias con otra instrucción en el pipeline, el envío es demorado (**pipeline stall**).
- En caso de superescalares el estudio de dependencias se debe extender a instrucciones en los diferentes pipelines.

Obstáculos de Datos. Aumento conforme se avanza

- Hasta aquí estudiamos pipelines con scheduling de instrucciones estático.
- Estos pipelines simplemente buscan una instrucción y la envían a la unidad de ejecución (**dispatch**).
- En caso de tener dependencias con otra instrucción en el pipeline, el envío es demorado (**pipeline stall**).
- En caso de superescalares el estudio de dependencias se debe extender a instrucciones en los diferentes pipelines.
- Estos y otros casos que veremos, vuelven insuficiente el método de Forwarding aplicado en los primeros pipelines.

Obstáculos de Datos. Aumento conforme se avanza

- Hasta aquí estudiamos pipelines con scheduling de instrucciones estático.
- Estos pipelines simplemente buscan una instrucción y la envían a la unidad de ejecución (**dispatch**).
- En caso de tener dependencias con otra instrucción en el pipeline, el envío es demorado (**pipeline stall**).
- En caso de superescalares el estudio de dependencias se debe extender a instrucciones en los diferentes pipelines.
- Estos y otros casos que veremos, vuelven insuficiente el método de Forwarding aplicado en los primeros pipelines.
- Hay que ir por mas.

Idea Fuerza

Idea Fuerza

- Una instrucción j , depende una instrucción previa i . Esta última varios ciclos de clock para completar su ejecución. Entonces, la instrucción j y todas las instrucciones que la siguen no pueden ser ejecutadas. **Pipeline stall**.

Idea Fuerza

- Una instrucción j , depende una instrucción previa i . Esta última varios ciclos de clock para completar su ejecución. Entonces, la instrucción j y todas las instrucciones que la siguen no pueden ser ejecutadas. **Pipeline stall**.
- Esta obstrucción, pone en estado idle a todas las unidades funcionales que componen la Unidad de Ejecución del pipeline.

Idea Fuerza

- Una instrucción j , depende una instrucción previa i . Esta última varios ciclos de clock para completar su ejecución. Entonces, la instrucción j y todas las instrucciones que la siguen no pueden ser ejecutadas. **Pipeline stall**.
- Esta obstrucción, pone en estado idle a todas las unidades funcionales que componen la Unidad de Ejecución del pipeline.
- Para ilustrarlo consideremos el siguiente código:

```
1 sdiv    R0,  R2,  R4
2 add     R10, R0,  R8
3 sub     R12, R8,  R14
```

Idea Fuerza

- Una instrucción j , depende una instrucción previa i . Esta última varios ciclos de clock para completar su ejecución. Entonces, la instrucción j y todas las instrucciones que la siguen no pueden ser ejecutadas. **Pipeline stall**.
- Esta obstrucción, pone en estado idle a todas las unidades funcionales que componen la Unidad de Ejecución del pipeline.
- Para ilustrarlo consideremos el siguiente código:

```
1 sdiv    R0,  R2,  R4
2 add     R10, R0,  R8
3 sub     R12, R8,  R14
```

- La instrucción **sdiv**, lleva varios ciclos de clock para completarse: Como su resultado se escribe en el registro R0, la ejecución de la instrucción **add** no puede ejecutarse ya que utiliza éste registro como insumo (operando fuente).

Idea Fuerza

- Una instrucción j , depende una instrucción previa i . Esta última varios ciclos de clock para completar su ejecución. Entonces, la instrucción j y todas las instrucciones que la siguen no pueden ser ejecutadas. **Pipeline stall**.
- Esta obstrucción, pone en estado idle a todas las unidades funcionales que componen la Unidad de Ejecución del pipeline.
- Para ilustrarlo consideremos el siguiente código:

```
1 sdiv    R0,  R2,  R4
2 add     R10, R0,  R8
3 sub     R12, R8,  R14
```

- La instrucción **sdiv**, lleva varios ciclos de clock para completarse: Como su resultado se escribe en el registro R0, la ejecución de la instrucción **add** no puede ejecutarse ya que utiliza éste registro como insumo (operando fuente).
- La instrucción **sub**, no tiene dependencia de datos con **sdiv** ni **add**, y sin embargo, debe esperar que se complete la instrucción **sdiv** responsable del atasco.

Contenido

1 Paralelismo a Nivel de Instrucción

- Pipeline
- Unidades de Predicción de saltos
- Superscalar
- Scheduling Dinámico

2 Ejecución Fuera de Orden

- Conceptos fundamentales
- Prehistoria
- Solución Actual
- Especulación por Hardware
- Casos prácticos que mezclan todo lo visto

3 Procesadores Multithread

4 Multicore y Manycore

- Estado del Arte

Ejecución Fuera de Orden: Idea Fuerza

Ejecución Fuera de Orden: Idea Fuerza

- Ejecutar instrucciones Fuera de Orden consiste, tal como es de esperar, en tratar de enviar las instrucciones a ejecución independientemente del orden en el que están en el código.

Ejecución Fuera de Orden: Idea Fuerza

- Ejecutar instrucciones Fuera de Orden consiste, tal como es de esperar, en tratar de enviar las instrucciones a ejecución independientemente del orden en el que están en el código.
- Esta decisión se puede tomar una vez decodificada la instrucción, ya que recién en ese momento puede determinarse si hay un atasco de datos o estructural que ocasione que esta instrucción impida el envío de sus dependientes próximas.

Ejecución Fuera de Orden: Idea Fuerza

- Ejecutar instrucciones Fuera de Orden consiste, tal como es de esperar, en tratar de enviar las instrucciones a ejecución independientemente del orden en el que están en el código.
- Esta decisión se puede tomar una vez decodificada la instrucción, ya que recién en ese momento puede determinarse si hay un atasco de datos o estructural que ocasione que esta instrucción impida el envío de sus dependientes próximas.
- Cada vez que intentemos enviar a ejecución una instrucción antes que sus predecesoras, pueden aparecer nuevos riesgos que en procesadores que ejecutan en orden no existían.

Ejecución Fuera de Orden: Idea Fuerza

- Ejecutar instrucciones Fuera de Orden consiste, tal como es de esperar, en tratar de enviar las instrucciones a ejecución independientemente del orden en el que están en el código.
- Esta decisión se puede tomar una vez decodificada la instrucción, ya que recién en ese momento puede determinarse si hay un atasco de datos o estructural que ocasione que esta instrucción impida el envío de sus dependientes próximas.
- Cada vez que intentemos enviar a ejecución una instrucción antes que sus predecesoras, pueden aparecer nuevos riesgos que en procesadores que ejecutan en orden no existían.
- Es imprescindible evaluar estas nuevas situaciones, ya que de otro modo se incurrirá en mal funcionamiento.

Ejecución Fuera de Orden: Idea Fuerza

- Ejecutar instrucciones Fuera de Orden consiste, tal como es de esperar, en tratar de enviar las instrucciones a ejecución independientemente del orden en el que están en el código.
- Esta decisión se puede tomar una vez decodificada la instrucción, ya que recién en ese momento puede determinarse si hay un atasco de datos o estructural que ocasione que esta instrucción impida el envío de sus dependientes próximas.
- Cada vez que intentemos enviar a ejecución una instrucción antes que sus predecesoras, pueden aparecer nuevos riesgos que en procesadores que ejecutan en orden no existían.
- Es imprescindible evaluar estas nuevas situaciones, ya que de otro modo se incurrirá en mal funcionamiento.
- Para comenzar, el análisis consideraremos un caso testigo para un procesador superescalar de dos vías

Ejecución Fuera de Orden.

Consideremos este bloque de código.

```
1  sdiv    R0, R2, R4
2  add     R6, R0, R8
3  sub     R8, R10, R14
4  mul     R6, R10, R8
```

Ejecución Fuera de Orden.

Consideremos este bloque de código.

```
1  sdiv    R0, R2, R4
2  add     R6, R0, R8
3  sub     R8, R10, R14
4  mul     R6, R10, R8
```

- Asumimos que la instrucción **sdiv** demora 5 ciclos de clock en ejecutarse (mas que razonable para una división entera), atascando el envío de la instrucción **add**, uno de cuyos operandos (R0) es el destino en el que **sdiv** escribirá el cociente.

Ejecución Fuera de Orden.

Consideremos este bloque de código.

```
1  sdiv    R0, R2, R4
2  add     R6, R0, R8
3  sub     R8, R10, R14
4  mul     R6, R10, R8
```

- Asumimos que la instrucción **sdiv** demora 5 ciclos de clock en ejecutarse (mas que razonable para una división entera), atascando el envío de la instrucción **add**, uno de cuyos operandos (R0) es el destino en el que **sdiv** escribirá el cociente.

- En un procesador con Ejecución en Orden no es posible enviar las instrucciones **sub** y **mul**, de modo que todos los pipelines quedan atascados.

Ejecución Fuera de Orden.

Consideremos este bloque de código.

```
1  sdiv    R0, R2, R4
2  add     R6, R0, R8
3  sub     R8, R10, R14
4  mul     R6, R10, R8
```

- Asumimos que la instrucción **sdiv** demora 5 ciclos de clock en ejecutarse (mas que razonable para una división entera), atascando el envío de la instrucción **add**, uno de cuyos operandos (R0) es el destino en el que **sdiv** escribirá el cociente.

- En un procesador con Ejecución en Orden no es posible enviar las instrucciones **sub** y **mul**, de modo que todos los pipelines quedan atascados.
- En un procesador con Ejecución Fuera de Orden, **sub** y **mul** pueden enviarse a ejecución.

Ejecución Fuera de Orden.

Consideremos este bloque de código.

```
1  sdiv    R0, R2,  R4
2  add     R6, R0,  R8
3  sub     R8, R10, R14
4  mul     R6, R10, R8
```

- Asumimos que la instrucción **sdiv** demora 5 ciclos de clock en ejecutarse (mas que razonable para una división entera), atascando el envío de la instrucción **add**, uno de cuyos operandos (R0) es el destino en el que **sdiv** escribirá el cociente.

- En un procesador con Ejecución en Orden no es posible enviar las instrucciones **sub** y **mul**, de modo que todos los pipelines quedan atascados.
- En un procesador con Ejecución Fuera de Orden, **sub** y **mul** pueden enviarse a ejecución.
- Sin embargo hay que considerar algunos aspectos que surgen como consecuencia de este tratamiento hasta ahora inusual.

Ejecución Fuera de Orden: Riesgos

Consideremos este bloque de código.

```
1  sdiv    R0, R2,  R4
2  add     R6, R0,  R8
3  sub     R8, R10, R14
4  mul     R6, R10, R8
```

Ejecución Fuera de Orden: Riesgos

Consideremos este bloque de código.

```
1  sdiv    R0, R2,  R4
2  add     R6, R0,  R8
3  sub     R8, R10, R14
4  mul     R6, R10, R8
```

- Enviar a ejecución las instrucciones 3 (**sub**) y 4 (**mul**), antes de la instrucción 2 (**add**), y con la instrucción 1 (**sdiv**) aun demorada en su unidad de ejecución, conlleva algunos riesgos potenciales.

Ejecución Fuera de Orden: Riesgos

Consideremos este bloque de código.

```
1  sdiv    R0, R2,  R4
2  add     R6, R0,  R8
3  sub     R8, R10, R14
4  mul     R6, R10, R8
```

- Enviar a ejecución las instrucciones 3 (**sub**) y 4 (**mul**), antes de la instrucción 2 (**add**), y con la instrucción 1 (**sdiv**) aun demorada en su unidad de ejecución, conlleva algunos riesgos potenciales.

- La Instrucción 3 escribe su resultado en R8, siendo éste registro uno de los operandos fuente de una Instrucción previa, en este caso la Instrucción 2. Si la Instrucción 3 escribe R8 antes que lo utilice la Instrucción 2, ésta al ejecutar luego, usará un valor de R8 posterior al estado de programa.

Ejecución Fuera de Orden: Riesgos

Consideremos este bloque de código.

```
1  sdiv    R0, R2,  R4
2  add     R6, R0,  R8
3  sub     R8, R10, R14
4  mul     R6, R10, R8
```

- Enviar a ejecución las instrucciones 3 (**sub**) y 4 (**mul**), antes de la instrucción 2 (**add**), y con la instrucción 1 (**sdiv**) aun demorada en su unidad de ejecución, conlleva algunos riesgos potenciales.

- La Instrucción 3 escribe su resultado en R8, siendo éste registro uno de los operandos fuente de una Instrucción previa, en este caso la Instrucción 2. Si la Instrucción 3 escribe R8 antes que lo utilice la Instrucción 2, ésta al ejecutar luego, usará un valor de R8 posterior al estado de programa.
- La Instrucción 4 escribe su resultado en R6, operando destino de la Instrucción 2. Si ésta última escribe en R6 luego de la Instrucción 4, para las instrucciones posteriores será como si la instrucción 4 nunca se hubiese ejecutado.

Riesgos WAR

Consideremos este bloque de código.

```
1  sdiv    R0, R2, R4
2  add     R6, R0, R8
3  sub     R8, R10, R14
4  mul     R6, R10, R8
```

Write, After Read

WAR, por **Write After Read**, representa el riesgo consecuencia de "disparar"(**fire = dispatch**) la ejecución de la instrucción 3. Si se la despacha, ésta escribe (**Write**) el registro R8, y después (**After**) la instrucción 2 (instrucción previa) leerá (**Read**) R8, obteniendo un dato incorrecto y alterando el resultado de la secuencia de código generada originalmente por el programador.

Riesgos WAW

Consideremos este bloque de código.

```
1 sdiv    R0, R2, R4
2 add     R6, R0, R8
3 sub     R8, R10, R14
4 mul     R6, R10, R8
```

Write, After Write

WAW, por **Write After Write**, representa el riesgo consecuencia de disparar la ejecución de la instrucción 4. De despacharla, ésta escribirá (**Write**) el registro R6, y después (**After**) de ello la instrucción 2 lo escribirá (**Write**), eliminando el resultado de la instrucción 4 y nuevamente alterando el resultado de lo que el programador determinó.

Riesgos RAW

Consideremos este bloque de código.

```
1  sdiv    R0, R2,  R4
2  add     R6, R0,  R8
3  sub     R8, R10, R14
4  mul     R6, R10, R8
```

Read, After Write

Riesgos RAW

Consideremos este bloque de código.

```
1  sdiv    R0, R2, R4
2  add     R6, R0, R8
3  sub     R8, R10, R14
4  mul     R6, R10, R8
```

Read, After Write

- **RAW**, Read, After Write, es la típica situación donde una instrucción usa como operando un registro en que otra instrucción previa escribe su resultado. Esta instrucción típicamente genera un **pipeline stall**.

Riesgos RAW

Consideremos este bloque de código.

```
1  sdiv    R0, R2, R4
2  add     R6, R0, R8
3  sub     R8, R10, R14
4  mul     R6, R10, R8
```

Read, After Write

- **RAW**, Read, After Write, es la típica situación donde una instrucción usa como operando un registro en que otra instrucción previa escribe su resultado. Esta instrucción típicamente genera un **pipeline stall**.
- Existe desde que se implementa un pipeline. Forwarding es una de las técnicas de solución que hemos estudiado. Se agudiza en los procesadores superescalares.

Ejecución Fuera de Orden vs. En Orden

Vamos a comparar la ejecución del mismo conjunto de instrucciones analizado en el ejemplo de los slides precedentes, para dos procesadores superescalares de dos vías, pero con la diferencia que uno de ellos ejecuta en Orden y el otro Fuera de Orden.

Para ello asumimos los siguientes supuestos:

- Ambas vías de ejecución se componen de un pipeline de 6 etapas.
- Las instrucciones **sdiv** y **mul** consumen 5 ciclos de clock para su ejecución.
- Las instrucciones **add** y **sub** consumen 1 ciclo de clock para su ejecución.

En el siguiente slide podemos ver la diferencia en ciclos de clock para ejecutar la misma secuencia de instrucciones en uno y otro.

Ejecución Fuera de Orden vs. En Orden



In Order Dispatch

sdiv R0,R2,R4

add R6,R0,R8

sub R8,R10,R14

mul R6,R10,R8

	F	D	O	E	E	E	E	R	W	
sdiv	F	D	O		STALL			E	R	W
add		F	D	O		STALL		E	R	W
sub			F	D		STALL		E	R	W
mul				F	D	STALL		O	E	E
							O	E	E	E
							E	E	E	R
							E	R	W	

Out Of Order (OOO) Dispatch

sdiv R0,R2,R4

add R6,R0,R8

sub R8,R10,R14

mul R6,R10,R8

	F	D	O	E	E	E	E	R	W	
sdiv	F	D	O		WAIT			E	R	W
add		F	D	O	E	R		WAIT		W
sub			F	D	O	E	R			
mul				F	D	O	E	E	E	R
							E	E	E	W

5 Clocks

Manejo de las Excepciones

Consideremos este bloque de código ejecutando en un Core ARMv7 CORTEX-A:

```
1  ldr      R1,    [R11]    // Cache miss. Delay 15 ciclos de clock
2  sdiv    R0,    R2, R1    // Depende de R1 y agrega 5 ciclos
3  and     R9,    #0xAA55
4  vmov.i8 D0[3], R9      // CP11 y CP10 off. Undefined Exception
5  add     R6,    R0, R8
6  orr     R6,    #0xA0
```

Manejo de las Excepciones

Consideremos este bloque de código ejecutando en un Core ARMv7 CORTEX-A:

```
1  ldr      R1,    [R11]    // Cache miss. Delay 15 ciclos de clock
2  sdiv    R0,    R2, R1    // Depende de R1 y agrega 5 ciclos
3  and     R9,    #0xAA55
4  vmov.i8 D0[3], R9      // CP11 y CP10 off. Undefined Exception
5  add     R6,    R0, R8
6  orr     R6,    #0xA0
```

- Si el procesador es un superescalar podemos considerar que al momento de ejecutar la instrucción 4, ya se han ejecutado las instrucciones 3, 5 y 6.

Manejo de las Excepciones

Consideremos este bloque de código ejecutando en un Core ARMv7 CORTEX-A:

```
1  ldr      R1,    [R11]    // Cache miss. Delay 15 ciclos de clock
2  sdiv    R0,    R2, R1    // Depende de R1 y agrega 5 ciclos
3  and     R9,    #0xAA55
4  vmov.i8 D0[3], R9      //CP11 y CP10 off. Undefined Exception
5  add     R6,    R0, R8
6  orr     R6,    #0xA0
```

- Si el procesador es un superescalar podemos considerar que al momento de ejecutar la instrucción 4, ya se han ejecutado las instrucciones 3, 5 y 6.
- De acuerdo a lo que establece el comentario la instrucción 4 encuentra desactivados los coprocesadores que activan las extensiones NEON. Esto genera una excepción Undefined.

Manejo de las Excepciones

Consideremos este bloque de código ejecutando en un Core ARMv7 CORTEX-A:

```
1  ldr      R1,    [R11]    // Cache miss. Delay 15 ciclos de clock
2  sdiv    R0,    R2, R1    // Depende de R1 y agrega 5 ciclos
3  and     R9,    #0xAA55
4  vmov.i8 D0[3], R9      //CP11 y CP10 off. Undefined Exception
5  add     R6,    R0, R8
6  orr     R6,    #0xA0
```

- Si el procesador es un superescalar podemos considerar que al momento de ejecutar la instrucción 4, ya se han ejecutado las instrucciones 3, 5 y 6.
- De acuerdo a lo que establece el comentario la instrucción 4 encuentra desactivados los coprocesadores que activan las extensiones NEON. Esto genera una excepción Undefined.
- Al vectorizarse la excepción flushea el pipeline.

Manejo de las Excepciones

Consideremos este bloque de código ejecutando en un Core ARMv7 CORTEX-A:

```
1  ldr      R1,    [R11]    // Cache miss. Delay 15 ciclos de clock
2  sdiv    R0,    R2, R1    // Depende de R1 y agrega 5 ciclos
3  and     R9,    #0xAA55
4  vmov.i8 D0[3], R9      // CP11 y CP10 off. Undefined Exception
5  add     R6,    R0, R8
6  orr     R6,    #0xA0
```

- Si el procesador es un superescalar podemos considerar que al momento de ejecutar la instrucción 4, ya se han ejecutado las instrucciones 3, 5 y 6.
- De acuerdo a lo que establece el comentario la instrucción 4 encuentra desactivados los coprocesadores que activan las extensiones NEON. Esto genera una excepción Undefined.
- Al vectorizarse la excepción flushea el pipeline.
- Las instrucciones 5 y 6 ya se ejecutaron, alterando los flags del registro de estados.

Manejo de las Excepciones

Consideremos este bloque de código ejecutando en un Core ARMv7 CORTEX-A:

```
1  ldr      R1,    [R11]    // Cache miss. Delay 15 ciclos de clock
2  sdiv     R0,    R2, R1   // Depende de R1 y agrega 5 ciclos
3  and      R9,    #0xAA55
4  vmov.i8 D0[3], R9      // CP11 y CP10 off. Undefined Exception
5  add      R6,    R0, R8
6  orr      R6,    #0xA0
```

- El estado de la máquina es incompatible con una correcta gestión de la excepción.

Manejo de las Excepciones

Consideremos este bloque de código ejecutando en un Core ARMv7 CORTEX-A:

```
1  ldr      R1,    [R11]    // Cache miss. Delay 15 ciclos de clock
2  sdiv    R0,    R2, R1    // Depende de R1 y agrega 5 ciclos
3  and     R9,    #0xAA55
4  vmov.i8 D0[3], R9      //CP11 y CP10 off. Undefined Exception
5  add     R6,    R0, R8
6  orr     R6,    #0xA0
```

- El estado de la máquina es incompatible con una correcta gestión de la excepción.
- Si a pesar de esta incongruencia se ejecutase el Handler, una vez finalizado se regresa a la instrucción que generó al excepción. En nuestro caso la instrucción 4.

Manejo de las Excepciones

Consideremos este bloque de código ejecutando en un Core ARMv7 CORTEX-A:

```
1  ldr      R1,    [R11]    // Cache miss. Delay 15 ciclos de clock
2  sdiv     R0,    R2, R1   // Depende de R1 y agrega 5 ciclos
3  and      R9,    #0xAA55
4  vmov.i8 D0[3], R9      //CP11 y CP10 off. Undefined Exception
5  add      R6,    R0, R8
6  orr      R6,    #0xA0
```

- El estado de la máquina es incompatible con una correcta gestión de la excepción.
- Si a pesar de esta incongruencia se ejecutase el Handler, una vez finalizado se regresa a la instrucción que generó al excepción. En nuestro caso la instrucción 4.
- Pero además, las instrucciones 1 y 2 al momento de la excepción no se habían ejecutado. Y al limpiarse el pipeline se limpió todo el procesamiento parcial de estas instrucciones.

Manejo de las Excepciones

Consideremos este bloque de código ejecutando en un Core ARMv7 CORTEX-A:

```
1  ldr      R1,    [R11]    // Cache miss. Delay 15 ciclos de clock
2  sdiv    R0,    R2, R1    // Depende de R1 y agrega 5 ciclos
3  and     R9,    #0xAA55
4  vmov.i8 D0[3], R9      // CP11 y CP10 off. Undefined Exception
5  add     R6,    R0, R8
6  orr     R6,    #0xA0
```

- El estado de la máquina es incompatible con una correcta gestión de la excepción.
- Si a pesar de esta incongruencia se ejecutase el Handler, una vez finalizado se regresa a la instrucción que generó al excepción. En nuestro caso la instrucción 4.
- Pero además, las instrucciones 1 y 2 al momento de la excepción no se habían ejecutado. Y al limpiarse el pipeline se limpió todo el procesamiento parcial de estas instrucciones.
- El programa continúa a partir de la instrucción 4, de modo que las instrucciones 1 y 2 se han omitido, y las instrucciones 5 y 6 se vuelven a fetchear y ejecutar.

Excepciones imprecisas

Excepciones imprecisas

- El escenario descripto en los slides anteriores se conoce como *Excepciones Imprecisas* y claramente, es devastador.

Excepciones imprecisas

- El escenario descripto en los slides anteriores se conoce como *Excepciones Imprecisas* y claramente, es devastador.
- Como consecuencia, de los riesgos descriptos y del correcto manejo de las excepciones, para implementar Ejecución Fuera de Orden y que el procesador siga funcionando correctamente, es necesario preservar el comportamiento esperado del programa. Esto es: los resultados deben aparecer en el mismo orden en el que están las instrucciones, a pesar que su ejecución haya seguido otro orden.

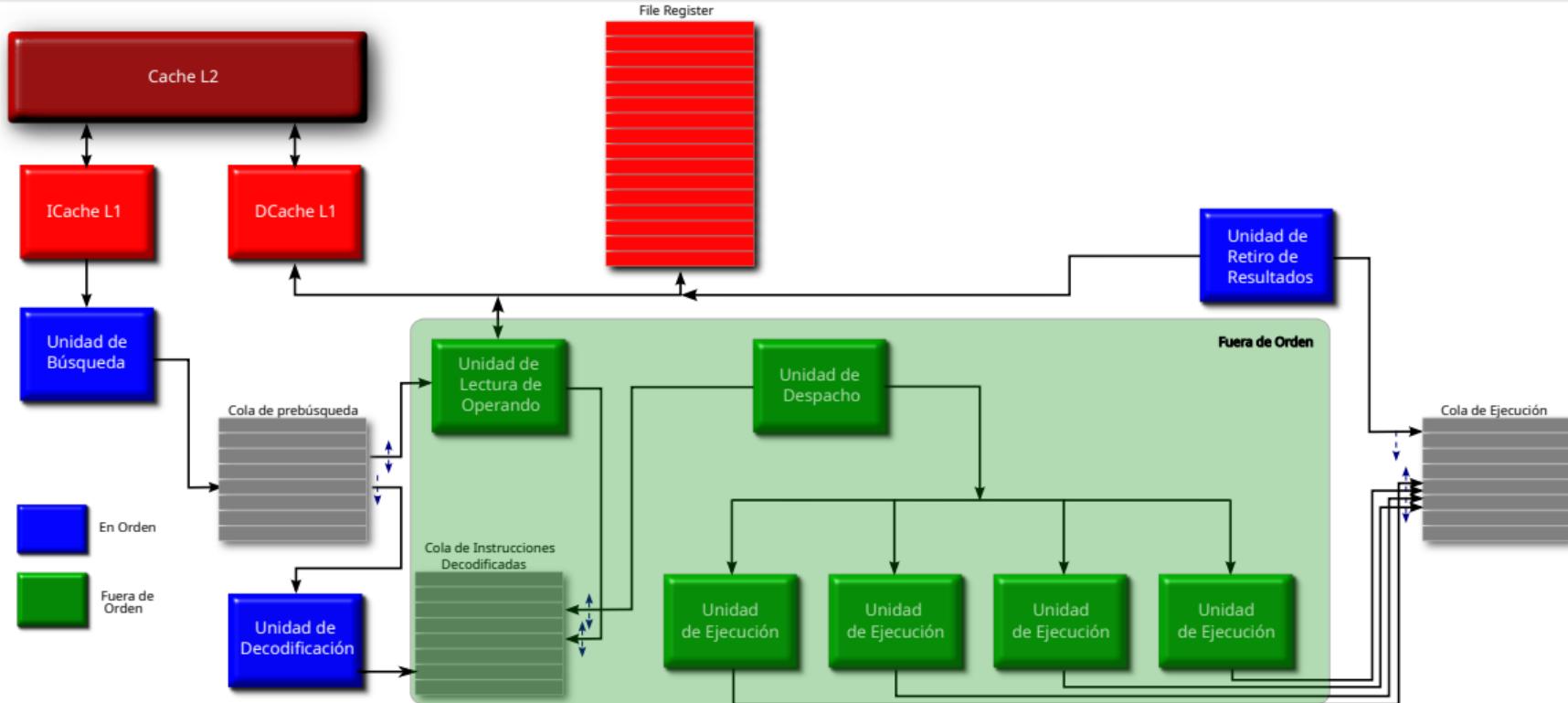
Excepciones imprecisas

- El escenario descripto en los slides anteriores se conoce como *Excepciones Imprecisas* y claramente, es devastador.
- Como consecuencia, de los riesgos descriptos y del correcto manejo de las excepciones, para implementar Ejecución Fuera de Orden y que el procesador siga funcionando correctamente, es necesario preservar el comportamiento esperado del programa. Esto es: los resultados deben aparecer en el mismo orden en el que están las instrucciones, a pesar que su ejecución haya seguido otro orden.
- El manejo de las excepciones e interrupciones tiene como premisa fundamental que su procesamiento no altere el comportamiento del programa ni sus resultados, las allá de las complejas mejoras Microarquitecturales como lo es Ejecución Fuera de Orden, que buscan incrementar la velocidad de procesamiento.

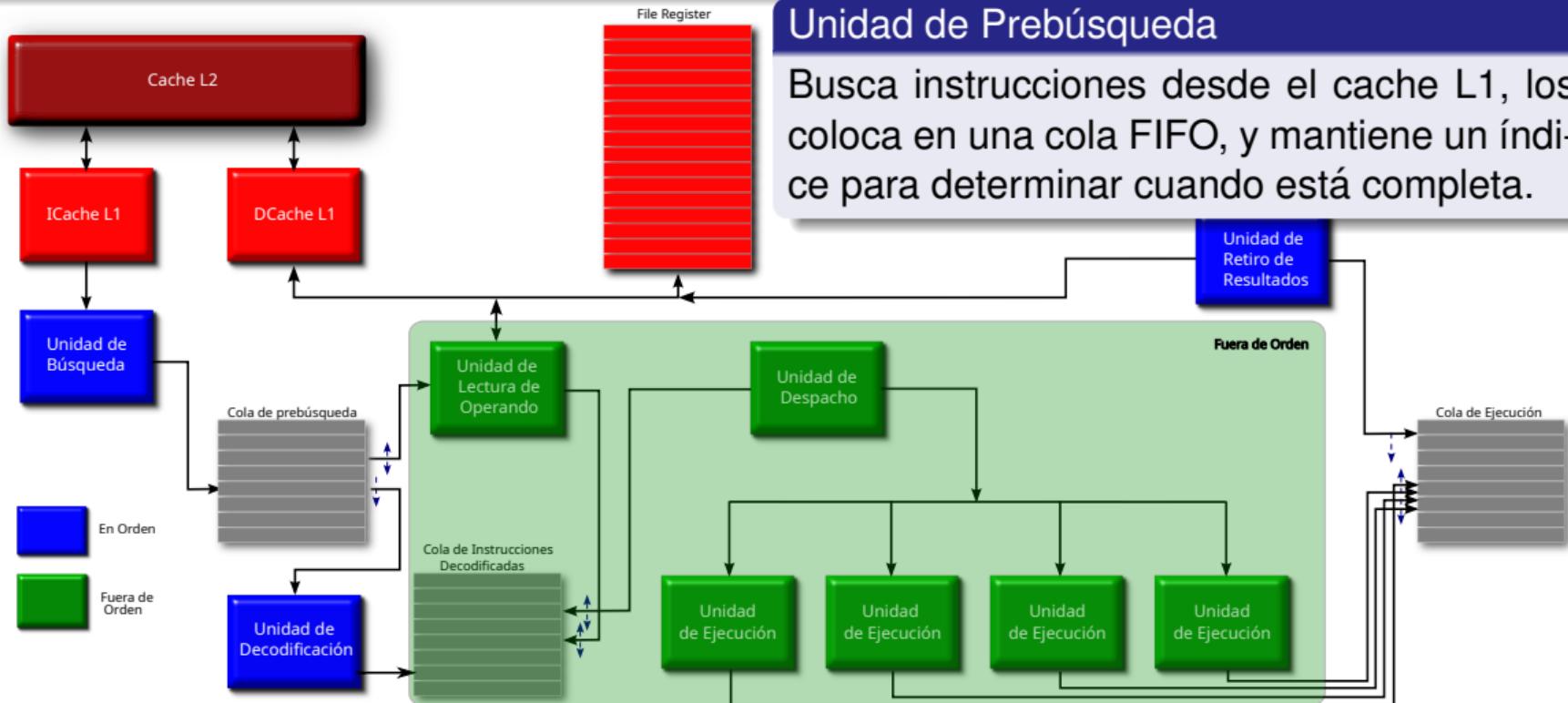
Excepciones imprecisas

- El escenario descripto en los slides anteriores se conoce como *Excepciones Imprecisas* y claramente, es devastador.
- Como consecuencia, de los riesgos descriptos y del correcto manejo de las excepciones, para implementar Ejecución Fuera de Orden y que el procesador siga funcionando correctamente, es necesario preservar el comportamiento esperado del programa. Esto es: los resultados deben aparecer en el mismo orden en el que están las instrucciones, a pesar que su ejecución haya seguido otro orden.
- El manejo de las excepciones e interrupciones tiene como premisa fundamental que su procesamiento no altere el comportamiento del programa ni sus resultados, las allá de las complejas mejoras Microarquitecturales como lo es Ejecución Fuera de Orden, que buscan incrementar la velocidad de procesamiento.
- El procesador debe asegurar que no se procese la excepción hasta no tener completado todo el programa incluida la instrucción que es responsable de la excepción.

Ejecución fuera de Orden



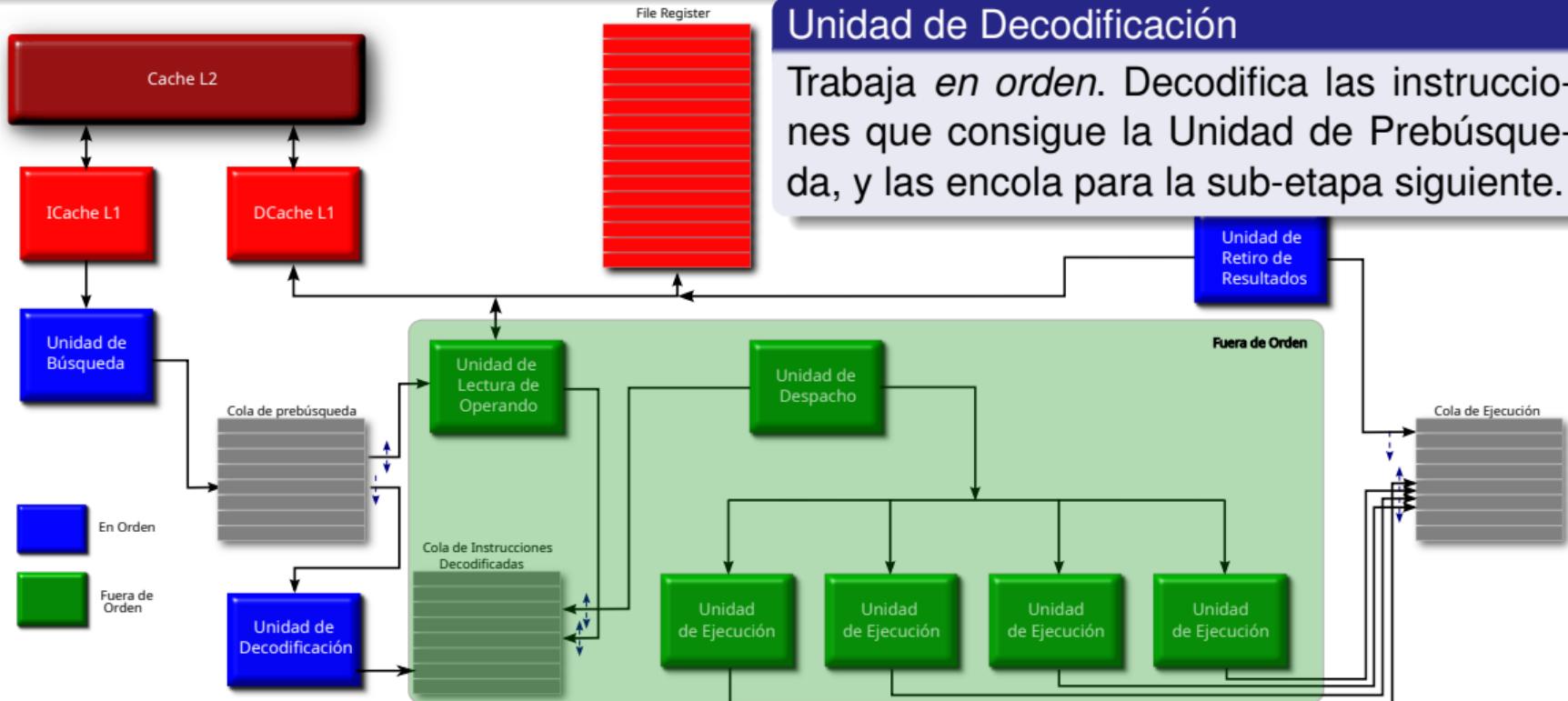
Ejecución fuera de Orden



Unidad de Prebúsqueda

Busca instrucciones desde el cache L1, los coloca en una cola FIFO, y mantiene un índice para determinar cuando está completa.

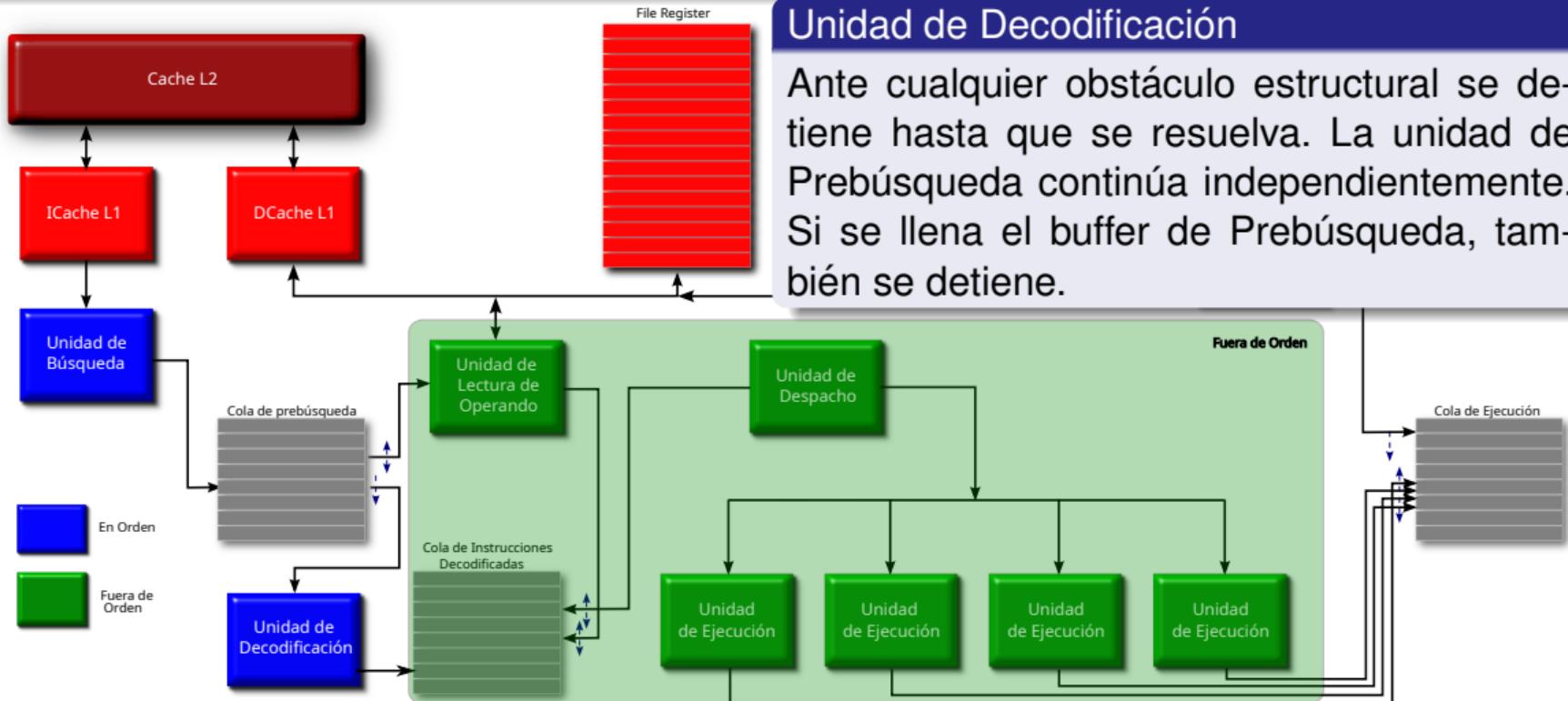
Ejecución fuera de Orden



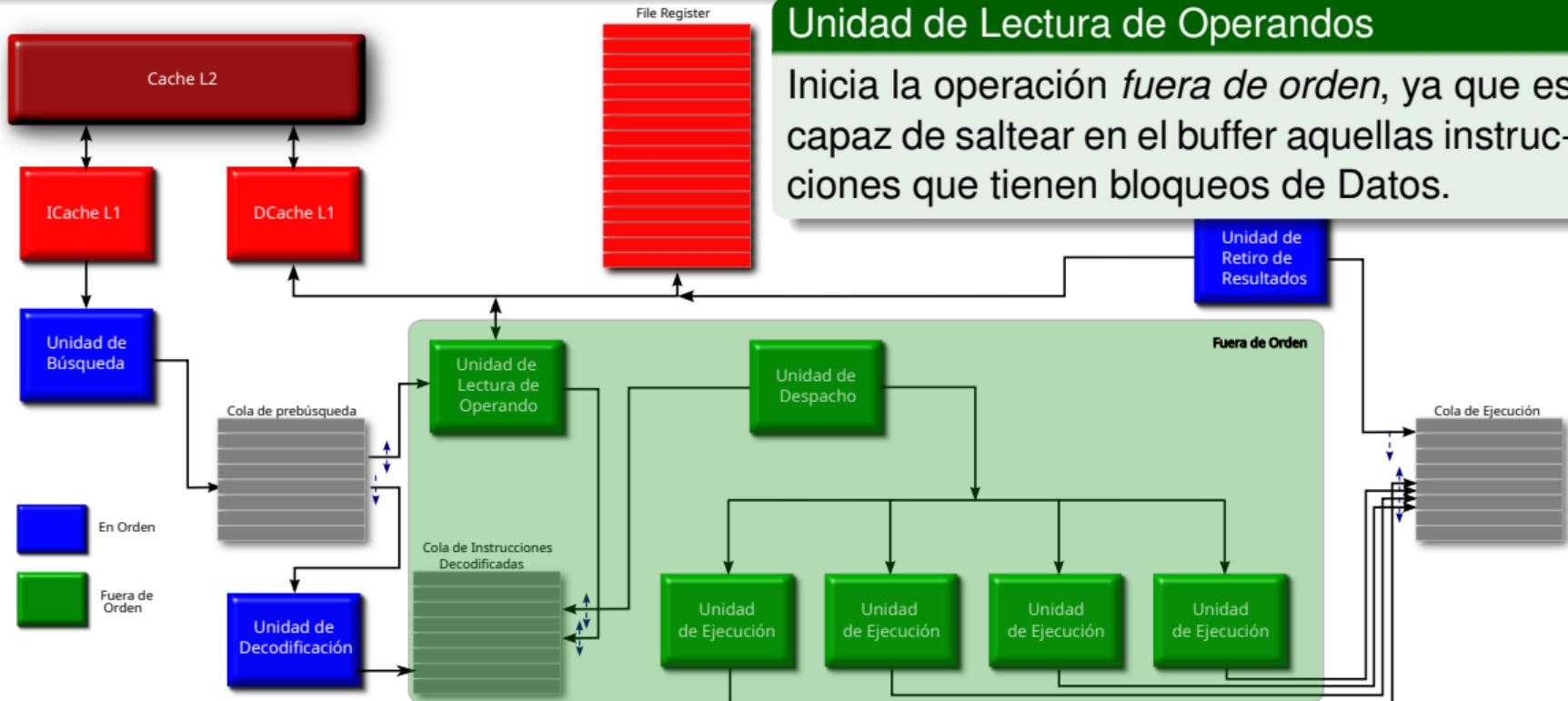
Unidad de Decodificación

Trabaja *en orden*. Decodifica las instrucciones que consigue la Unidad de Prebúsqueda, y las encola para la sub-etapa siguiente.

Ejecución fuera de Orden



Ejecución fuera de Orden



Unidad de Lectura de Operandos

Inicia la operación *fuera de orden*, ya que es capaz de saltar en el buffer aquellas instrucciones que tienen bloqueos de Datos.

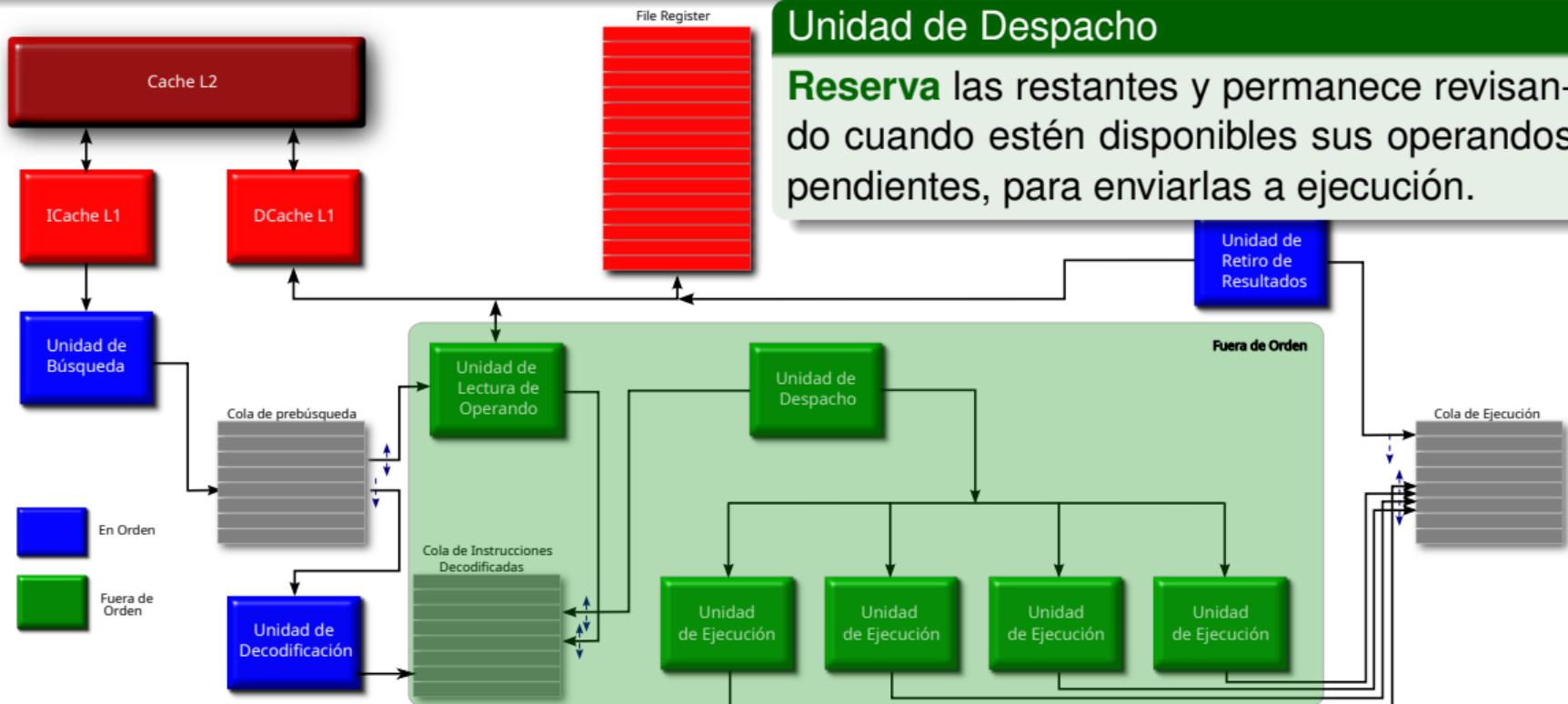
Ejecución fuera de Orden



Unidad de Despacho

Envía a ejecutar aquellas cuyos operandos están disponibles.

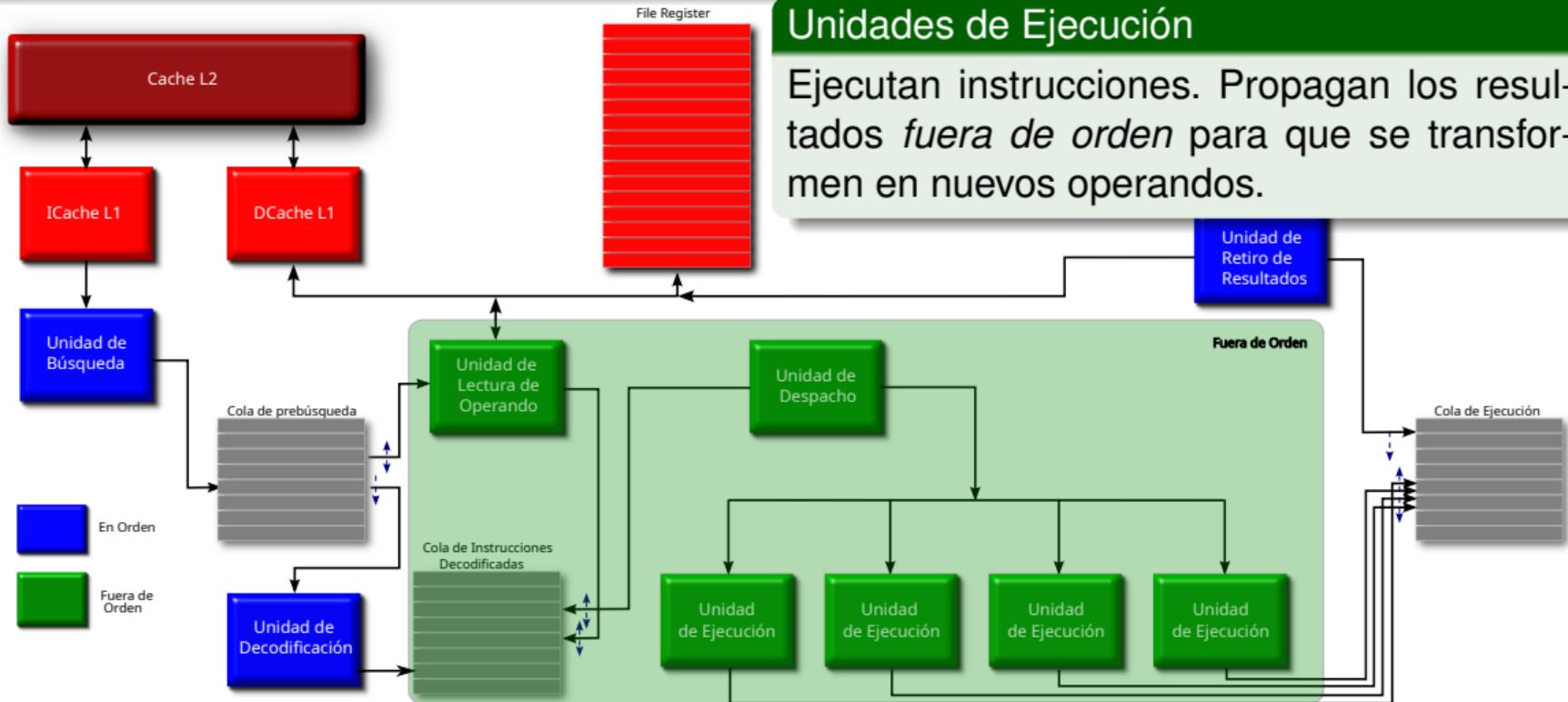
Ejecución fuera de Orden



Unidad de Despacho

Reserva las restantes y permanece revisando cuando estén disponibles sus operandos pendientes, para enviarlas a ejecución.

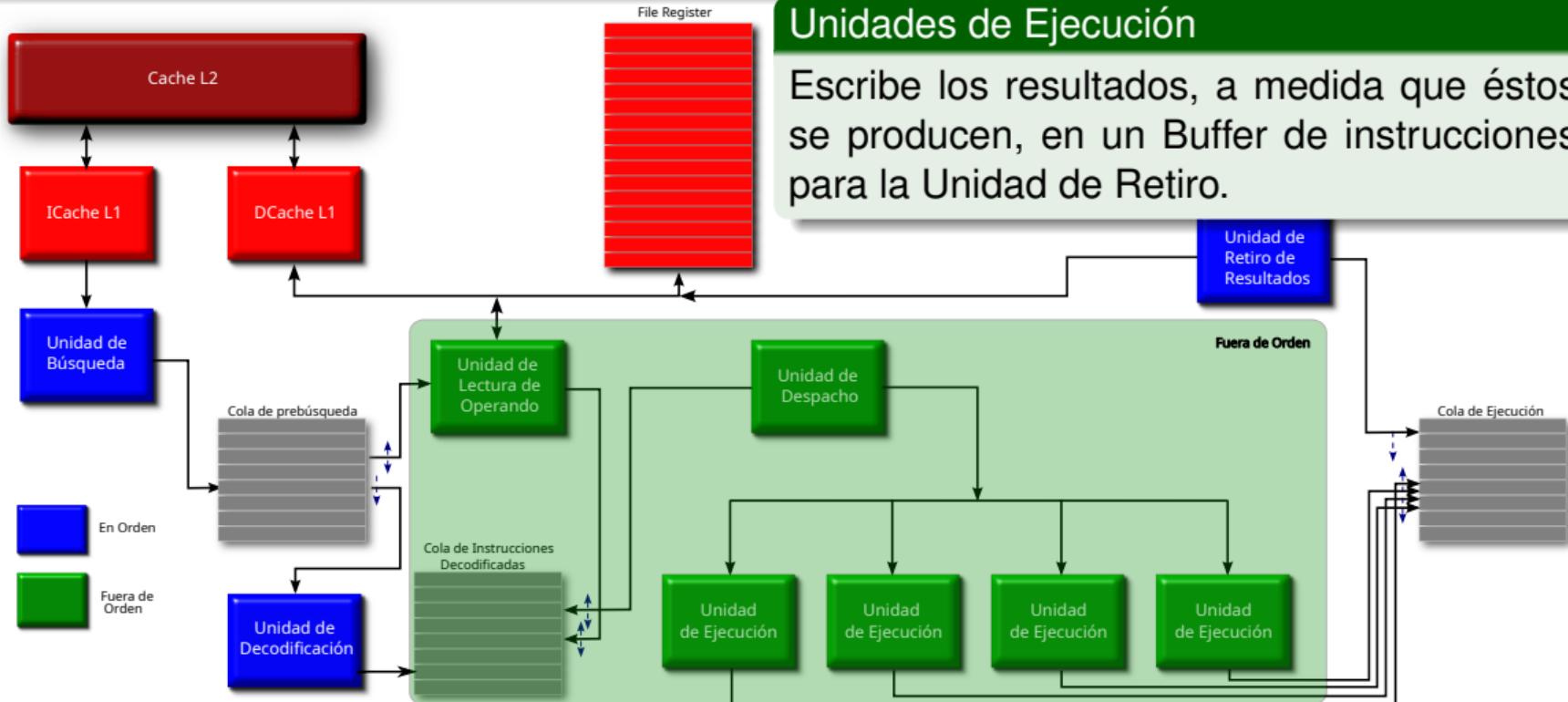
Ejecución fuera de Orden



Unidades de Ejecución

Ejecutan instrucciones. Propagan los resultados *fuera de orden* para que se transformen en nuevos operandos.

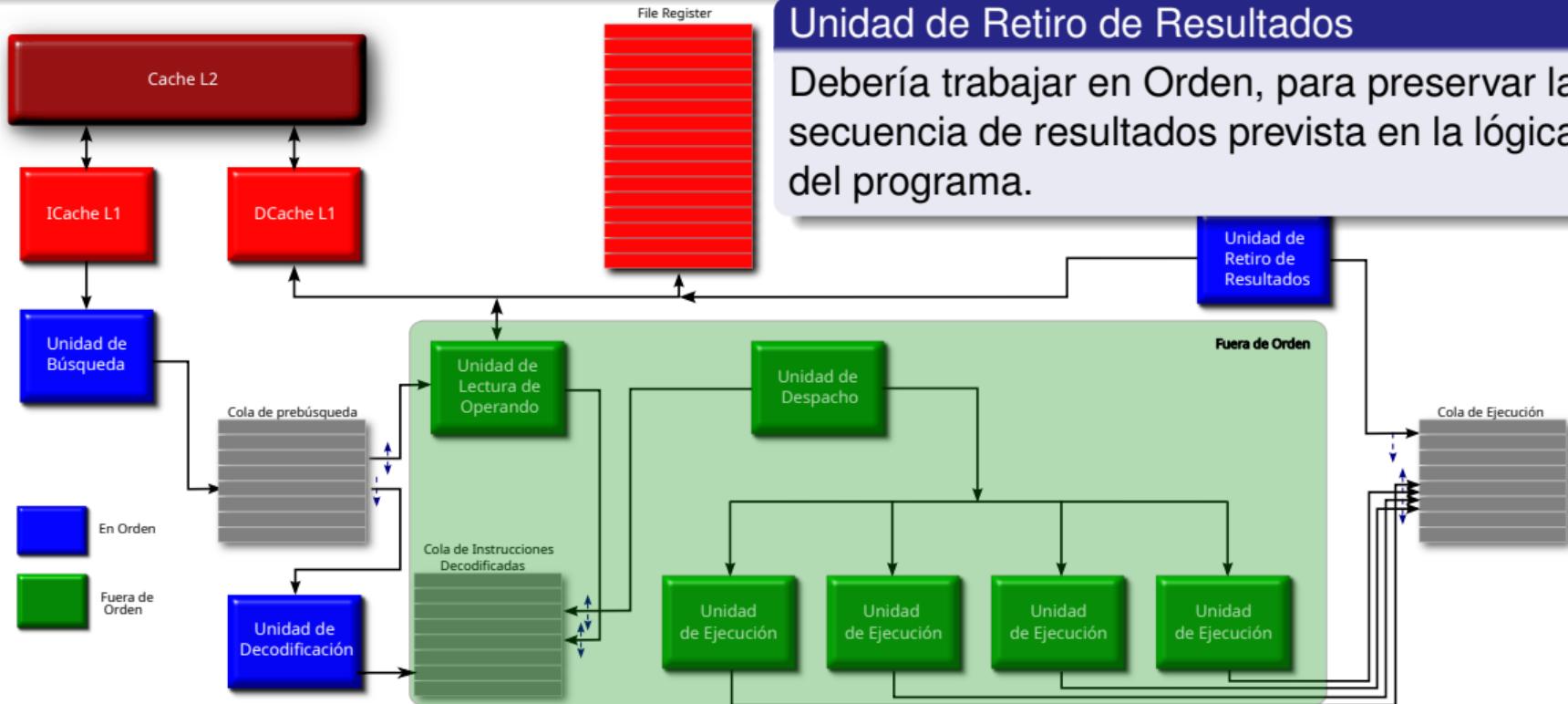
Ejecución fuera de Orden



Unidades de Ejecución

Escribe los resultados, a medida que éstos se producen, en un Buffer de instrucciones para la Unidad de Retiro.

Ejecución fuera de Orden



Unidad de Retiro de Resultados

Debería trabajar en Orden, para preservar la secuencia de resultados prevista en la lógica del programa.

Contenido

1 Paralelismo a Nivel de Instrucción

- Pipeline
- Unidades de Predicción de saltos
- Superscalar
- Scheduling Dinámico

2 Ejecución Fuera de Orden

- Conceptos fundamentales
- Prehistoria
- Solución Actual
- Especulación por Hardware
- Casos prácticos que mezclan todo lo visto

3 Procesadores Multithread

4 Multicore y Manycore

- Estado del Arte

Scoreboarding

Scoreboarding

- Es el método mas sencillo (y menos sofisticado) para implementar Ejecución Fuera de Orden evitando los riesgos asociados (**WAR** y **WAW**)

Scoreboarding

- Es el método más sencillo (y menos sofisticado) para implementar Ejecución Fuera de Orden evitando los riesgos asociados (**WAR** y **WAW**)
- Su primer implementación fue en la CDC 6600, instalada entre otros laboratorios en la Universidad de Berkeley en 1964.

Scoreboarding

- Es el método más sencillo (y menos sofisticado) para implementar Ejecución Fuera de Orden evitando los riesgos asociados (**WAR** y **WAW**)
- Su primer implementación fue en la CDC 6600, instalada entre otros laboratorios en la Universidad de Berkeley en 1964.
- Control Data Corporation, construyó este computador basado en transistores de germanio, con algunas innovaciones interesantes en su diseño:

Scoreboarding

- Es el método más sencillo (y menos sofisticado) para implementar Ejecución Fuera de Orden evitando los riesgos asociados (**WAR** y **WAW**)
- Su primer implementación fue en la CDC 6600, instalada entre otros laboratorios en la Universidad de Berkeley en 1964.
- Control Data Corporation, construyó este computador basado en transistores de germanio, con algunas innovaciones interesantes en su diseño:
 - Un juego de instrucciones muy sencillo en contraposición a los sets complejos de instrucciones que poseían hasta ese momento las restantes CPUs, estableciendo los cimientos de los actuales procesadores RISC.

Scoreboarding

- Es el método más sencillo (y menos sofisticado) para implementar Ejecución Fuera de Orden evitando los riesgos asociados (**WAR** y **WAW**)
- Su primer implementación fue en la CDC 6600, instalada entre otros laboratorios en la Universidad de Berkeley en 1964.
- Control Data Corporation, construyó este computador basado en transistores de germanio, con algunas innovaciones interesantes en su diseño:
 - Un juego de instrucciones muy sencillo en contraposición a los sets complejos de instrucciones que poseían hasta ese momento las restantes CPUs, estableciendo los cimientos de los actuales procesadores RISC.
 - Capacidad de ejecutar fuera de orden.

Scoreboarding

- Es el método más sencillo (y menos sofisticado) para implementar Ejecución Fuera de Orden evitando los riesgos asociados (**WAR** y **WAW**)
- Su primer implementación fue en la CDC 6600, instalada entre otros laboratorios en la Universidad de Berkeley en 1964.
- Control Data Corporation, construyó este computador basado en transistores de germanio, con algunas innovaciones interesantes en su diseño:
 - Un juego de instrucciones muy sencillo en contraposición a los sets complejos de instrucciones que poseían hasta ese momento las restantes CPUs, estableciendo los cimientos de los actuales procesadores RISC.
 - Capacidad de ejecutar fuera de orden.
 - Amplia paralelización en la Unidad de Ejecución: 4 unidades de Punto Flotante, 5 Unidades de Referencias a Memoria, y 7 ALUs para enteros.

La CDC 6600... aunque Ud. no lo crea.(©Wikipedia)



Limitaciones del Scoreboard

Limitaciones del Scoreboard

- Aparecen nuevos Obstáculos estructurales debido a que la cantidad de buses es limitada para parallelizar las transferencias entre el scoreboard y los registros.

Limitaciones del Scoreboard

- Aparecen nuevos Obstáculos estructurales debido a que la cantidad de buses es limitada para parallelizar las transferencias entre el scoreboard y los registros.
- Los operandos se leen directamente en los registros, y por lo tanto no se aprovecha la técnica de Forwarding (adelantar el operando desde el registro de salida de la unidad funcional que ejecutó la instrucción).

Contenido

1 Paralelismo a Nivel de Instrucción

- Pipeline
- Unidades de Predicción de saltos
- Superscalar
- Scheduling Dinámico

2 Ejecución Fuera de Orden

- Conceptos fundamentales
- Prehistoria
- **Solución Actual**
- Especulación por Hardware
- Casos prácticos que mezclan todo lo visto

3 Procesadores Multithread

4 Multicore y Manycore

- Estado del Arte

Algoritmo de Tomasulo

Algoritmo de Tomasulo

- Proviene de un trabajo de implementación de scheduling dinámico en la unidad de Punto Flotante de la IBM 360/91.

Algoritmo de Tomasulo

- Proviene de un trabajo de implementación de scheduling dinámico en la unidad de Punto Flotante de la IBM 360/91.
- Su interés fue minimizar los riesgos **RAW**, e implementar Register Renaming en los **WAR** y **WAW**.

Algoritmo de Tomasulo

- Proviene de un trabajo de implementación de scheduling dinámico en la unidad de Punto Flotante de la IBM 360/91.
- Su interés fue minimizar los riesgos **RAW**, e implementar Register Renaming en los **WAR** y **WAW**.
- Lectura: Tomasulo, “Efficient Algorithm for Exploiting Multiple Arithmetic Units”, IBM Journal of R&D, Jan. 1967.

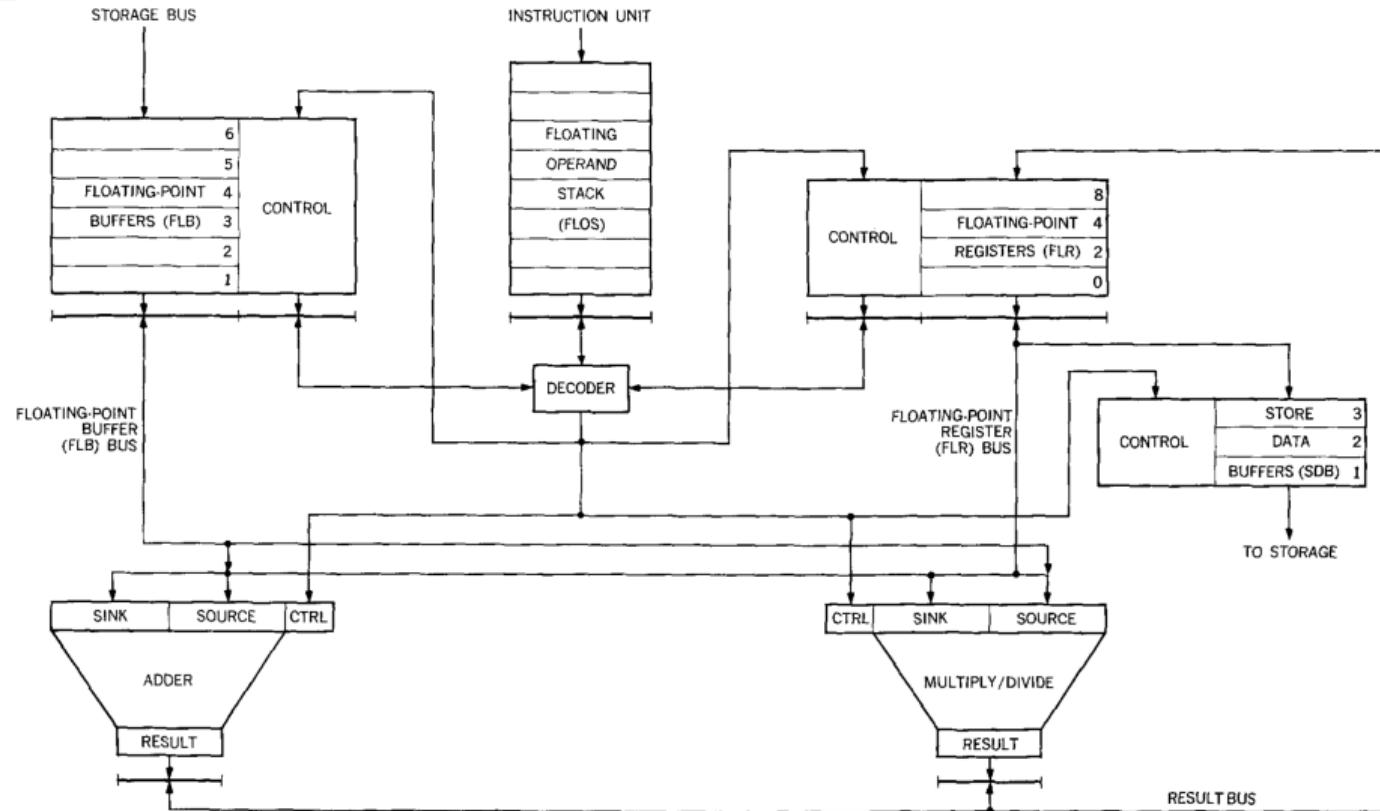
Algoritmo de Tomasulo

- Proviene de un trabajo de implementación de scheduling dinámico en la unidad de Punto Flotante de la IBM 360/91.
- Su interés fue minimizar los riesgos **RAW**, e implementar Register Renaming en los **WAR** y **WAW**.
- Lectura: Tomasulo, “Efficient Algorithm for Exploiting Multiple Arithmetic Units”, IBM Journal of R&D, Jan. 1967.
- El objetivo del trabajo fue mostrar que Register Renaming es un método eficaz para eliminar los riesgos **WAR** y **WAW** surgidos de intentar ejecutar instrucciones Fuera de Orden.

Algoritmo de Tomasulo

- Proviene de un trabajo de implementación de scheduling dinámico en la unidad de Punto Flotante de la IBM 360/91.
- Su interés fue minimizar los riesgos **RAW**, e implementar Register Renaming en los **WAR** y **WAW**.
- Lectura: Tomasulo, “Efficient Algorithm for Exploiting Multiple Arithmetic Units”, IBM Journal of R&D, Jan. 1967.
- El objetivo del trabajo fue mostrar que Register Renaming es un método eficaz para eliminar los riesgos **WAR** y **WAW** surgidos de intentar ejecutar instrucciones Fuera de Orden.
- No se enfocó en el retiro de resultados, los cuales se aplicaron directo en los registros de arquitectura

La FPU de IBM/360 sin la mejora de Tomasulo



Algoritmo de Tomasulo

Algoritmo de Tomasulo

- La pregunta que responde Tomasulo con su investigación en los años 60, es central:
¿Que necesita un procesador para implementar OOO Execution?

Algoritmo de Tomasulo

- La pregunta que responde Tomasulo con su investigación en los años 60, es central:
¿Que necesita un procesador para implementar OOO Execution?
- Sus conclusiones y posterior demostración son muy claras, y marcan el camino que se ha seguido para implementar esta organización.

Algoritmo de Tomasulo

- La pregunta que responde Tomasulo con su investigación en los años 60, es central:
¿Que necesita un procesador para implementar OOO Execution?
- Sus conclusiones y posterior demostración son muy claras, y marcan el camino que se ha seguido para implementar esta organización.
 - ➊ Mantener un “link” entre el productor de un dato con su(s) consumidor(es).

Algoritmo de Tomasulo

- La pregunta que responde Tomasulo con su investigación en los años 60, es central:
¿Que necesita un procesador para implementar OOO Execution?
- Sus conclusiones y posterior demostración son muy claras, y marcan el camino que se ha seguido para implementar esta organización.
 - ➊ Mantener un “link” entre el productor de un dato con su(s) consumidor(es).
 - ➋ Mantener las instrucciones en espera hasta que estén listas para ejecución

Algoritmo de Tomasulo

- La pregunta que responde Tomasulo con su investigación en los años 60, es central:
¿Que necesita un procesador para implementar OOO Execution?
- Sus conclusiones y posterior demostración son muy claras, y marcan el camino que se ha seguido para implementar esta organización.
 - ➊ Mantener un “link” entre el productor de un dato con su(s) consumidor(es).
 - ➋ Mantener las instrucciones en espera hasta que estén listas para ejecución
 - ➌ Las instrucciones deben saber cuando sus operandos están “Ready”.

Algoritmo de Tomasulo

- La pregunta que responde Tomasulo con su investigación en los años 60, es central:
¿Que necesita un procesador para implementar OOO Execution?
- Sus conclusiones y posterior demostración son muy claras, y marcan el camino que se ha seguido para implementar esta organización.
 - ➊ Mantener un “link” entre el productor de un dato con su(s) consumidor(es).
 - ➋ Mantener las instrucciones en espera hasta que estén listas para ejecución
 - ➌ Las instrucciones deben saber cuando sus operandos están “Ready”.
 - ➍ Despachar (“disparar”) la instrucción a su Unidad Funcional ni bien todos sus operandos estén “Ready”.

Register Renaming

Register Renaming

- La solución propuesta se denomina **Register renaming**, que propone asociar una etiqueta (“tag”) con cada operando.

Register Renaming

- La solución propuesta se denomina **Register renaming**, que propone asociar una etiqueta (“tag”) con cada operando.
- Para comprender su utilidad supongamos el siguiente código:

```
1 sdiv      R0, R2,  R4
2 add       R6, R0,  R8
3 str       R6, [R1]
4 sub       R8, R10, R14
5 mul       R6, R10, R8
```

Register Renaming

- La solución propuesta se denomina **Register renaming**, que propone asociar una etiqueta (“tag”) con cada operando.
- Para comprender su utilidad supongamos el siguiente código:

```
1  sdiv      R0, R2,  R4
2  add       R6, R0,  R8
3  str       R6, [R1]
4  sub       R8, R10, R14
5  mul       R6, R10, R8
```

- Se observan dos antidependencias:

Register Renaming

- La solución propuesta se denomina **Register renaming**, que propone asociar una etiqueta (“tag”) con cada operando.
- Para comprender su utilidad supongamos el siguiente código:

```
1  sdiv      R0, R2,  R4
2  add       R6, R0,  R8
3  str       R6, [R1]
4  sub       R8, R10, R14
5  mul       R6, R10, R8
```

- Se observan dos antidependencias:

- ① add versus sub por el uso de R8. **WAR**.

Register Renaming

- La solución propuesta se denomina **Register renaming**, que propone asociar una etiqueta (“tag”) con cada operando.
- Para comprender su utilidad supongamos el siguiente código:

```
1  sdiv      R0, R2,  R4
2  add       R6, R0,  R8
3  str       R6, [R1]
4  sub       R8, R10, R14
5  mul       R6, R10, R8
```

- Se observan dos antidependencias:

- ① add **versus** sub por el uso de R8. **WAR**.
- ② str **versus** mul por el uso de R6. **WAW**. Normalmente ejecutar add insume un ciclo de clock, pero str, como mínimo, dos o tres. Por lo tanto puede asumirse con seguridad que add terminará mucho antes, aun si ambas ingresan a sendos pipelines simultáneamente en un procesador superescalar.

Register Renaming

- Imaginemos que disponemos de dos registros adicionales que no forman parte de la arquitectura, que denominaremos **S** y **T**, que nos permitan tomar operandos y utilizarlos en las Unidades de Ejecución a partir de ese momento.

Register Renaming

- Imaginemos que disponemos de dos registros adicionales que no forman parte de la arquitectura, que denominaremos **S** y **T**, que nos permitan tomar operandos y utilizarlos en las Unidades de Ejecución a partir de ese momento.
- Con la inclusión de estos dos registros auxiliares el código anterior se puede reescribir libre de dependencias a nivel de arquitectura como sigue:

1	sdiv	R0,R2,R4
2	add	S,R0,R8
3	str	S,[R1]
4	sub	T,R10,R14
5	mul	R6,R10,T

Register Renaming

- Imaginemos que disponemos de dos registros adicionales que no forman parte de la arquitectura, que denominaremos **S** y **T**, que nos permitan tomar operandos y utilizarlos en las Unidades de Ejecución a partir de ese momento.
- Con la inclusión de estos dos registros auxiliares el código anterior se puede reescribir libre de dependencias a nivel de arquitectura como sigue:

```
1  sdiv    R0,R2,R4
2  add     S,R0,R8
3  str     S,[R1]
4  sub     T,R10,R14
5  mul     R6,R10,T
```

- **add** y **str** pueden renombrar **R6** por **S**, ya que como se dijo, siempre **add** finalizará antes.

Register Renaming

- Imaginemos que disponemos de dos registros adicionales que no forman parte de la arquitectura, que denominaremos **S** y **T**, que nos permitan tomar operandos y utilizarlos en las Unidades de Ejecución a partir de ese momento.
- Con la inclusión de estos dos registros auxiliares el código anterior se puede reescribir libre de dependencias a nivel de arquitectura como sigue:

```
1  sdiv    R0,R2,R4
2  add     S,R0,R8
3  str     S,[R1]
4  sub     T,R10,R14
5  mul     R6,R10,T
```

- **add** y **str** pueden renombrar **R6** por **S**, ya que como se dijo, siempre **add** finalizará antes.
- **R8** no se afecta con el resultado de **sub** porque este se escribirá en **T**. Además cualquier uso posterior de **R8** es reemplazado por el registro temporal.

¿Quien ejecuta el Register Renaming mas eficientemente?

¿Quien ejecuta el Register Renaming mas eficientemente?

- Para implementar Register Renaming se requiere un análisis del tipo “mirar mas adelante” en el código analizando para cada instrucción potenciales riesgos.

¿Quien ejecuta el Register Renaming mas eficientemente?

- Para implementar Register Renaming se requiere un análisis del tipo “mirar mas adelante” en el código analizando para cada instrucción potenciales riesgos.
- Si este análisis se delega al compilador, le demandará gran sofisticación, y consecuentemente una mayor complejidad algorítmica en el proceso de parsing y traducción.

¿Quien ejecuta el Register Renaming mas eficientemente?

- Para implementar Register Renaming se requiere un análisis del tipo “mirar mas adelante” en el código analizando para cada instrucción potenciales riesgos.
- Si este análisis se delega al compilador, le demandará gran sofisticación, y consecuentemente una mayor complejidad algorítmica en el proceso de parsing y traducción.
- Además el compilador podría recurrir a saltos para resolver estas interdependencias, a riesgo que pueda resultar mas perjudicial la solución que el problema.

¿Quien ejecuta el Register Renaming mas eficientemente?

- Para implementar Register Renaming se requiere un análisis del tipo “mirar mas adelante” en el código analizando para cada instrucción potenciales riesgos.
- Si este análisis se delega al compilador, le demandará gran sofisticación, y consecuentemente una mayor complejidad algorítmica en el proceso de parsing y traducción.
- Además el compilador podría recurrir a saltos para resolver estas interdependencias, a riesgo que pueda resultar mas perjudicial la solución que el problema.
- Las soluciones de OOO Execution se implementan típicamente por hardware.

¿Quien ejecuta el Register Renaming mas eficientemente?

- Para implementar Register Renaming se requiere un análisis del tipo “mirar mas adelante” en el código analizando para cada instrucción potenciales riesgos.
- Si este análisis se delega al compilador, le demandará gran sofisticación, y consecuentemente una mayor complejidad algorítmica en el proceso de parsing y traducción.
- Además el compilador podría recurrir a saltos para resolver estas interdependencias, a riesgo que pueda resultar mas perjudicial la solución que el problema.
- Las soluciones de OOO Execution se implementan típicamente por hardware.
- Se insertan dos unidades en el pipeline a continuación de la Unidad de Decodificación:

¿Quien ejecuta el Register Renaming mas eficientemente?

- Para implementar Register Renaming se requiere un análisis del tipo “mirar mas adelante” en el código analizando para cada instrucción potenciales riesgos.
- Si este análisis se delega al compilador, le demandará gran sofisticación, y consecuentemente una mayor complejidad algorítmica en el proceso de parsing y traducción.
- Además el compilador podría recurrir a saltos para resolver estas interdependencias, a riesgo que pueda resultar mas perjudicial la solución que el problema.
- Las soluciones de OOO Execution se implementan típicamente por hardware.
- Se insertan dos unidades en el pipeline a continuación de la Unidad de Decodificación:
 - ① Register Alias Table (**RAT**). Implementa Link productor-consumidor,

¿Quien ejecuta el Register Renaming mas eficientemente?

- Para implementar Register Renaming se requiere un análisis del tipo “mirar mas adelante” en el código analizando para cada instrucción potenciales riesgos.
- Si este análisis se delega al compilador, le demandará gran sofisticación, y consecuentemente una mayor complejidad algorítmica en el proceso de parsing y traducción.
- Además el compilador podría recurrir a saltos para resolver estas interdependencias, a riesgo que pueda resultar mas perjudicial la solución que el problema.
- Las soluciones de OOO Execution se implementan típicamente por hardware.
- Se insertan dos unidades en el pipeline a continuación de la Unidad de Decodificación:
 - ① Register Alias Table (**RAT**). Implementa Link productor-consumidor,
 - ② Reservation Station (**RS**). Complementa el link productor-consumidor iniciado en la **RAT** y gestiona el resto de los pasos propuestos por Tomasulo.

¿Quien ejecuta el Register Renaming mas eficientemente?

- Para implementar Register Renaming se requiere un análisis del tipo “mirar mas adelante” en el código analizando para cada instrucción potenciales riesgos.
- Si este análisis se delega al compilador, le demandará gran sofisticación, y consecuentemente una mayor complejidad algorítmica en el proceso de parsing y traducción.
- Además el compilador podría recurrir a saltos para resolver estas interdependencias, a riesgo que pueda resultar mas perjudicial la solución que el problema.
- Las soluciones de OOO Execution se implementan típicamente por hardware.
- Se insertan dos unidades en el pipelin a continuación de la Unidad de Decodificación:
 - ① Register Alias Table (**RAT**). Implementa Link productor-consumidor,
 - ② Reservation Station (**RS**). Complementa el link productor-consumidor iniciado en la **RAT** y gestiona el resto de los pasos propuestos por Tomasulo.
 - ③ Common Data Bus (**CDB**). Es un Datapath que une todas las unidades anteriores, para enviar cada Resultado y el tag al que reemplazará.

“link” entre el productor de un dato con su(s) consumidor(es)

“link” entre el productor de un dato con su(s) consumidor(es)

- El primer paso emplea un File Register llamado Register Alias Table (**RAT**).

	Tag	Valor	Válido
R0			1
R1			1
R2			0
R3			1
R4			0
R5			1
R6			1
R7			0
R8			0
R9			0
R10			1
R11			0
R12			1
R13			1
R14			1
R15			0

“link” entre el productor de un dato con su(s) consumidor(es)

- El primer paso emplea un File Register llamado Register Alias Table (**RAT**).
- Cada Registro **RAT** se divide en tres campos: **Tag**, **Valor**, **Válido**.

	Tag	Valor	Válido
R0			1
R1			1
R2			0
R3			1
R4			0
R5			1
R6			1
R7			0
R8			0
R9			0
R10			1
R11			0
R12			1
R13			1
R14			1
R15			0

“link” entre el productor de un dato con su(s) consumidor(es)

- El primer paso emplea un File Register llamado Register Alias Table (**RAT**).
- Cada Registro **RAT** se divide en tres campos: **Tag**, **Valor**, **Válido**.
- La **RAT** tiene la misma cantidad de registros que el procesador. Se muestra un procesador de 16 Registros arquitecturales (ARMv7 p.ej.).

	Tag	Valor	Válido
R0			1
R1			1
R2			0
R3			1
R4			0
R5			1
R6			1
R7			0
R8			0
R9			0
R10			1
R11			0
R12			1
R13			1
R14			1
R15			0

“link” entre el productor de un dato con su(s) consumidor(es)

- El primer paso emplea un File Register llamado Register Alias Table (**RAT**).
- Cada Registro **RAT** se divide en tres campos: **Tag**, **Valor**, **Válido**.
- La **RAT** tiene la misma cantidad de registros que el procesador. Se muestra un procesador de 16 Registros arquitecturales (ARMv7 p.ej.).
- Cada vez que se decodifica una instrucción se toma de aquí para cada registro el **Valor**, si el bit **Válido** = 1 (el registro tiene un valor disponible), o el **Tag** si el bit **Válido** = 0 (el registro es operando destino de una instrucción aun pendiente de ejecución).

	Tag	Valor	Válido
R0			1
R1			1
R2			0
R3			1
R4			0
R5			1
R6			1
R7			0
R8			0
R9			0
R10			1
R11			0
R12			1
R13			1
R14			1
R15			0



Mas sobre la RAT

- Cada vez que la Unidad de Decodificación envía una instrucción decodificada, ésta ocupa un registro en la **RS**.

	Tag	Valor	Válido
R0			1
R1			1
R2			0
R3			1
R4			0
R5			1
R6			1
R7			0
R8			0
R9			0
R10			1
R11			0
R12			1
R13			1
R14			1
R15			0

Mas sobre la RAT

- Cada vez que la Unidad de Decodificación envía una instrucción decodificada, ésta ocupa un registro en la **RS**.
- Al mismo tiempo al Registro de la **RAT** que corresponde al Operando Destino de la instrucción se le establecen: **Válido** = 0, y **Tag** = N° de registro de la **RS** en el que se almacenó la instrucción en cuestión.

	Tag	Valor	Válido
R0			1
R1			1
R2			0
R3			1
R4			0
R5			1
R6			1
R7			0
R8			0
R9			0
R10			1
R11			0
R12			1
R13			1
R14			1
R15			0

Mas sobre la RAT

- Cada vez que la Unidad de Decodificación envía una instrucción decodificada, ésta ocupa un registro en la **RS**.
- Al mismo tiempo al Registro de la **RAT** que corresponde al Operando Destino de la instrucción se le establecen: **Válido** = 0, y **Tag** = N° de registro de la **RS** en el que se almacenó la instrucción en cuestión.
- A partir de este momento las siguientes instrucciones que ingresen y utilicen a este registro como operando, tomarán este valor de **Tag**, y el operando no estará **Válido**.

	Tag	Valor	Válido
R0			1
R1			1
R2			0
R3			1
R4			0
R5			1
R6			1
R7			0
R8			0
R9			0
R10			1
R11			0
R12			1
R13			1
R14			1
R15			0

Mas sobre la RAT

- Si el registro de la **RAT** ya tiene el campo **Válido** = 0, se pisa el **Tag** existente por el nuevo.

	Tag	Valor	Válido
R0			1
R1			1
R2			0
R3			1
R4			0
R5			1
R6			1
R7			0
R8			0
R9			0
R10			1
R11			0
R12			1
R13			1
R14			1
R15			0

Mas sobre la RAT

- Si el registro de la **RAT** ya tiene el campo **Válido** = 0, se pisa el **Tag** existente por el nuevo.
- Esto es: la **RAT** siempre mantiene el último **Tag**.

	Tag	Valor	Válido
R0			1
R1			1
R2			0
R3			1
R4			0
R5			1
R6			1
R7			0
R8			0
R9			0
R10			1
R11			0
R12			1
R13			1
R14			1
R15			0

Mas sobre la RAT

- Si el registro de la **RAT** ya tiene el campo **Válido** = 0, se pisa el **Tag** existente por el nuevo.
- Esto es: la **RAT** siempre mantiene el último **Tag**.
- Esto es esencial para resolver el riesgo **WAW** al momento de producirse el resultado.

	Tag	Valor	Válido
R0			1
R1			1
R2			0
R3			1
R4			0
R5			1
R6			1
R7			0
R8			0
R9			0
R10			1
R11			0
R12			1
R13			1
R14			1
R15			0

Más sobre la RAT

- Si el registro de la **RAT** ya tiene el campo **Válido** = 0, se pisa el **Tag** existente por el nuevo.
- Esto es: la **RAT** siempre mantiene el último **Tag**.
- Esto es esencial para resolver el riesgo **WAW** al momento de producirse el resultado.
- Solo se aplica la escritura última (que es lo que hará el programa).

	Tag	Valor	Válido
R0			1
R1			1
R2			0
R3			1
R4			0
R5			1
R6			1
R7			0
R8			0
R9			0
R10			1
R11			0
R12			1
R13			1
R14			1
R15			0

Más sobre la RAT

- Si el registro de la **RAT** ya tiene el campo **Válido** = 0, se pisa el **Tag** existente por el nuevo.
- Esto es: la **RAT** siempre mantiene el último **Tag**.
- Esto es esencial para resolver el riesgo **WAW** al momento de producirse el resultado.
- Solo se aplica la escritura última (que es lo que hará el programa).
- La(s) instrucción(es) anterior(es) que escribe(n) ese registro y finaliza(n), nunca encontrarán ese **Tag** en la (**RAT**). En la (**RS**) los **Tag** no se pisarán, y las dependencias se conservan.

	Tag	Valor	Válido
R0			1
R1			1
R2			0
R3			1
R4			0
R5			1
R6			1
R7			0
R8			0
R9			0
R10			1
R11			0
R12			1
R13			1
R14			1
R15			0

Mas sobre la RAT

- Cada vez que una Unidad Funcional termina una instrucción, transmite por el **CDB** un par **Valor-Tag**.

	Tag	Valor	Válido
R0			1
R1			1
R2			0
R3			1
R4			0
R5			1
R6			1
R7			0
R8			0
R9			0
R10			1
R11			0
R12			1
R13			1
R14			1
R15			0

Mas sobre la RAT

- Cada vez que una Unidad Funcional termina una instrucción, transmite por el **CDB** un par **Valor-Tag**.
- Se compara con los **Tag** de los registros de la **RAT** con **Válido = 0**.

	Tag	Valor	Válido
R0			1
R1			1
R2			0
R3			1
R4			0
R5			1
R6			1
R7			0
R8			0
R9			0
R10			1
R11			0
R12			1
R13			1
R14			1
R15			0

Más sobre la RAT

- Cada vez que una Unidad Funcional termina una instrucción, transmite por el **CDB** un par **Valor-Tag**.
- Se compara con los **Tag** de los registros de la **RAT** con **Válido** = 0.
- Si alguno coincide, su campo **Valor** es reemplazado por el nuevo, y **Válido** se pone en '1'.

	Tag	Valor	Válido
R0			1
R1			1
R2			0
R3			1
R4			0
R5			1
R6			1
R7			0
R8			0
R9			0
R10			1
R11			0
R12			1
R13			1
R14			1
R15			0

Más sobre la RAT

- Cada vez que una Unidad Funcional termina una instrucción, transmite por el **CDB** un par **Valor-Tag**.
- Se compara con los **Tag** de los registros de la **RAT** con **Válido** = 0.
- Si alguno coincide, su campo **Valor** es reemplazado por el nuevo, y **Válido** se pone en '1'.
- El resultado además se envía al Buffer de Instrucciones para que se escriba el registro de arquitectura en el momento que corresponda.

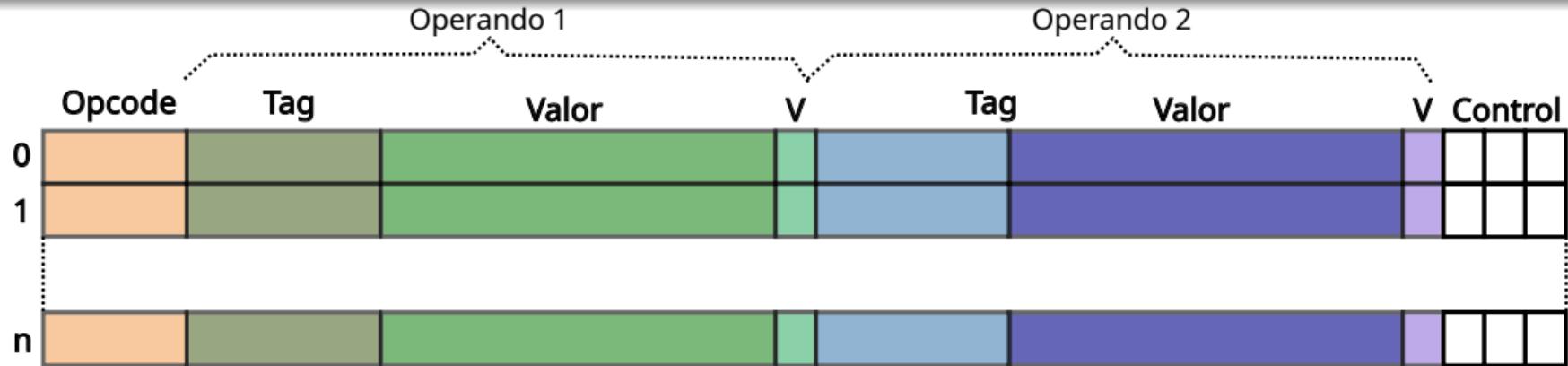
	Tag	Valor	Válido
R0			1
R1			1
R2			0
R3			1
R4			0
R5			1
R6			1
R7			0
R8			0
R9			0
R10			1
R11			0
R12			1
R13			1
R14			1
R15			0

Más sobre la RAT

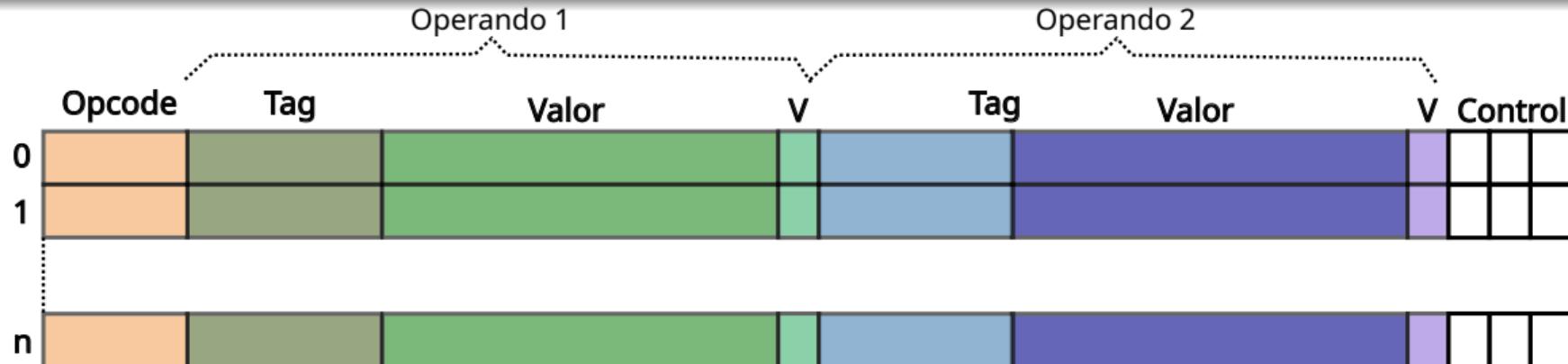
- Cada vez que una Unidad Funcional termina una instrucción, transmite por el **CDB** un par **Valor-Tag**.
- Se compara con los **Tag** de los registros de la **RAT** con **Válido** = 0.
- Si alguno coincide, su campo **Valor** es reemplazado por el nuevo, y **Válido** se pone en '1'.
- El resultado además se envía al Buffer de Instrucciones para que se escriba el registro de arquitectura en el momento que corresponda.
- *Tomasulo, escribía directamente el resultado al registro de arquitectura.*

	Tag	Valor	Válido
R0			1
R1			1
R2			0
R3			1
R4			0
R5			1
R6			1
R7			0
R8			0
R9			0
R10			1
R11			0
R12			1
R13			1
R14			1
R15			0

Reservation Station (RS)

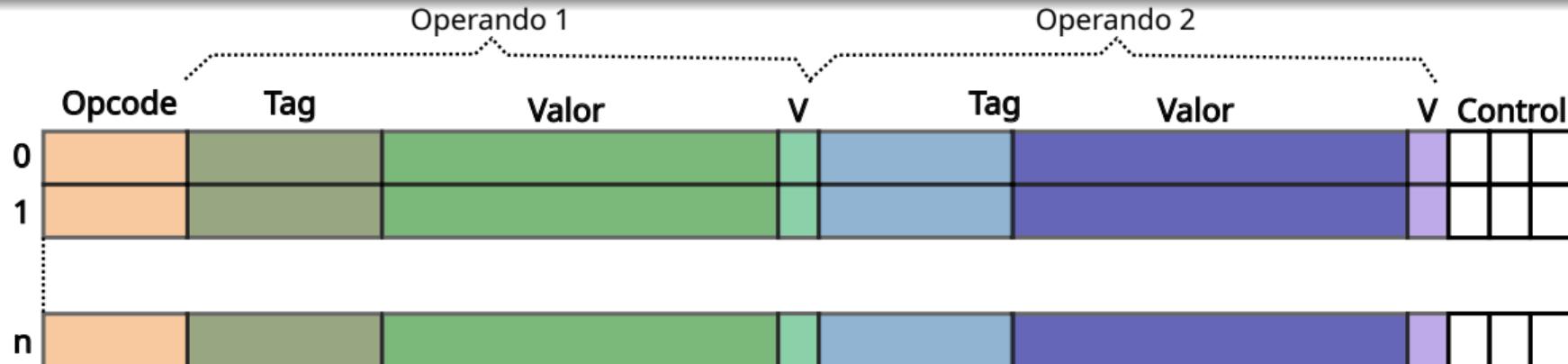


Reservation Station (RS)



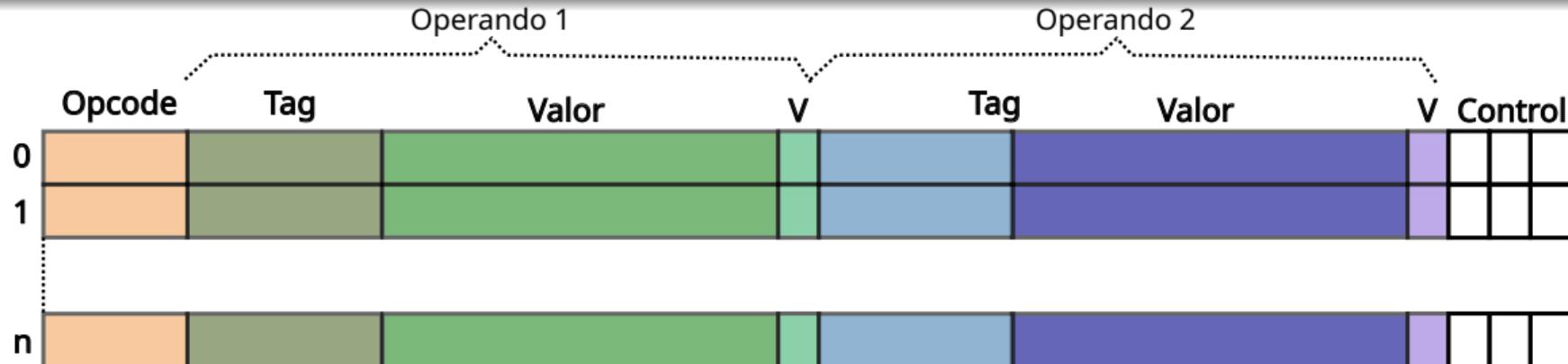
- Se encarga de completar el Register Renaming, y de implementar las otras tres funciones que planteó Tomasulo:

Reservation Station (RS)



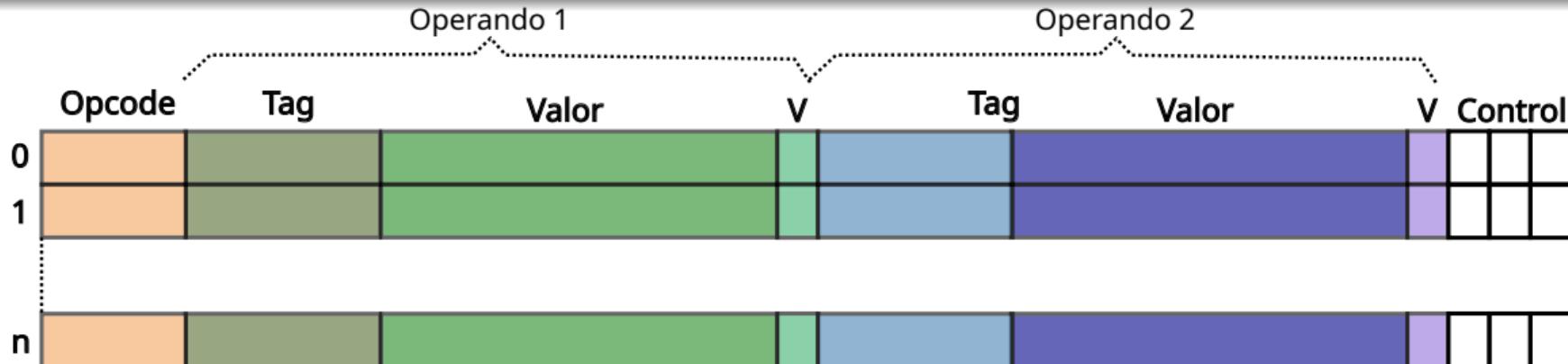
- Se encarga de completar el Register Renaming, y de implementar las otras tres funciones que planteó Tomasulo:
 - Mantener las instrucciones en espera hasta que estén listas para ejecución

Reservation Station (RS)



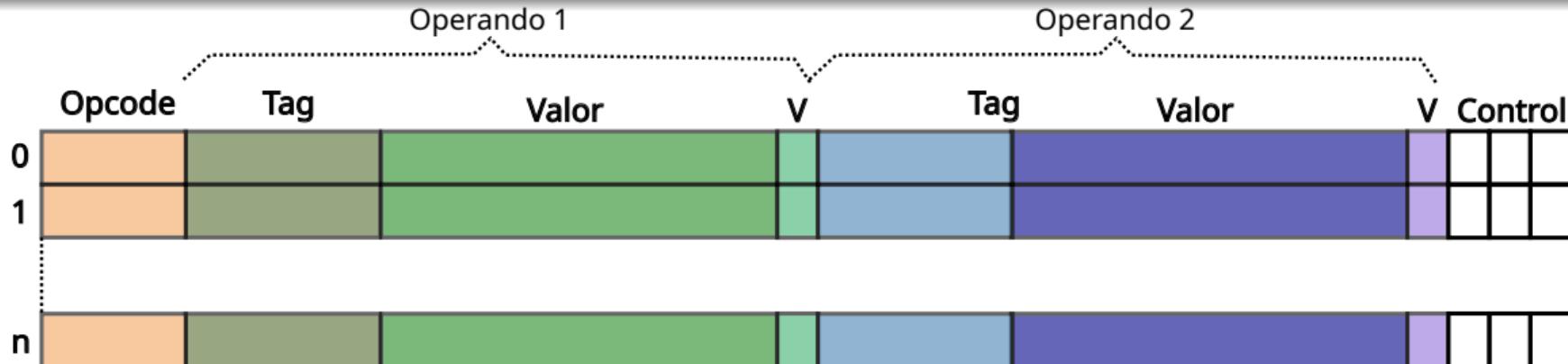
- Se encarga de completar el Register Renaming, y de implementar las otras tres funciones que planteó Tomasulo:
 - Mantener las instrucciones en espera hasta que estén listas para ejecución
 - Indicar cuando una instrucción “en espera de operando” tiene sus operandos “Ready”

Reservation Station (RS)



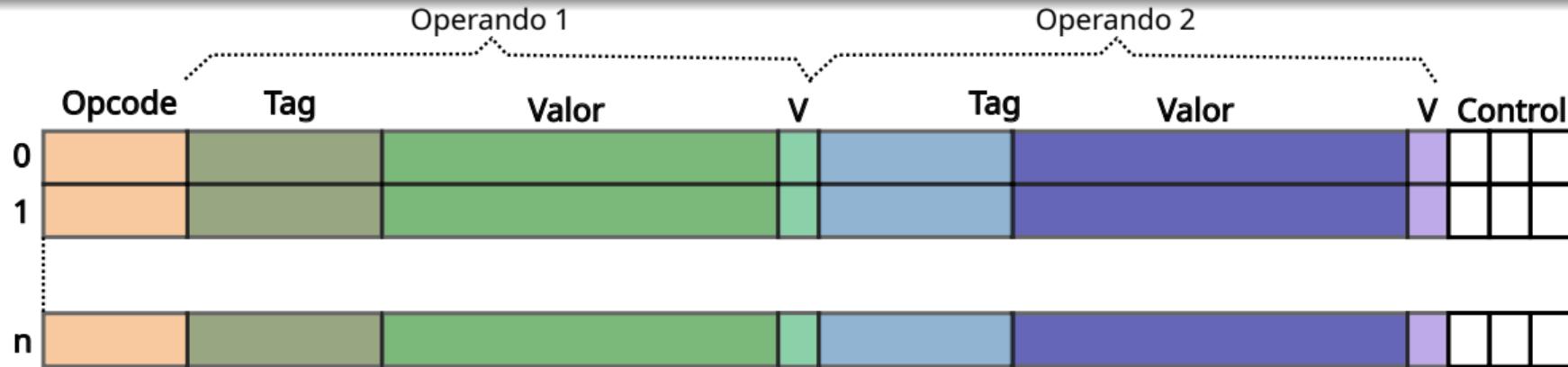
- Se encarga de completar el Register Renaming, y de implementar las otras tres funciones que planteó Tomasulo:
 - Mantener las instrucciones en espera hasta que estén listas para ejecución
 - Indicar cuando una instrucción “en espera de operando” tiene sus operandos “Ready”
 - Despachar (“disparar”) la instrucción a una Unidad Funcional ni bien todos sus operandos estén “Ready”.

Reservation Station (RS)



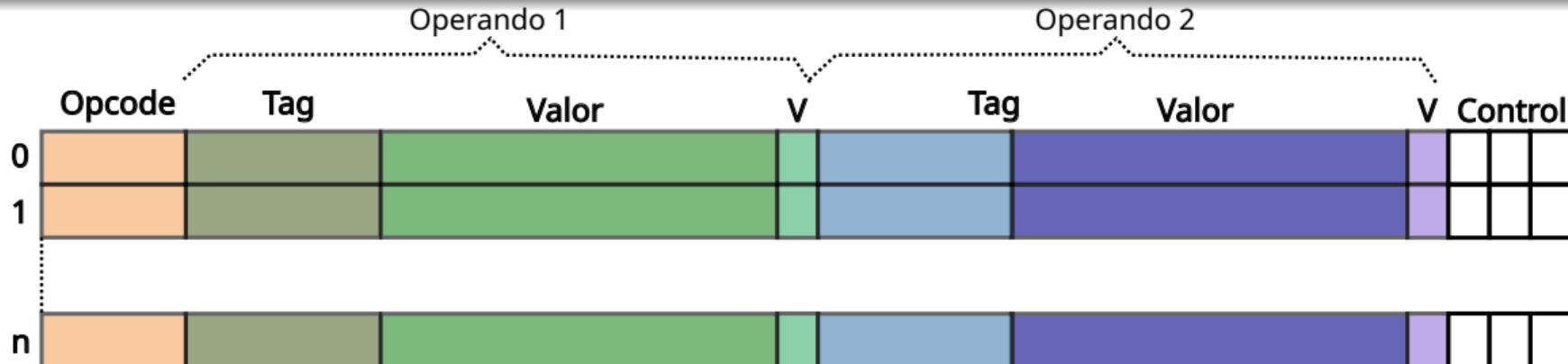
- Se encarga de completar el Register Renaming, y de implementar las otras tres funciones que planteó Tomasulo:
 - Mantener las instrucciones en espera hasta que estén listas para ejecución
 - Indicar cuando una instrucción “en espera de operando” tiene sus operandos “Ready”
 - Despachar (“disparar”) la instrucción a una Unidad Funcional ni bien todos sus operandos estén “Ready”.
- Una **RS** es un File Register como el de la figura, que almacena las instrucciones.

Reservation Station (RS)



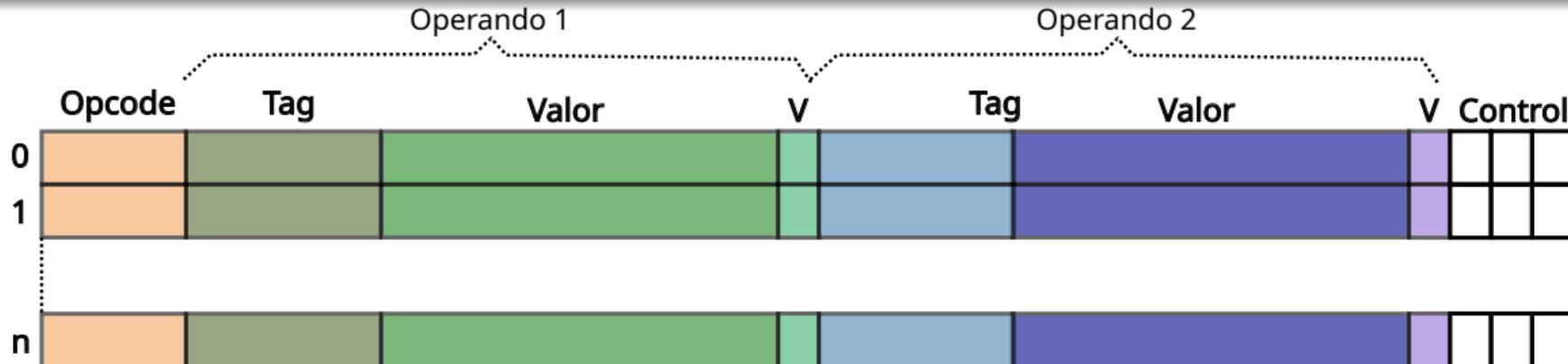
- Si la cantidad de registros **n** es muy superior a la de registros de la arquitectura, es posible eliminar los riesgos estudiados.

Reservation Station (RS)



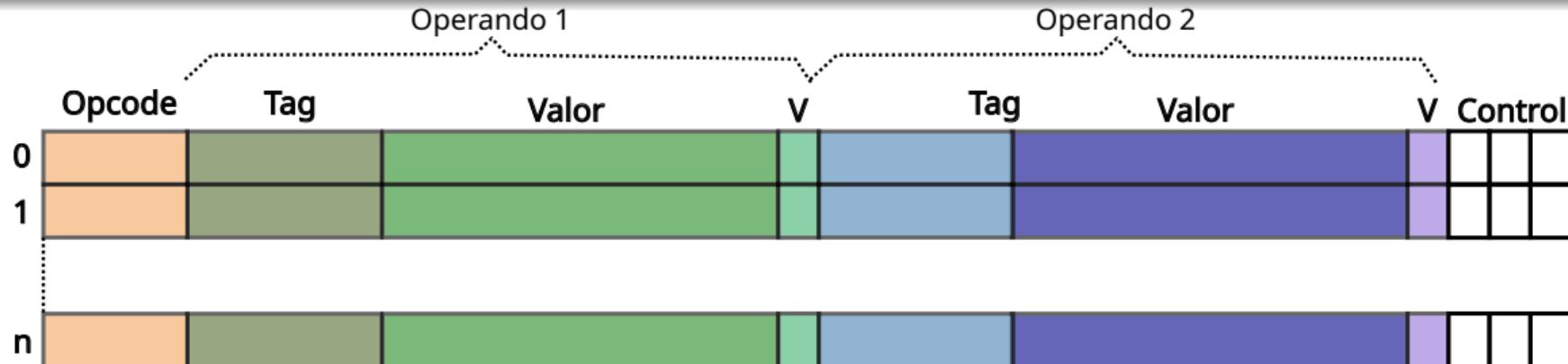
- Si la cantidad de registros **n** es muy superior a la de registros de la arquitectura, es posible eliminar los riesgos estudiados.
- Cuando una instrucción se ingresa a una **RS**, el registro destino (es decir aquel en el que se almacenará el resultado), toma el número de registro de la **RS** y lo convierte en su **Tag** en la **RAT**.

Reservation Station (RS)



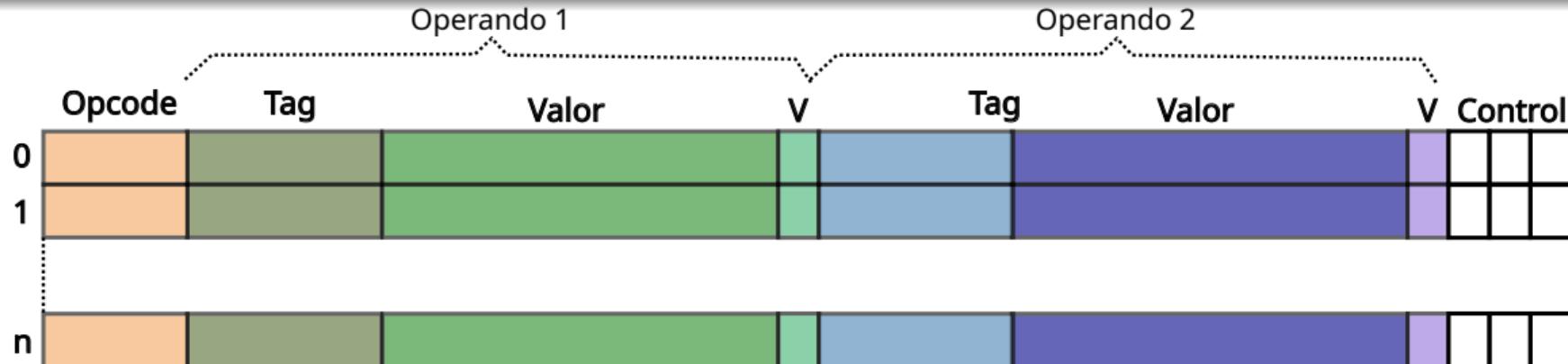
- Si la cantidad de registros **n** es muy superior a la de registros de la arquitectura, es posible eliminar los riesgos estudiados.
- Cuando una instrucción se ingresa a una **RS**, el registro destino (es decir aquel en el que se almacenará el resultado), toma el número de registro de la **RS** y lo convierte en su **Tag** en la **RAT**.
- Cada instrucción que ingrese posteriormente proviene del Decodificador, es decir, ingresa En Orden. Si utiliza ese registro como Operando lo renombrará por este **Tag**.

Reservation Station



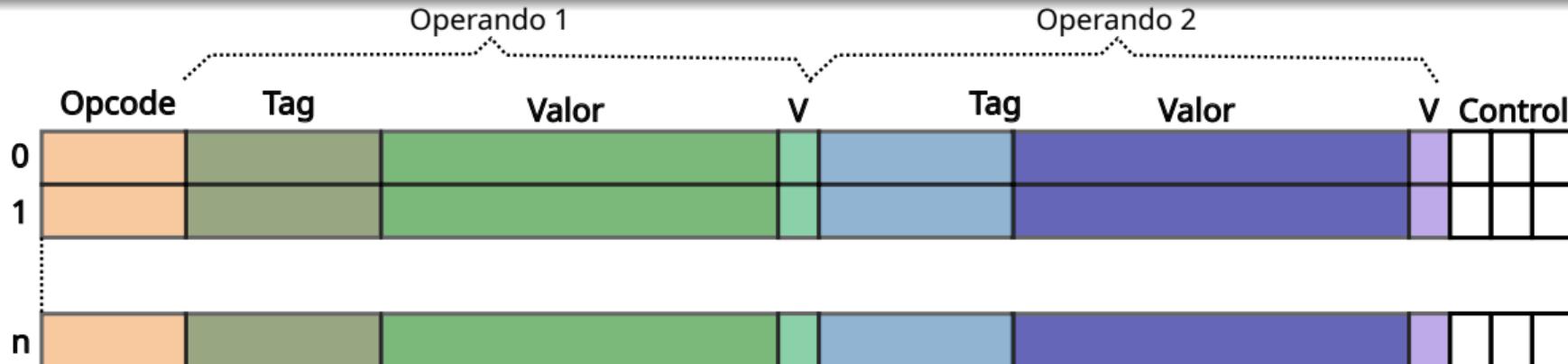
- De este modo no hay posibilidad de que una instrucción cuya ejecución se adelanta respecto de otra previa en la secuencia del programa, pueda modificar o utilizar un registro de la instrucción previa y que ésta luego use una copia incorrecta del mismo.

Reservation Station



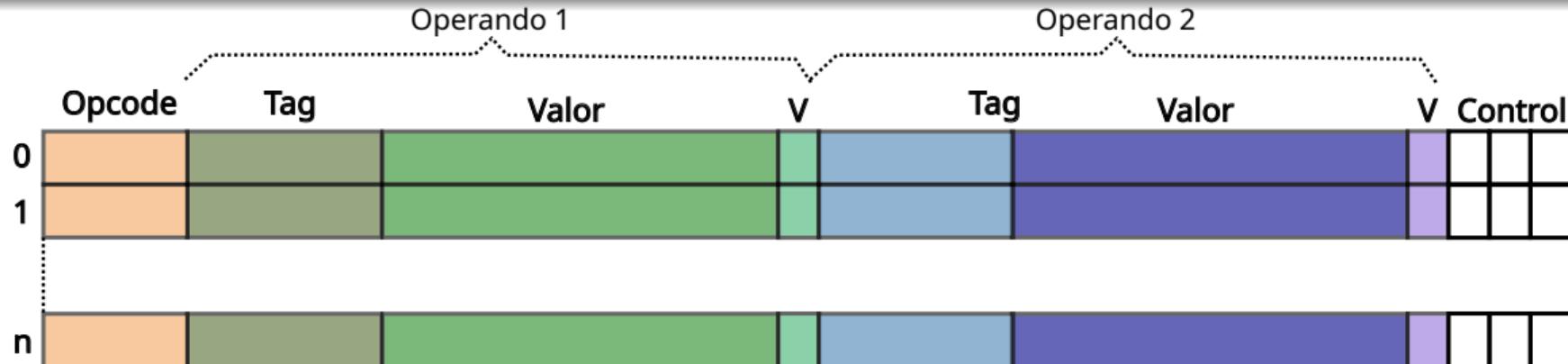
- De este modo no hay posibilidad de que una instrucción cuya ejecución se adelanta respecto de otra previa en la secuencia del programa, pueda modificar o utilizar un registro de la instrucción previa y que ésta luego use una copia incorrecta del mismo.
- Cada vez que una Unidad de Ejecución obtiene un Resultado, lo transmite broadcast junto su **Tag** para la(s) **RS(s)** y la **RAT**.

Reservation Station



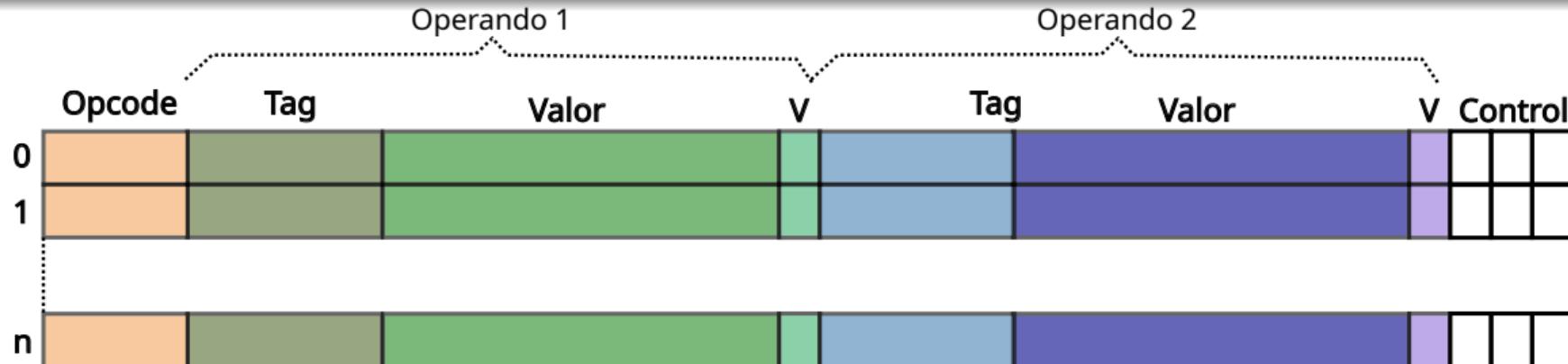
- De este modo no hay posibilidad de que una instrucción cuya ejecución se adelanta respecto de otra previa en la secuencia del programa, pueda modificar o utilizar un registro de la instrucción previa y que ésta luego use una copia incorrecta del mismo.
- Cada vez que una Unidad de Ejecución obtiene un Resultado, lo transmite broadcast junto su **Tag** para la(s) **RS(s)** y la **RAT**.
- Si el **Tag** está en la **RAT**, se modifica el campo **Valor**, se pone en '1' el bit **Válido**, y eventualmente podría aplicarse el resultado en el registro de Arquitectura.

Reservation Station



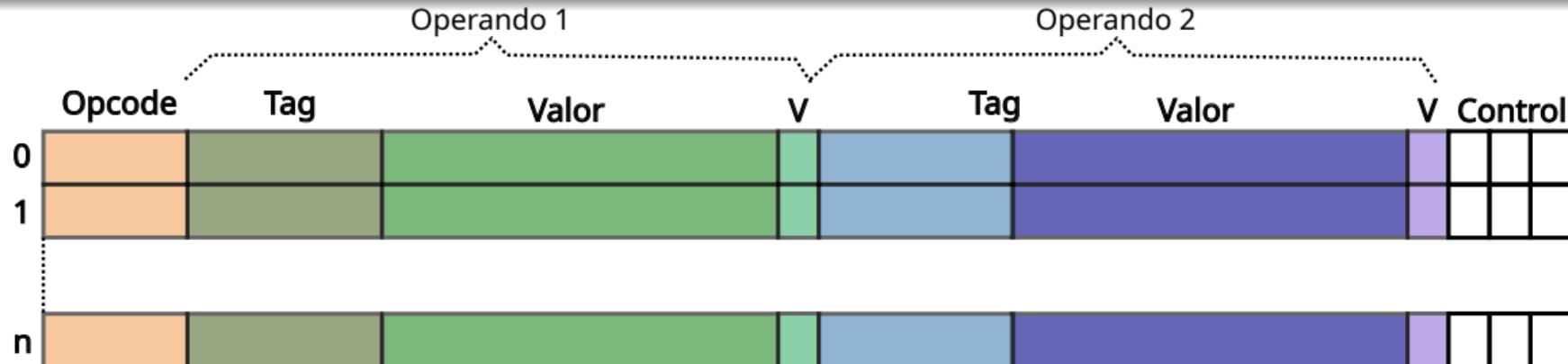
- Cuando una instrucción tiene todos sus operandos la **RS** la despacha a una Unidad Funcional capaz de ejecutarla.

Reservation Station



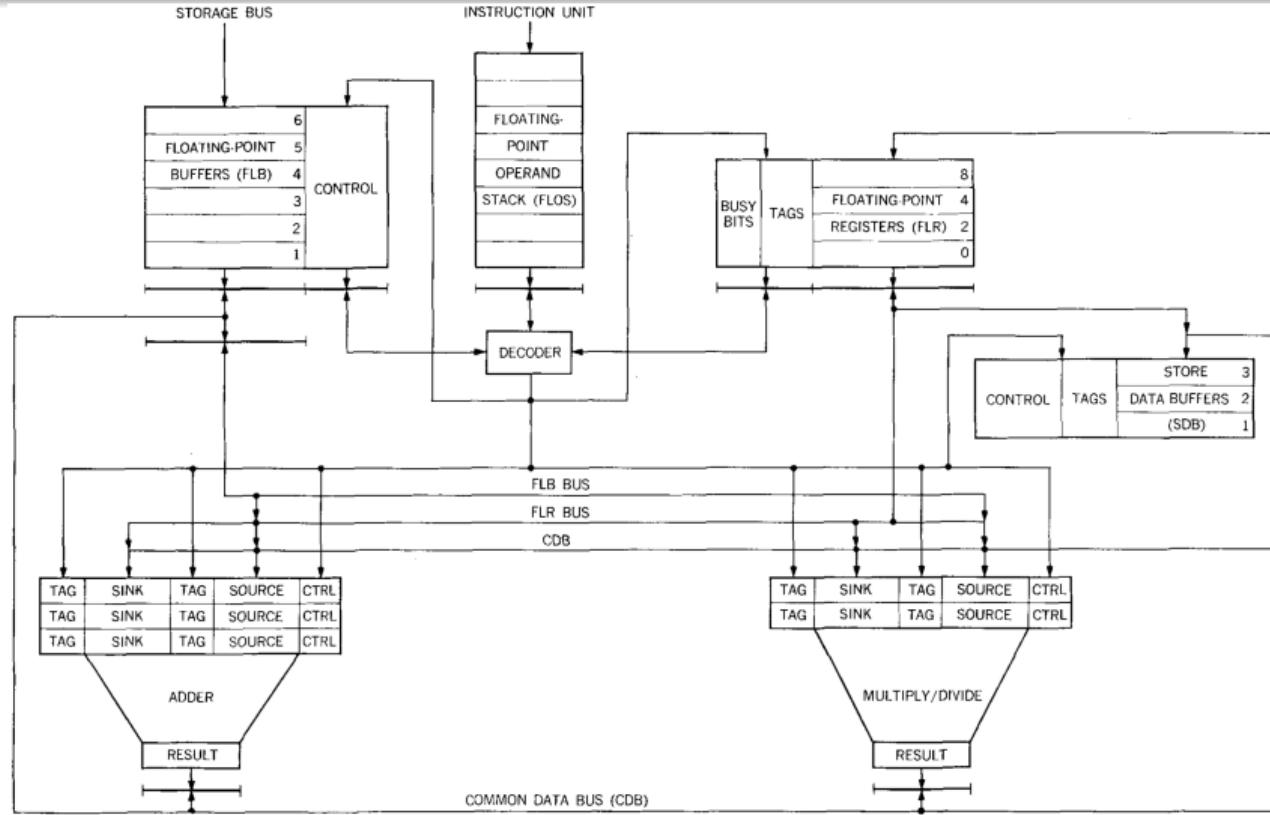
- Cuando una instrucción tiene todos sus operandos la **RS** la despacha a una Unidad Funcional capaz de ejecutarla.
- Si no hay ninguna Unidad Funcional disponible la encola y espera a que haya una libre para enviarla.

Reservation Station



- Cuando una instrucción tiene todos sus operandos la **RS** la despacha a una Unidad Funcional capaz de ejecutarla.
- Si no hay ninguna Unidad Funcional disponible la encola y espera a que haya una libre para enviarla.
- Si un operando destino recibe múltiples escrituras, la **RS** solo aplicará la última.

La FPU de IBM/360 con la mejora de Tomasulo



Common Data Bus

- Es crucial en el broadcast de resultados.

Common Data Bus

- Es crucial en el broadcast de resultados.
- Es un datapath que cruza la salida de las Unidades Funcionales y atraviesa las Reservation Stations, Los Floating Point Buffers, Los Floating Point Registers, y el Floating Point Operations Stack.

Ejemplo del Algoritmo

Ejemplo del Algoritmo

- Nos planteamos el Algoritmo de Tomasulo mas allá de la IBM360

Ejemplo del Algoritmo

- Nos planteamos el Algoritmo de Tomasulo mas allá de la IBM360
- Consideraremos un procesador ARM y una CPU organizada en diferentes Unidades de Ejecución específicas de acuerdo con los diferentes tipos de instrucciones.

Ejemplo del Algoritmo

- Nos planteamos el Algoritmo de Tomasulo mas allá de la IBM360
- Consideremos un procesador ARM y una CPU organizada en diferentes Unidades de Ejecución específicas de acuerdo con los diferentes tipos de instrucciones.
- El código a considerar es el siguiente código:

```
1  ldr  R1, [R3]
2  mul  R6, R2, R1
3  add  R11,R11,R6
4  sub  R3, R3, R2
5  add  R7, R8, R9
6  add  R10,R8, R3
```

Ejemplo del Algoritmo

- Nos planteamos el Algoritmo de Tomasulo mas allá de la IBM360
- Consideremos un procesador ARM y una CPU organizada en diferentes Unidades de Ejecución específicas de acuerdo con los diferentes tipos de instrucciones.
- El código a considerar es el siguiente código:

```
1  ldr  R1, [R3]
2  mul  R6, R2, R1
3  add  R11,R11,R6
4  sub  R3, R3, R2
5  add  R7, R8, R9
6  add  R10,R8, R3
```

- La primer instrucción genera un cache miss en Level1 y demora 12 ciclos de clock en ejecutarse.

Ejemplo del Algoritmo

- Nos planteamos el Algoritmo de Tomasulo mas allá de la IBM360
- Consideremos un procesador ARM y una CPU organizada en diferentes Unidades de Ejecución específicas de acuerdo con los diferentes tipos de instrucciones.
- El código a considerar es el siguiente código:

```
1  ldr  R1, [R3]
2  mul  R6, R2, R1
3  add  R11,R11,R6
4  sub  R3, R3, R2
5  add  R7, R8, R9
6  add  R10,R8, R3
```

- La primer instrucción genera un cache miss en Level1 y demora 12 ciclos de clock en ejecutarse.
- El resto de las instrucciones ejecutan en 1 clock excepto Mul que insume 4.

Ejemplo del Algoritmo

- Nos planteamos el Algoritmo de Tomasulo mas allá de la IBM360
- Consideremos un procesador ARM y una CPU organizada en diferentes Unidades de Ejecución específicas de acuerdo con los diferentes tipos de instrucciones.
- El código a considerar es el siguiente código:

```
1  ldr  R1, [R3]
2  mul  R6, R2, R1
3  add  R11,R11,R6
4  sub  R3, R3, R2
5  add  R7, R8, R9
6  add  R10,R8, R3
```

- La primer instrucción genera un cache miss en Level1 y demora 12 ciclos de clock en ejecutarse.
- El resto de las instrucciones ejecutan en 1 clock excepto Mul que insume 4.
- El Pipeline tiene 5 etapas: Fetch-Decode-Excecc-Result-Write

Ejemplo del Algoritmo - Timing

	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21
ldr R1, [R3]	F	D	E	E	E	E	E	E	E	E	E	E	E	R	W						
mul R6, R1, R2		F	D												E	E	E	E	R	W	
add R11, R11, R6			F	D														E	R	W	
sub R3, R3, R2				F	D	E	R													W	
add R7, R8, R8					F	D	E	R												W	
add R10, R8, R3						F	D	E	R											W	

Ejemplo del Algoritmo - Timing

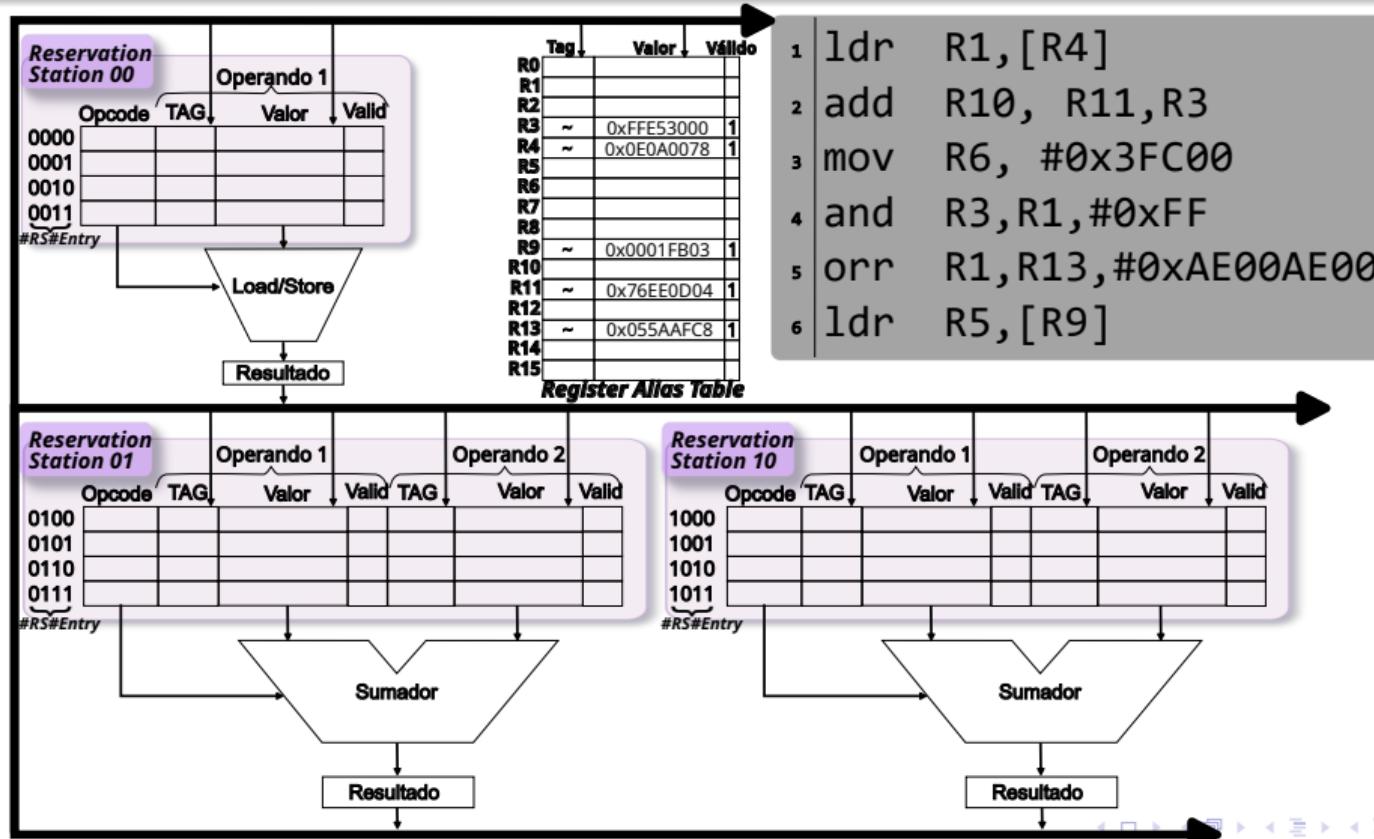
	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21
ldr R1, [R3]	F	D	E	E	E	E	E	E	E	E	E	E	E	R	W						
mul R6, R1, R2		F	D												E	E	E	E	R	W	
add R11, R11, R6			F	D														E	R	W	
sub R3, R3, R2				F	D	E	R													W	
add R7, R8, R8					F	D	E	R												W	
add R10, R8, R3						F	D	E	R											W	

Este modelo asume que:

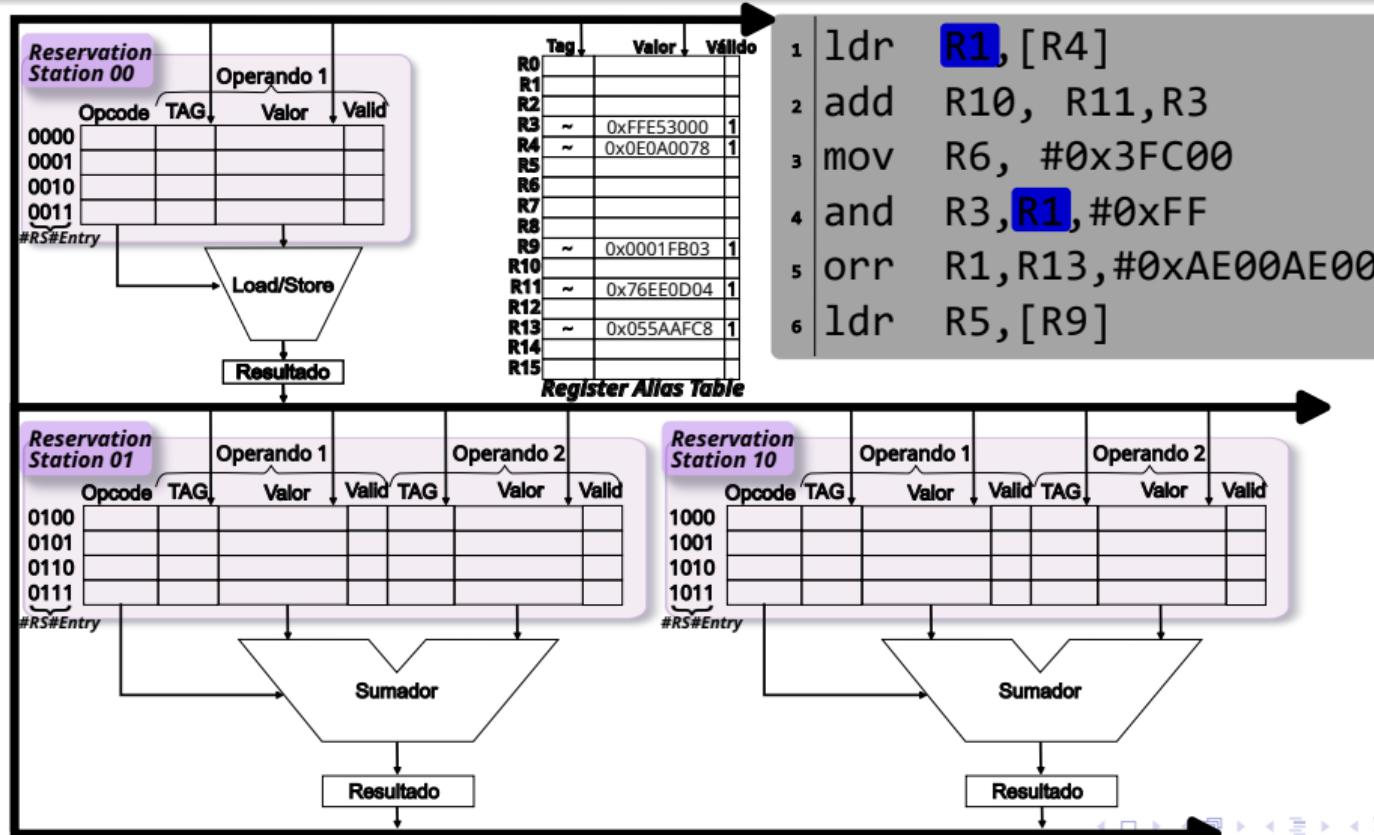
El procesador puede aplicar (**Write**) 4 resultados por ciclo de clock.

La etapa R (**Result**) escribe el resultado en los registros de la RS y RAT que lo tengan taggeado.

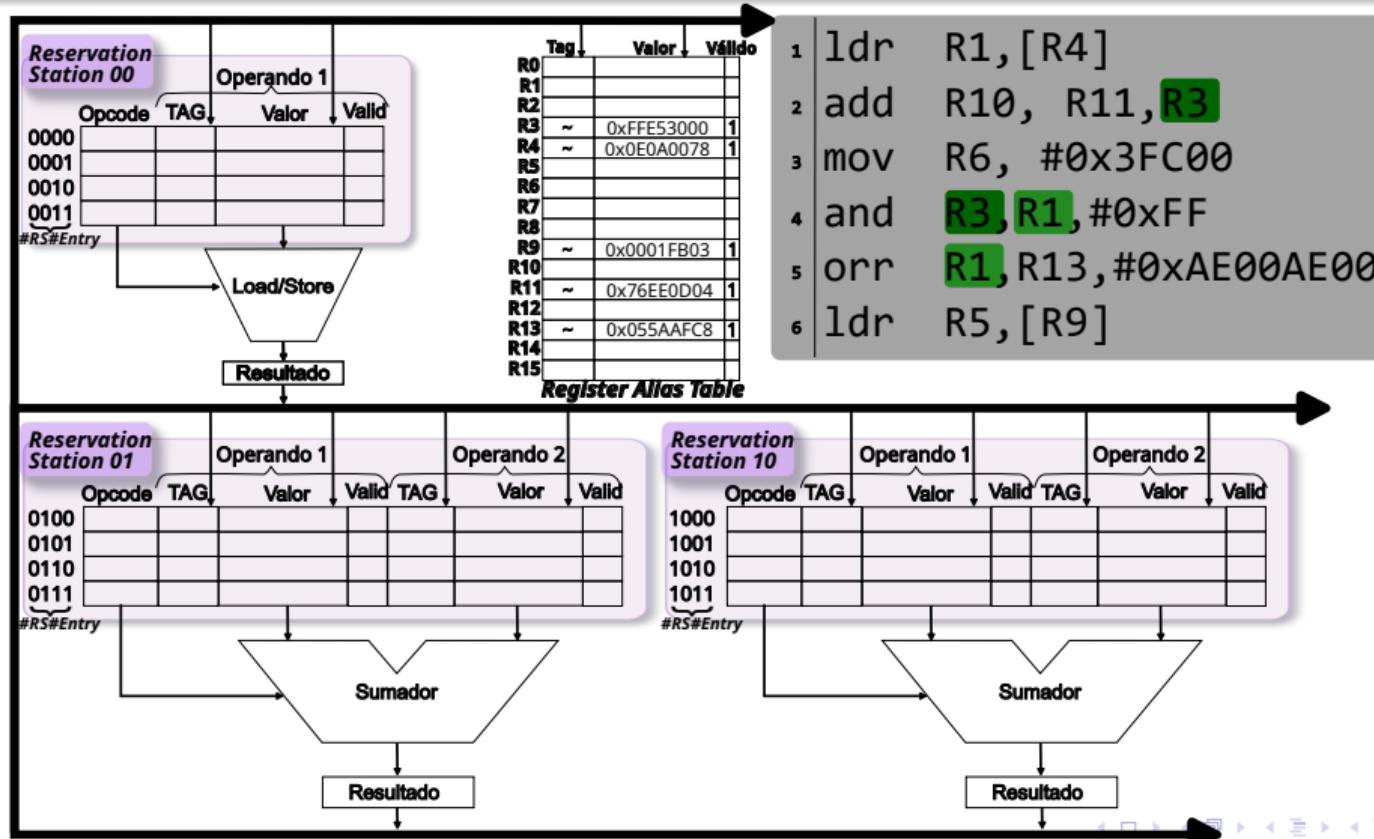
Ejemplo del Algoritmo - Funcionamiento en RAT y RS



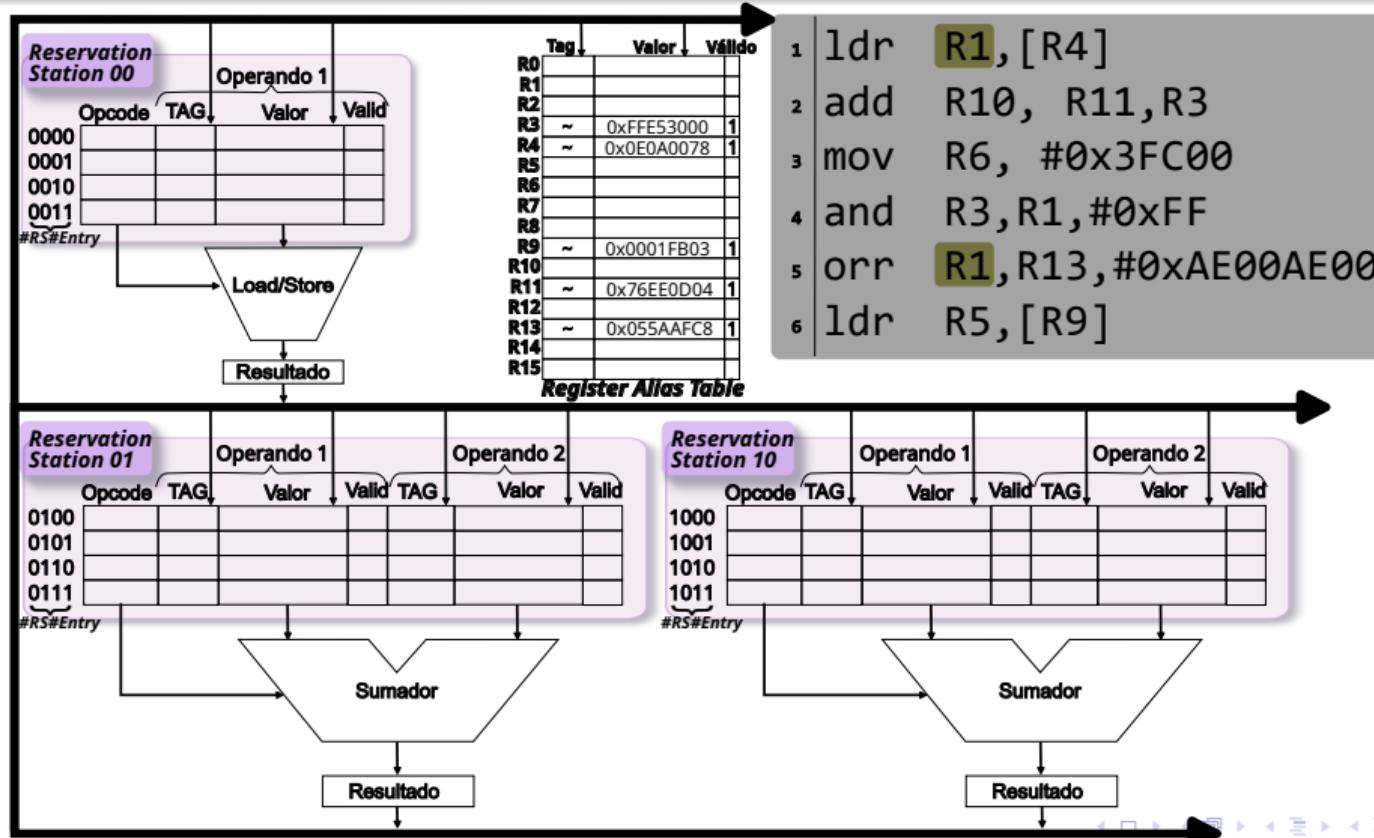
Riesgos RAW. Un viejo conocido



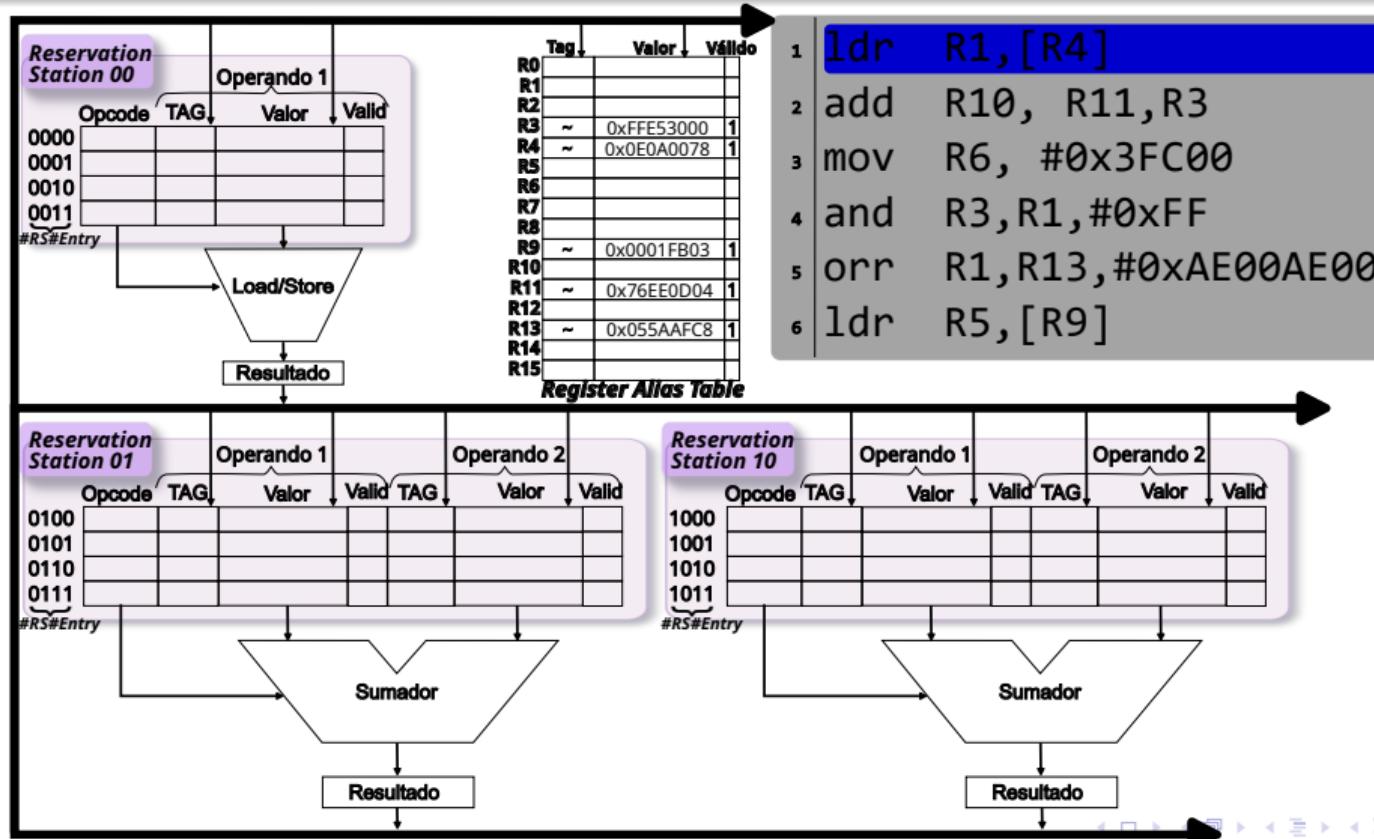
Riesgos WAR. Tomasulo propone su eliminación con este modelo



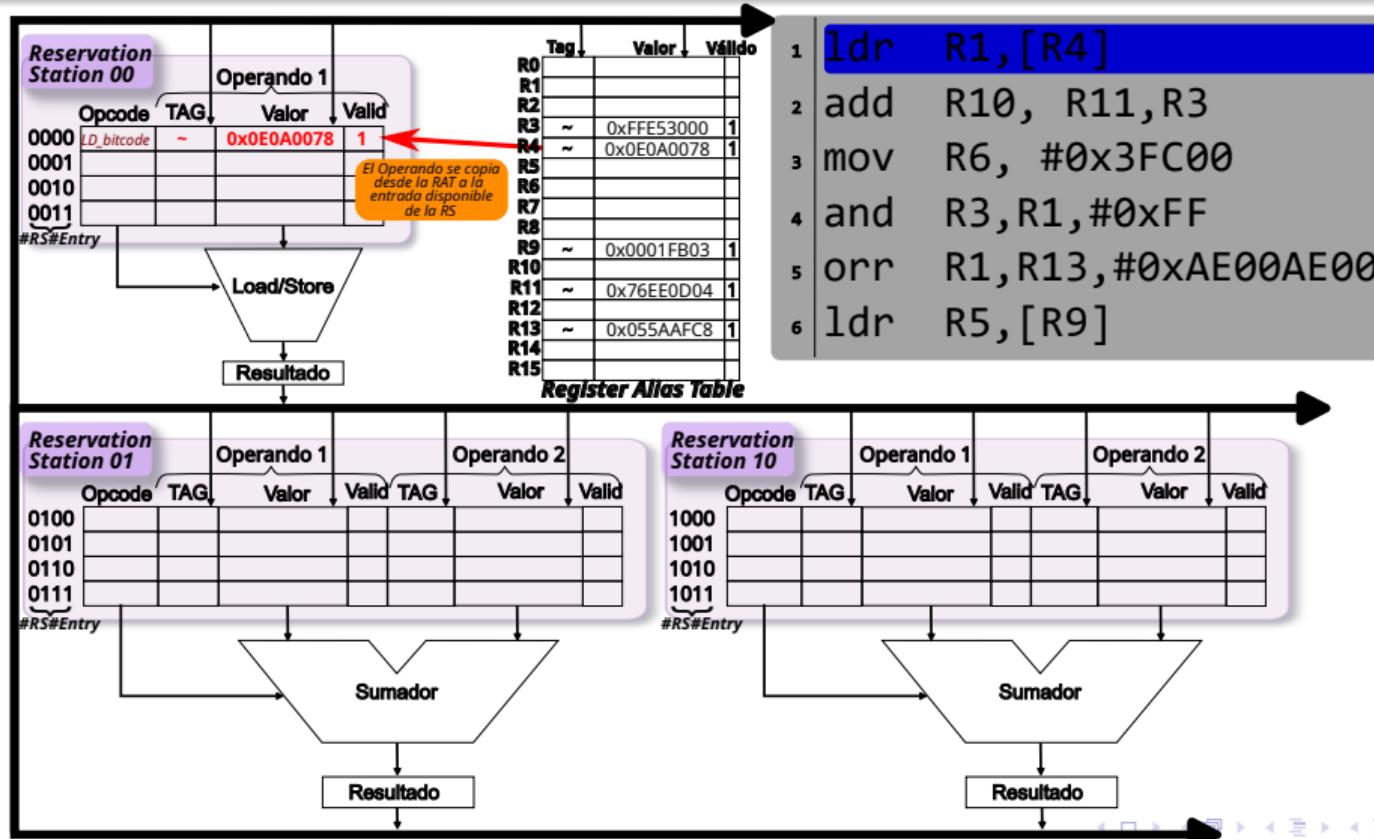
Riesgos WAW. Tomasulo propone su eliminación con este modelo



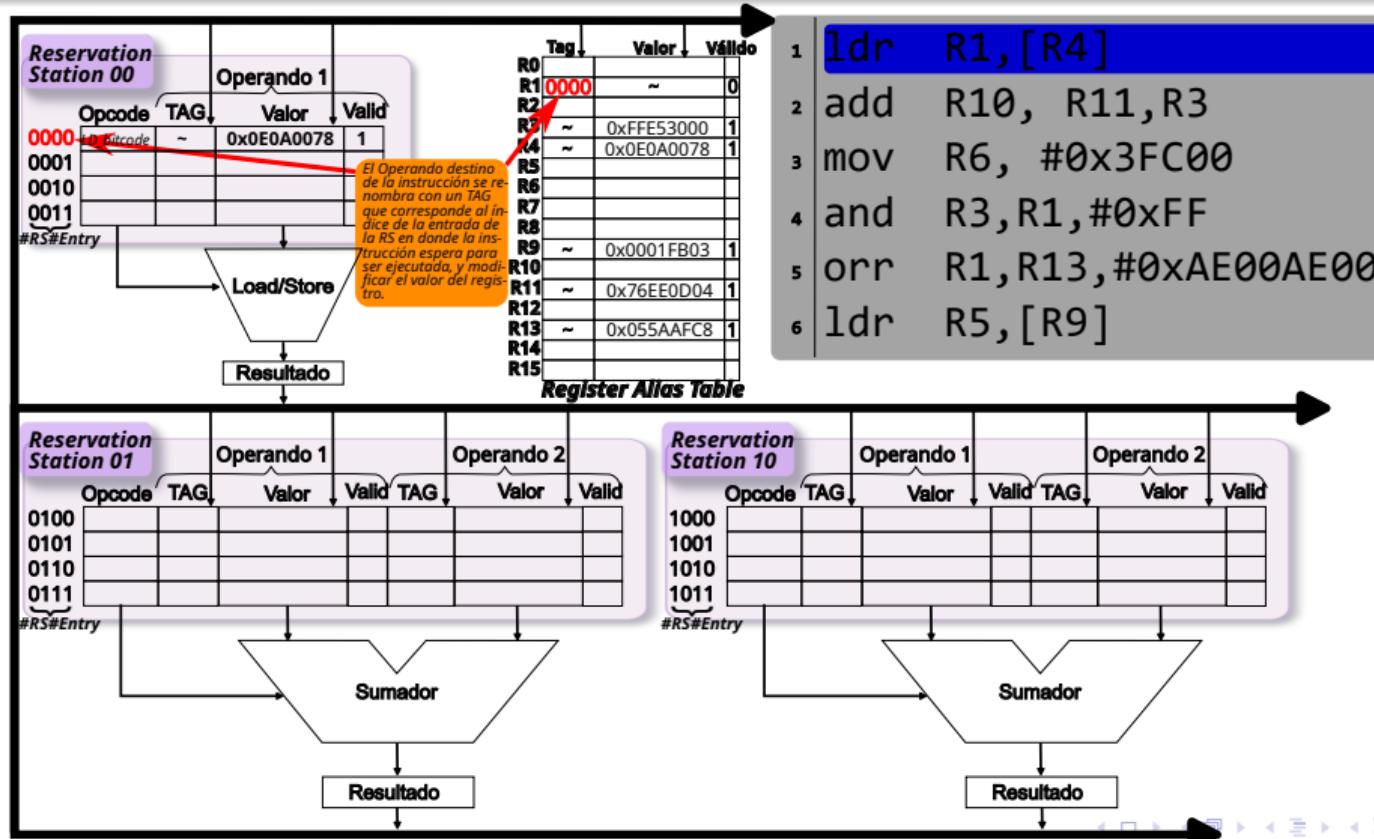
Tratamiento de la primer instrucción



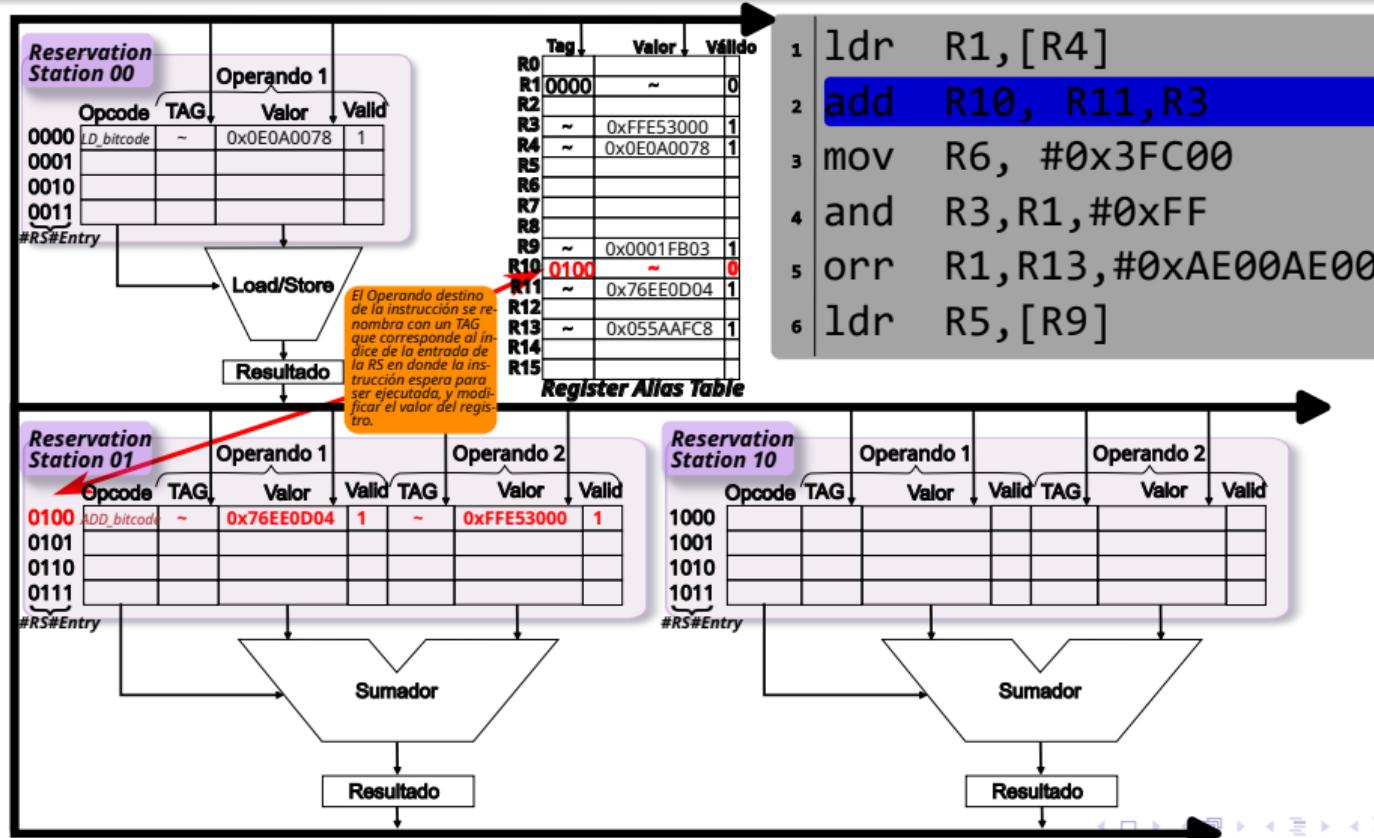
La instrucción llega desde la Unidad de Desodificación



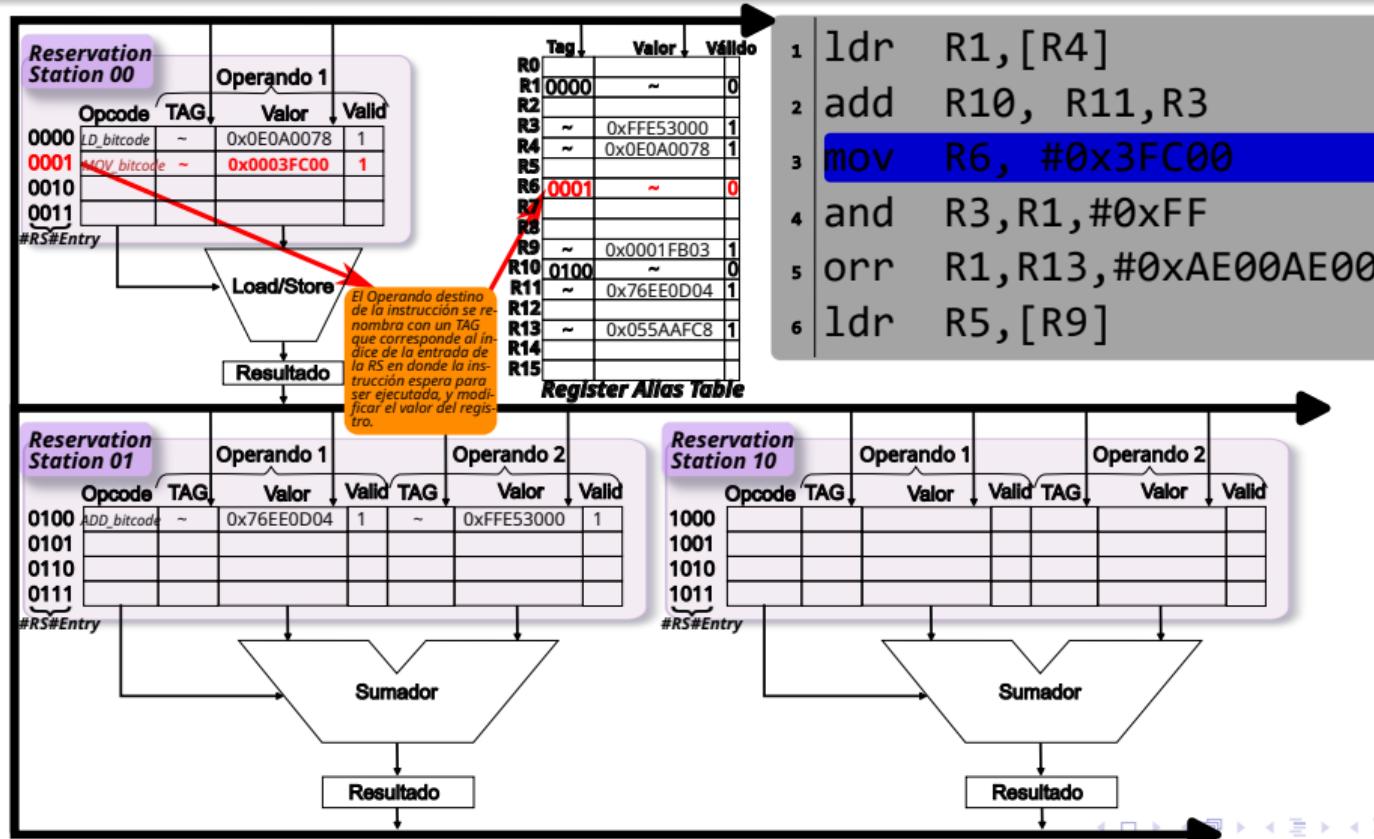
Escribe al mismo tiempo el registro de la RS y el de la RAT



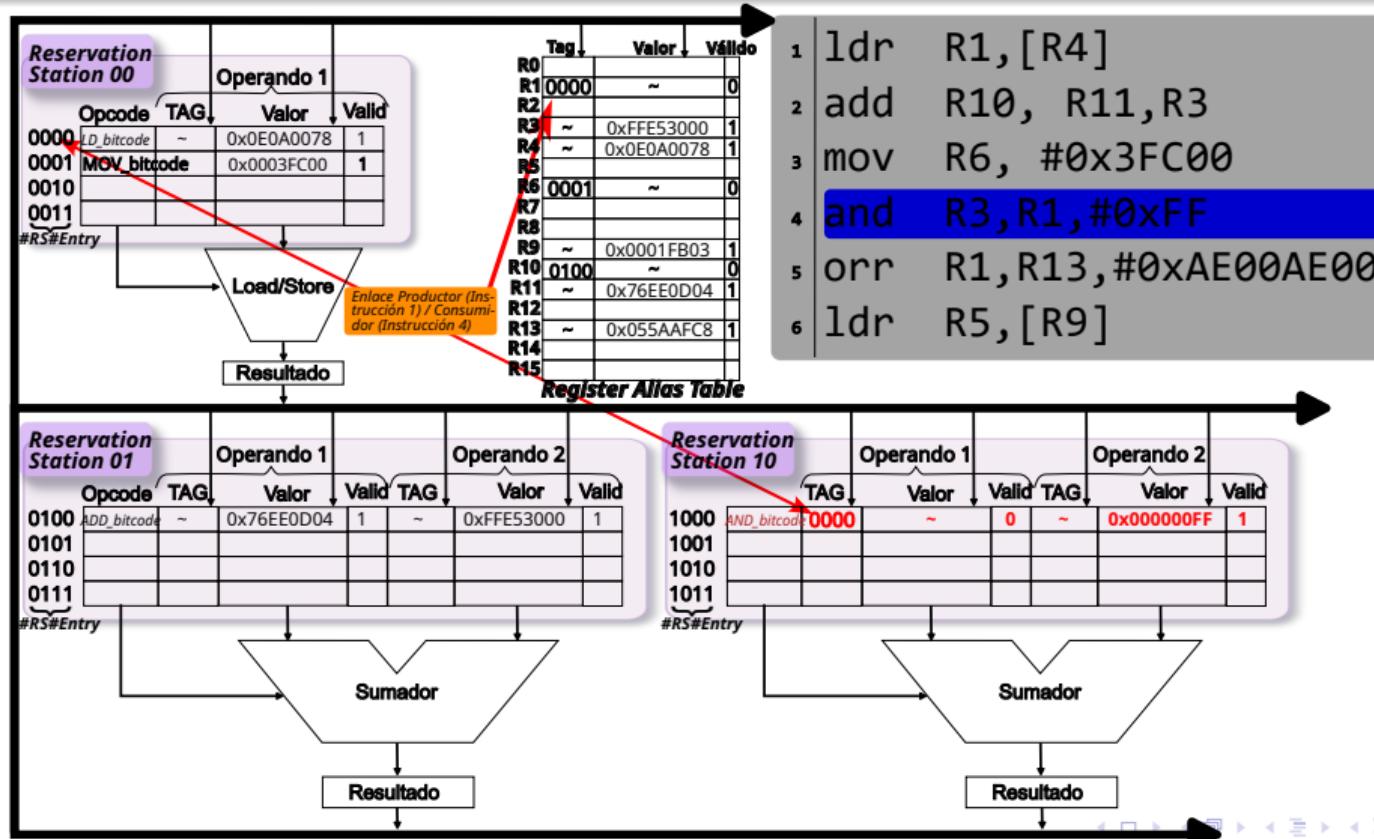
Sperescalar, puede parallelizar



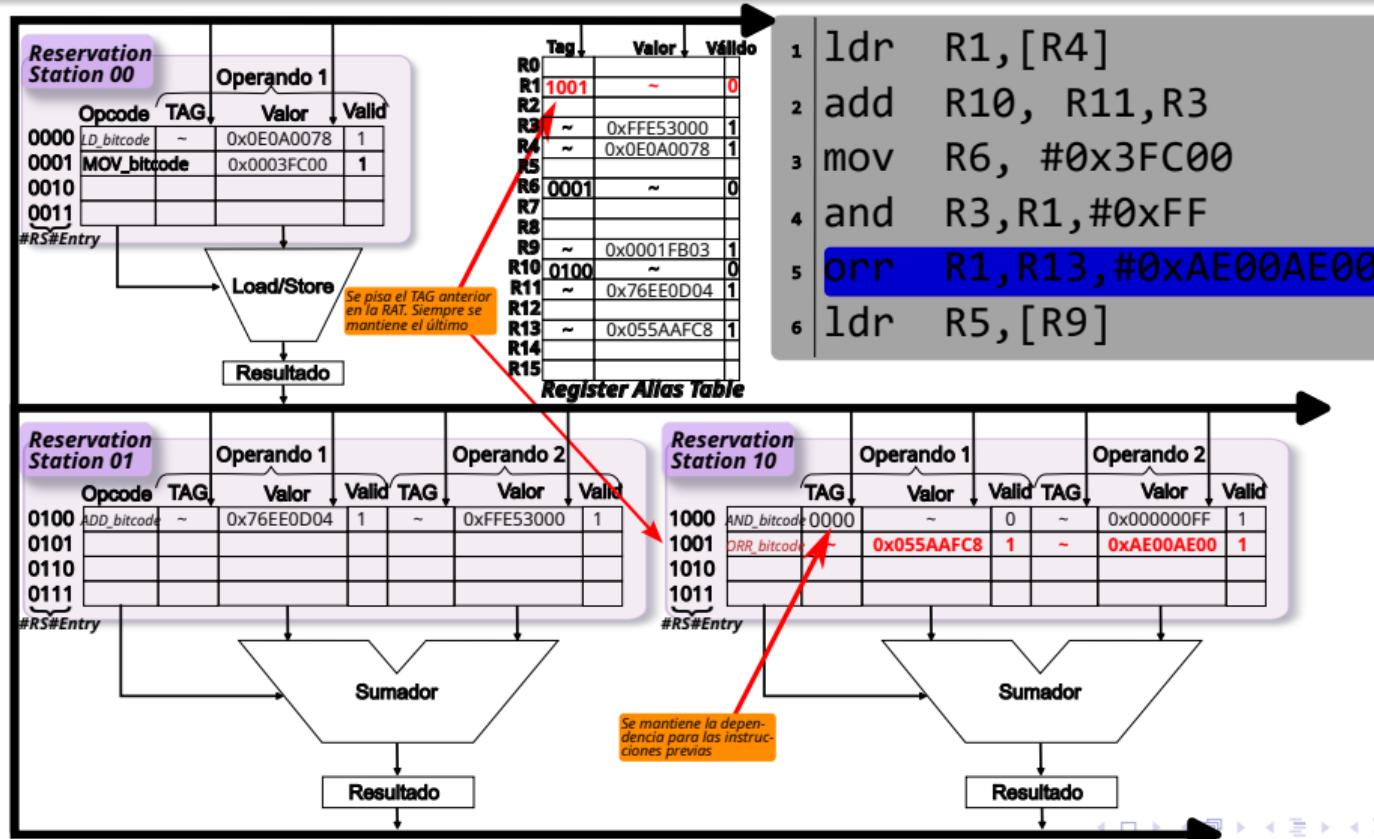
Hasta tres o cuatro instrucciones simultáneamente



Aquí se ve el enlace productor consumidor



Se pisa el Tag en la RAT



Contenido

1 Paralelismo a Nivel de Instrucción

- Pipeline
- Unidades de Predicción de saltos
- Superscalar
- Scheduling Dinámico

2 Ejecución Fuera de Orden

- Conceptos fundamentales
- Prehistoria
- Solución Actual
- Especulación por Hardware**
- Casos prácticos que mezclan todo lo visto

3 Procesadores Multithread

4 Multicore y Manycore

- Estado del Arte

La conspiración de los branches (el regreso)

La conspiración de los branches (el regreso)

- A medida que avanzamos en incrementar el paralelismo a Nivel de Instrucciones, el control de las dependencias del programa se complica proporcionalmente.

La conspiración de los branches (el regreso)

- A medida que avanzamos en incrementar el paralelismo a Nivel de Instrucciones, el control de las dependencias del programa se complica proporcionalmente.
- Los Branch Target Buffers fueron útiles para evitar stalls en las instrucciones de salto, pero a medida que la ejecución fuera de orden se fue sofisticando considerablemente, es necesario repensar su funcionamiento.

La conspiración de los branches (el regreso)

- A medida que avanzamos en incrementar el paralelismo a Nivel de Instrucciones, el control de las dependencias del programa se complica proporcionalmente.
- Los Branch Target Buffers fueron útiles para evitar stalls en las instrucciones de salto, pero a medida que la ejecución fuera de orden se fue sofisticando considerablemente, es necesario repensar su funcionamiento.
- En general ejecución especulativa es la capacidad de una arquitectura para ejecutar instrucciones sin tener aún los resultados de sus dependencias, sino simplemente asumiendo que el resultado será uno determinado, y lo mas importante, tener la capacidad de deshacer la operación si la especulación no fue correcta.

La conspiración de los branches (el regreso)

- A medida que avanzamos en incrementar el paralelismo a Nivel de Instrucciones, el control de las dependencias del programa se complica proporcionalmente.
- Los Branch Target Buffers fueron útiles para evitar stalls en las instrucciones de salto, pero a medida que la ejecución fuera de orden se fue sofisticando considerablemente, es necesario repensar su funcionamiento.
- En general ejecución especulativa es la capacidad de una arquitectura para ejecutar instrucciones sin tener aún los resultados de sus dependencias, sino simplemente asumiendo que el resultado será uno determinado, y lo mas importante, tener la capacidad de deshacer la operación si la especulación no fue correcta.
- Una vez que se tiene el resultado la instrucción deja de ser especulativa y con esta certeza está en condiciones de escribir en el registro destino.

Reordenando los resultados

Reordenando los resultados

- Este tipo de ejecución especulativa hace que se tengan pre almacenados resultados de instrucciones posteriores que luego deben impactarse en sus operandos destino

Reordenando los resultados

- Este tipo de ejecución especulativa hace que se tengan pre almacenados resultados de instrucciones posteriores que luego deben impactarse en sus operandos destino
- El commit de los resultados debe hacerse en orden.

Reordenando los resultados

- Este tipo de ejecución especulativa hace que se tengan pre almacenados resultados de instrucciones posteriores que luego deben impactarse en sus operandos destino
- El commit de los resultados debe hacerse en orden.
- Esta es la función del ReOrder Buffer (ROB).

Reordenando los resultados

- Este tipo de ejecución especulativa hace que se tengan pre almacenados resultados de instrucciones posteriores que luego deben impactarse en sus operandos destino
- El commit de los resultados debe hacerse en orden.
- Esta es la función del ReOrder Buffer (ROB).
- Igual que la Reservation Station de Tomasulo, el ReOrder Buffer agrega registros en los cuales se van almacenando los resultados de las instrucciones ejecutadas en base a especulación por hardware.

Reordenando los resultados

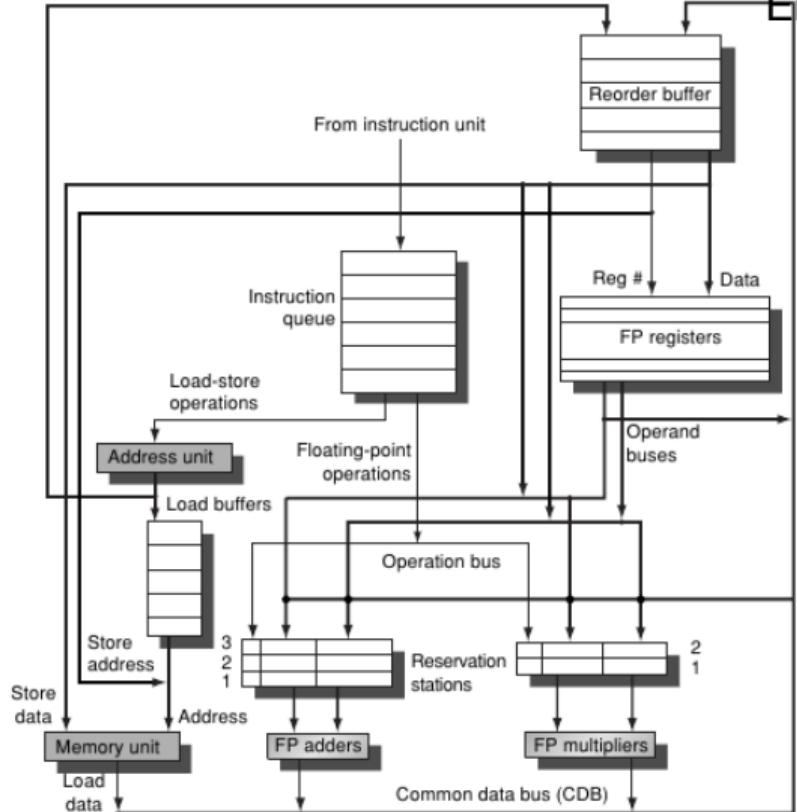
- Este tipo de ejecución especulativa hace que se tengan pre almacenados resultados de instrucciones posteriores que luego deben impactarse en sus operandos destino
- El commit de los resultados debe hacerse en orden.
- Esta es la función del ReOrder Buffer (ROB).
- Igual que la Reservation Station de Tomasulo, el ReOrder Buffer agrega registros en los cuales se van almacenando los resultados de las instrucciones ejecutadas en base a especulación por hardware.
- El resultado permanecerá en el ROB desde que se obtenga el resultado hasta que se copie (commit) en el operando destino.

Reordenando los resultados

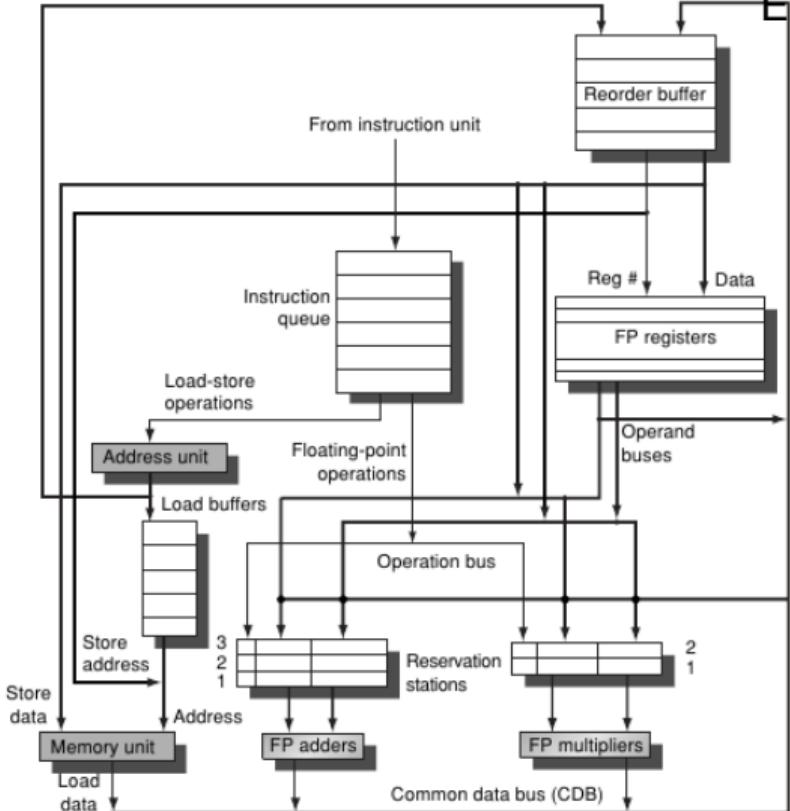
- Este tipo de ejecución especulativa hace que se tengan pre almacenados resultados de instrucciones posteriores que luego deben impactarse en sus operandos destino
- El commit de los resultados debe hacerse en orden.
- Esta es la función del ReOrder Buffer (ROB).
- Igual que la Reservation Station de Tomasulo, el ReOrder Buffer agrega registros en los cuales se van almacenando los resultados de las instrucciones ejecutadas en base a especulación por hardware.
- El resultado permanecerá en el ROB desde que se obtenga el resultado hasta que se copie (commit) en el operando destino.
- La diferencia con el algoritmo de Tomasulo, es que éste ponía el resultado en registro directamente, y a partir de entonces el resto de las instrucciones lo tenía disponible. El ROB no lo escribe, sino hasta el commit. Y durante ese lapso que al especular se puede extender, el registro de la arquitectura no tiene el valor.

ReOrder Buffer (ROB)

Entradas del ROB.



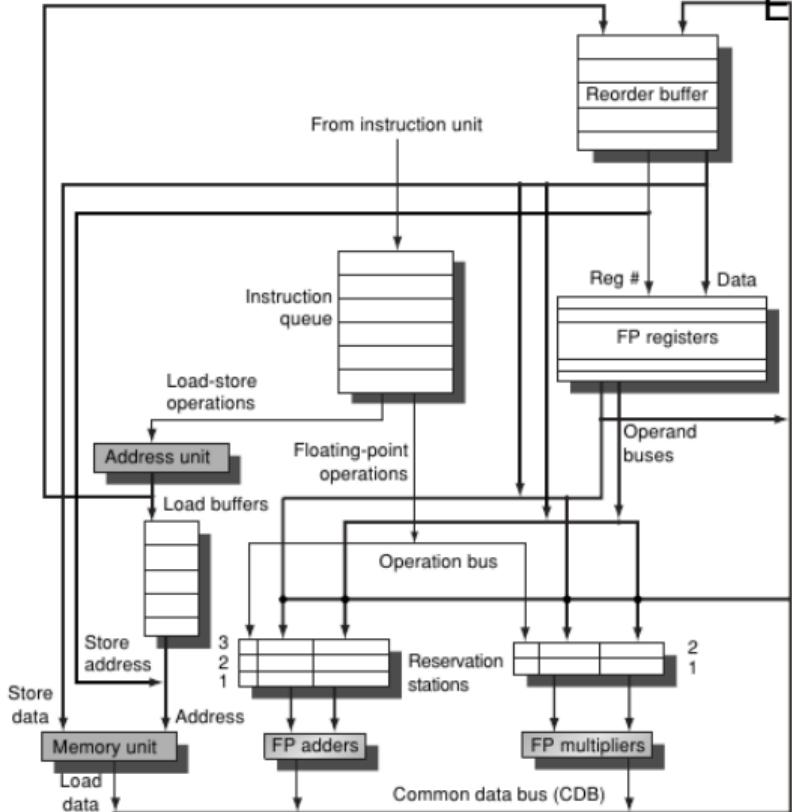
ReOrder Buffer (ROB)



Entradas del ROB.

- **Tipo de Instrucción** Indica si es un branch sin resultado destino, un memory store (requiere calcular la dirección de memoria), o una instrucción cualquiera de la ALU cuyo resultado irá a por lo general a un registro arquitectural.

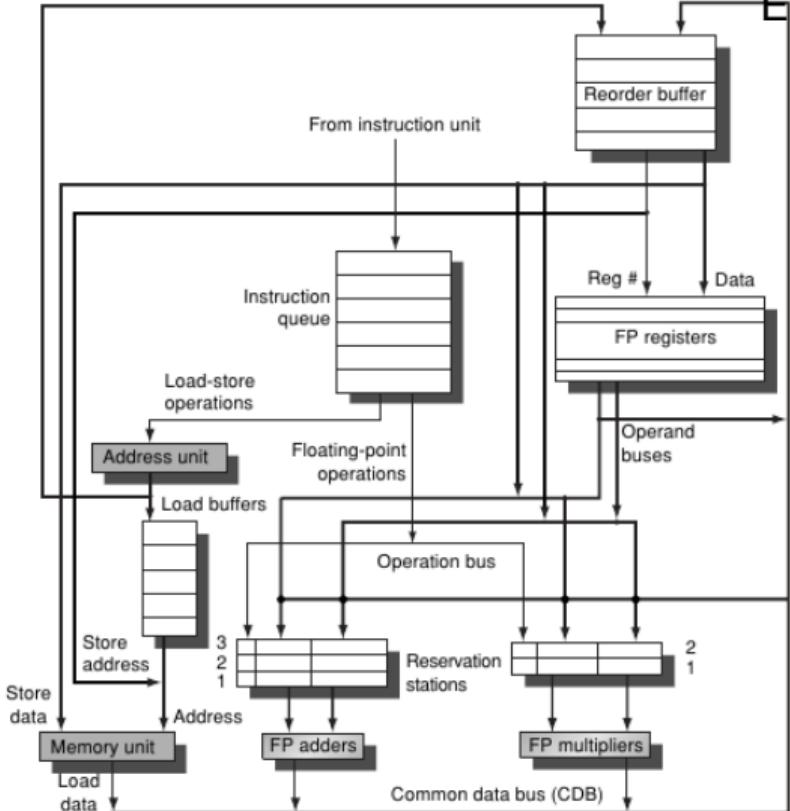
ReOrder Buffer (ROB)



Entradas del ROB.

- **Tipo de Instrucción** Indica si es un branch sin resultado destino, un memory store (requiere calcular la dirección de memoria), o una instrucción cualquiera de la ALU cuyo resultado irá a por lo general a un registro arquitectural.
- **Destino** Es el número de registro arquitectural en que se guardará el resultado (Memory Loads u otra operación de ALU cualquiera), o la dirección de memoria de un Memory Store.

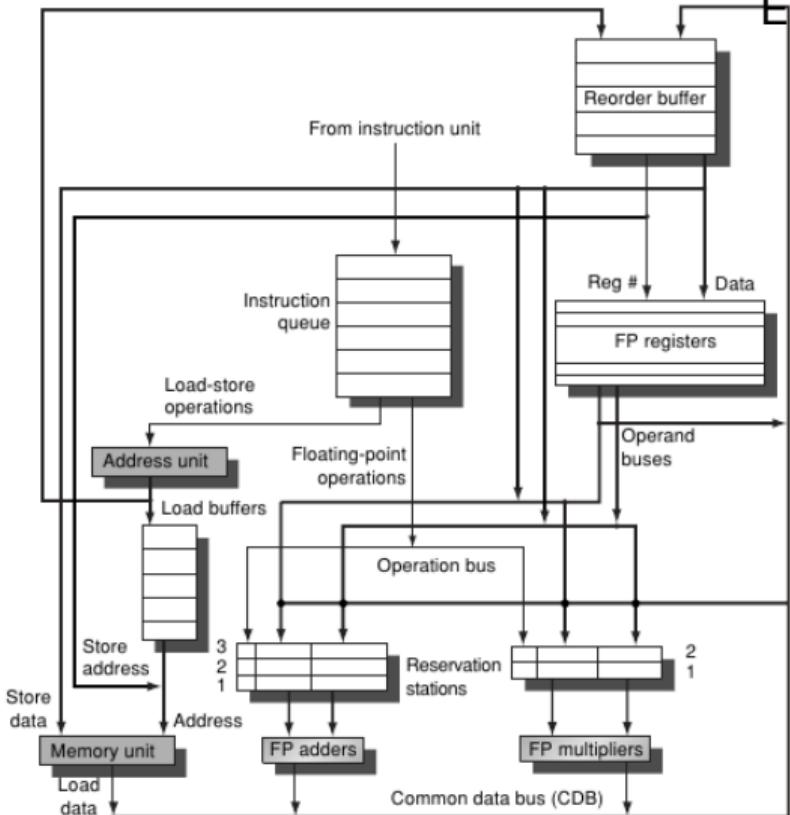
ReOrder Buffer (ROB)



Entradas del ROB.

- **Tipo de Instrucción** Indica si es un branch sin resultado destino, un memory store (requiere calcular la dirección de memoria), o una instrucción cualquiera de la ALU cuyo resultado irá a por lo general a un registro arquitectural.
- **Destino** Es el número de registro arquitectural en que se guardará el resultado (Memory Loads u otra operación de ALU cualquiera), o la dirección de memoria de un Memory Store.
- **Valor** Resultado de la operación.

ReOrder Buffer (ROB)



Entradas del ROB.

- **Tipo de Instrucción** Indica si es un branch sin resultado destino, un memory store (requiere calcular la dirección de memoria), o una instrucción cualquiera de la ALU cuyo resultado irá a por lo general a un registro arquitectural.
- **Destino** Es el número de registro arquitectural en que se guardará el resultado (Memory Loads u otra operación de ALU cualquiera), o la dirección de memoria de un Memory Store.
- **Valor** Resultado de la operación.
- **Ready** Resultado disponible.

Implementación

Para implementar especulación por hardware se requieren de los siguientes bloques en el pipeline:

Envío

- La etapa de **Envío**, que se encarga de obtener instrucciones desde una cola de prebúsqueda, tratando de ubicarlas en una Reservation Station vacía, y un slot en el ROB. La instrucción se envía junto con los datos correspondientes a sus operandos si estos están disponibles en sus registros.

Implementación

Para implementar especulación por hardware se requieren de los siguientes bloques en el pipeline:

Envío

- La etapa de **Envío**, que se encarga de obtener instrucciones desde una cola de prebúsqueda, tratando de ubicarlas en una Reservation Station vacía, y un slot en el ROB. La instrucción se envía junto con los datos correspondientes a sus operandos si estos están disponibles en sus registros.
- Si no hay Reservation Station disponible, o no hay un slot disponible en el ROB, se tiene un Obstáculo de tipo Estructural, y la instrucción bloquea (stall).

Implementación

Para implementar especulación por hardware se requieren de los siguientes bloques en el pipeline:

Envío

- La etapa de **Envío**, que se encarga de obtener instrucciones desde una cola de prebúsqueda, tratando de ubicarlas en una Reservation Station vacía, y un slot en el ROB. La instrucción se envía junto con los datos correspondientes a sus operandos si estos están disponibles en sus registros.
- Si no hay Reservation Station disponible, o no hay un slot disponible en el ROB, se tiene un Obstáculo de tipo Estructural, y la instrucción bloquea (stall).
- Se actualizan las estructuras internas con la información pertinente.

Implementación

Ejecución

- Si faltan operandos monitorea por el Bus de datos interno del procesador hasta que éstos estén disponibles.

Implementación

Ejecución

- Si faltan operandos monitorea por el Bus de datos interno del procesador hasta que éstos estén disponibles.
- Chequea riesgos RAW.

Implementación

Ejecución

- Si faltan operandos monitorea por el Bus de datos interno del procesador hasta que éstos estén disponibles.
- Chequea riesgos RAW.
- Ejecuta las operaciones en las que tiene los operandos en la RS.

Implementación

Ejecución

- Si faltan operandos monitorea por el Bus de datos interno del procesador hasta que éstos estén disponibles.
- Chequea riesgos RAW.
- Ejecuta las operaciones en las que tiene los operandos en la RS.
- Hay instrucciones que pueden demorar varios ciclos de clock

Implementación

Ejecución

- Si faltan operandos monitorea por el Bus de datos interno del procesador hasta que éstos estén disponibles.
- Chequea riesgos RAW.
- Ejecuta las operaciones en las que tiene los operandos en la RS.
- Hay instrucciones que pueden demorar varios ciclos de clock

Write Result

Implementación

Ejecución

- Si faltan operandos monitorea por el Bus de datos interno del procesador hasta que éstos estén disponibles.
- Chequea riesgos RAW.
- Ejecuta las operaciones en las que tiene los operandos en la RS.
- Hay instrucciones que pueden demorar varios ciclos de clock

Write Result

- Escribe el resultado en el slot correspondiente del ROB, una vez disponible.

Implementación

Ejecución

- Si faltan operandos monitorea por el Bus de datos interno del procesador hasta que éstos estén disponibles.
- Chequea riesgos RAW.
- Ejecuta las operaciones en las que tiene los operandos en la RS.
- Hay instrucciones que pueden demorar varios ciclos de clock

Write Result

- Escribe el resultado en el slot correspondiente del ROB, una vez disponible.
- Si alguna RS espera el resultado, también lo escribe en el registro correspondiente.

Implementación

Ejecución

- Si faltan operandos monitorea por el Bus de datos interno del procesador hasta que éstos estén disponibles.
- Chequea riesgos RAW.
- Ejecuta las operaciones en las que tiene los operandos en la RS.
- Hay instrucciones que pueden demorar varios ciclos de clock

Write Result

- Escribe el resultado en el slot correspondiente del ROB, una vez disponible.
- Si alguna RS espera el resultado, también lo escribe en el registro correspondiente.
- En el caso de un memory store escribe el resultado en el campo valor del registro correspondiente del ROB

Implementación

Commit

- Es la fase final de completamiento de la instrucción. A partir de aqui el resultado solo estará en el operando destino.

Implementación

Commit

- Es la fase final de completamiento de la instrucción. A partir de aqui el resultado solo estará en el operando destino.
- Si se trata de un branch con predicción, incorrecta, flushea la entrada del ROB y recomienza a partir de la dirección sucesora correcta del branch.

Implementación

Commit

- Es la fase final de completamiento de la instrucción. A partir de aqui el resultado solo estará en el operando destino.
- Si se trata de un branch con predicción, incorrecta, flushea la entrada del ROB y recomienza a partir de la dirección sucesora correcta del branch.
- Para cualquier instrucción que finaliza correctamente (excepto memory stores) y para los branches con predicción correcta, se copia el valor del ROB en el operando destino.

Implementación

Commit

- Es la fase final de completamiento de la instrucción. A partir de aqui el resultado solo estará en el operando destino.
- Si se trata de un branch con predicción, incorrecta, flushea la entrada del ROB y recomienza a partir de la dirección sucesora correcta del branch.
- Para cualquier instrucción que finaliza correctamente (excepto memory stores) y para los branches con predicción correcta, se copia el valor del ROB en el operando destino.
- Si la operación es un memory store es similar solo que se escribe en una dirección de memoria.

Contenido

1 Paralelismo a Nivel de Instrucción

- Pipeline
- Unidades de Predicción de saltos
- Superscalar
- Scheduling Dinámico

2 Ejecución Fuera de Orden

- Conceptos fundamentales
- Prehistoria
- Solución Actual
- Especulación por Hardware
- Casos prácticos que mezclan todo lo visto

3 Procesadores Multithread

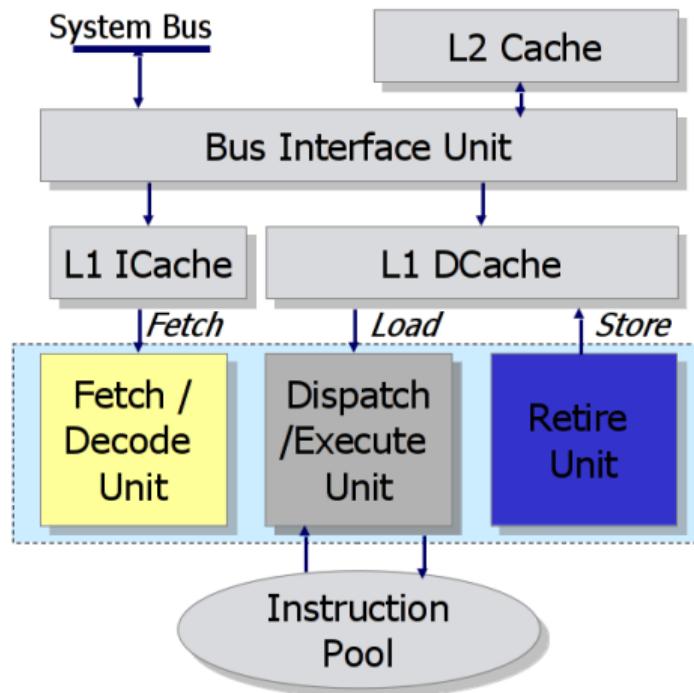
4 Multicore y Manycore

- Estado del Arte

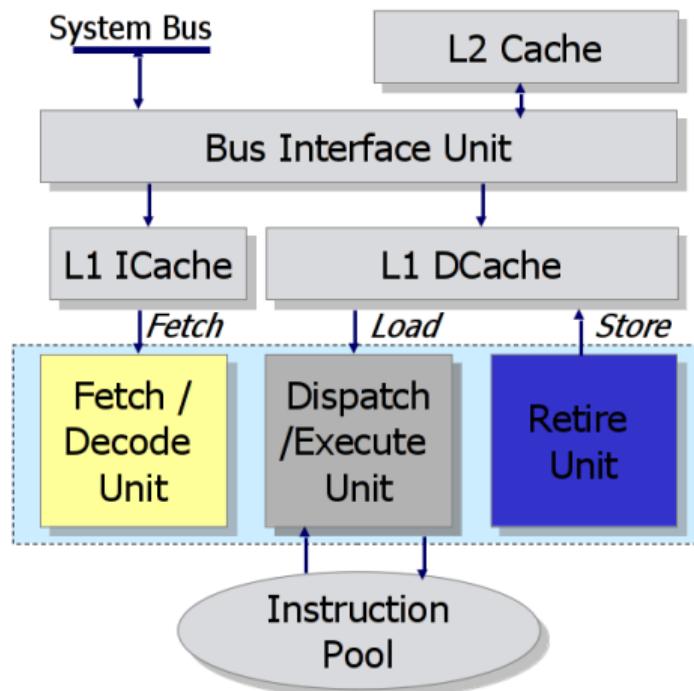
Intel - Microarquitectura P6

- En 1993 Intel presenta el procesador Pentium Pro que incluye una serie de innovaciones.
- Con este procesador se inaugura la Microarquitectura que se llamó P6
- Los sucesivos procesadores que mejoran este modelo dentro de P6 son:
 - Pentium II, Pentium II Xeon,
 - Celeron
 - Pentium III, Pentium III Xeon

Intel - Three Cores Engine

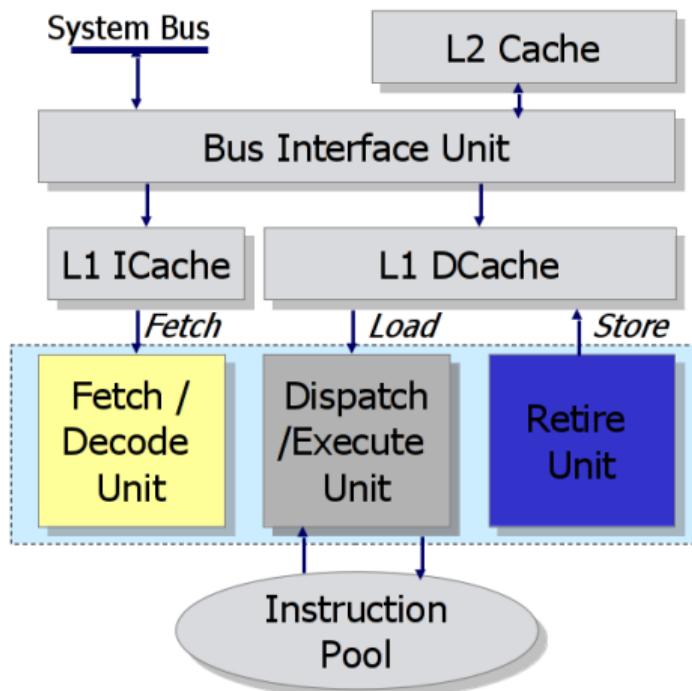


Intel - Three Cores Engine



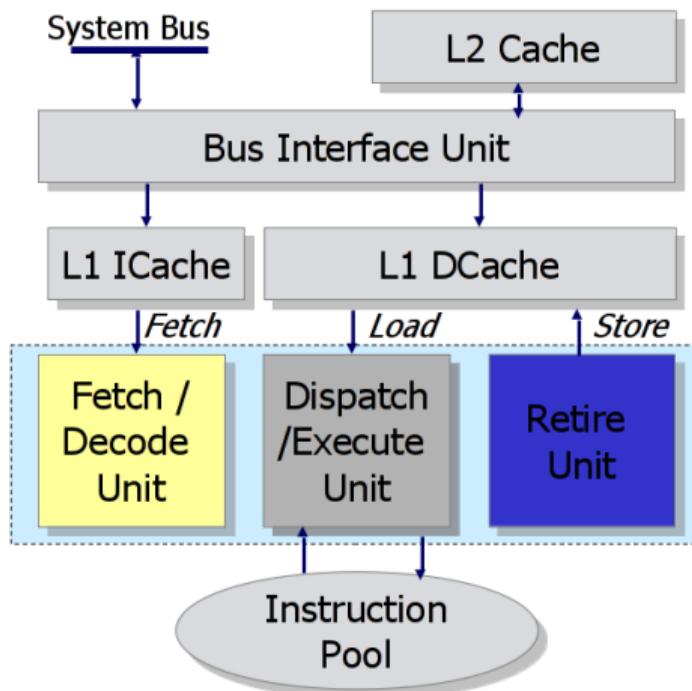
- Emplea Dynamic Instruction Scheduling

Intel - Three Cores Engine



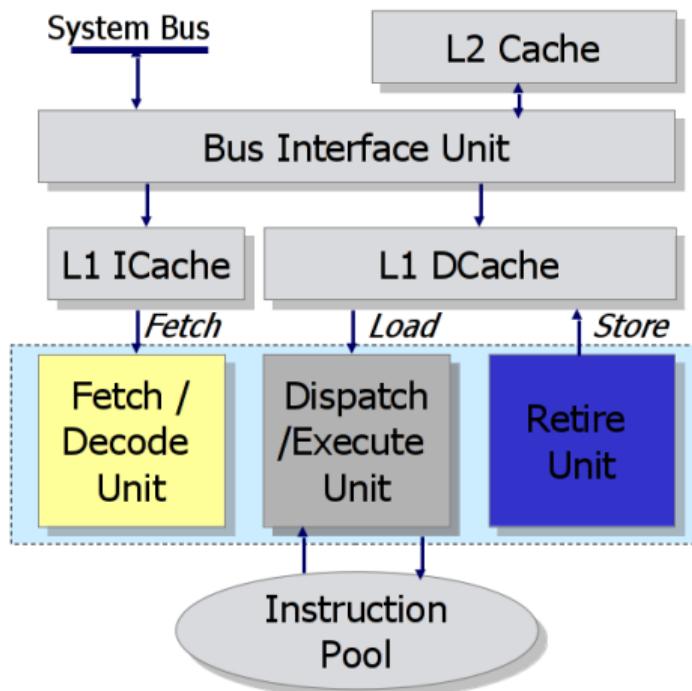
- Emplea Dynamic Instruction Scheduling
- Basado en una ventana de instrucciones y no en un pipeline superescalar.

Intel - Three Cores Engine



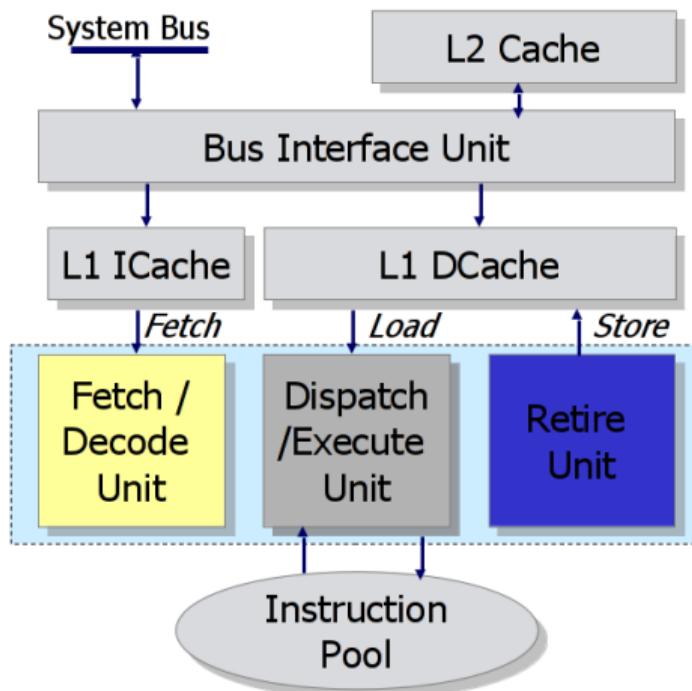
- Emplea Dynamic Instruction Scheduling
- Basado en una ventana de instrucciones y no en un pipeline superescalar.
- Las instrucciones se traducen en micro operaciones básicas (uops)

Intel - Three Cores Engine



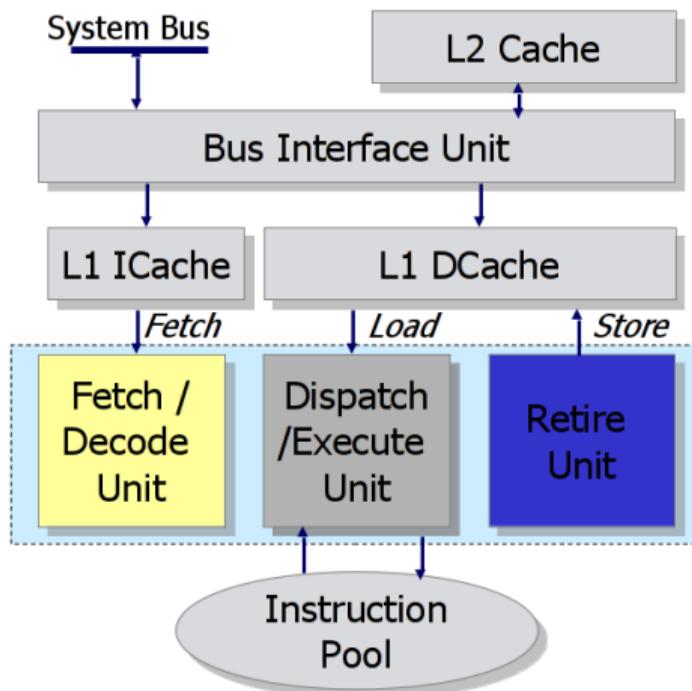
- Emplea Dynamic Instruction Scheduling
- Basado en una ventana de instrucciones y no en un pipeline superescalar.
- Las instrucciones se traducen en micro operaciones básicas (uops)
- Las uops ingresan a un pool (ventana) en donde se mantienen para su ejecución

Intel - Three Cores Engine



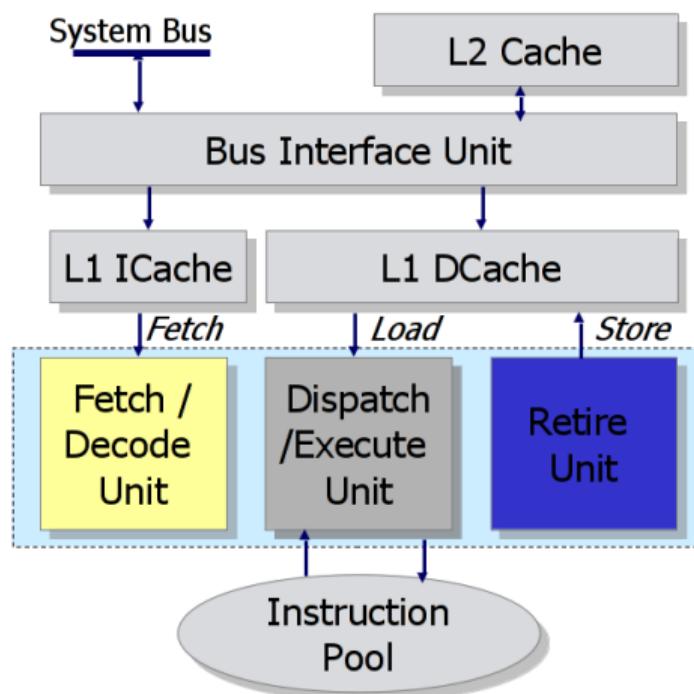
- Emplea Dynamic Instruction Scheduling
- Basado en una ventana de instrucciones y no en un pipeline superescalar.
- Las instrucciones se traducen en micro operaciones básicas (uops)
- Las uops ingresan a un pool (ventana) en donde se mantienen para su ejecución
- Los tres cores tienen plena visibilidad de esa ventana de ejecución

Intel - Three Cores Engine



- Emplea Dynamic Instruction Scheduling
- Basado en una ventana de instrucciones y no en un pipeline superescalar.
- Las instrucciones se traducen en micro operaciones básicas (uops)
- Las uops ingresan a un pool (ventana) en donde se mantienen para su ejecución
- Los tres cores tienen plena visibilidad de esa ventana de ejecución
- Implementa ejecución fuera de orden y ejecución especulativa.

Intel - Three Cores Engine



- Emplea Dynamic Instruction Scheduling
- Basado en una ventana de instrucciones y no en un pipeline superescalar.
- Las instrucciones se traducen en micro operaciones básicas (uops)
- Las uops ingresan a un pool (ventana) en donde se mantienen para su ejecución
- Los tres cores tienen plena visibilidad de esa ventana de ejecución
- Implementa ejecución fuera de orden y ejecución especulativa.
- La unidad de despacho y ejecución mantiene el modelo superescalar y lo combina con un súper pipeline de 20 etapas

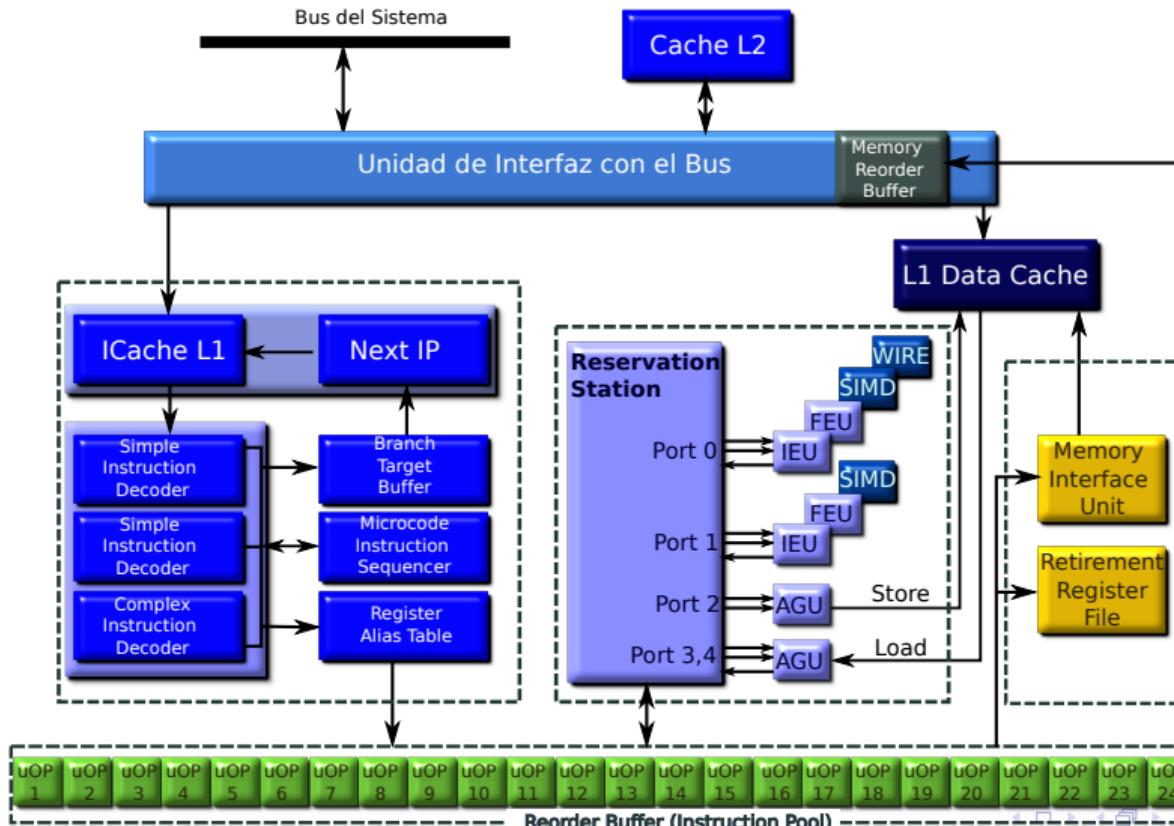
Ejecución fuera de orden

Se trabaja sobre una ventana de instrucciones

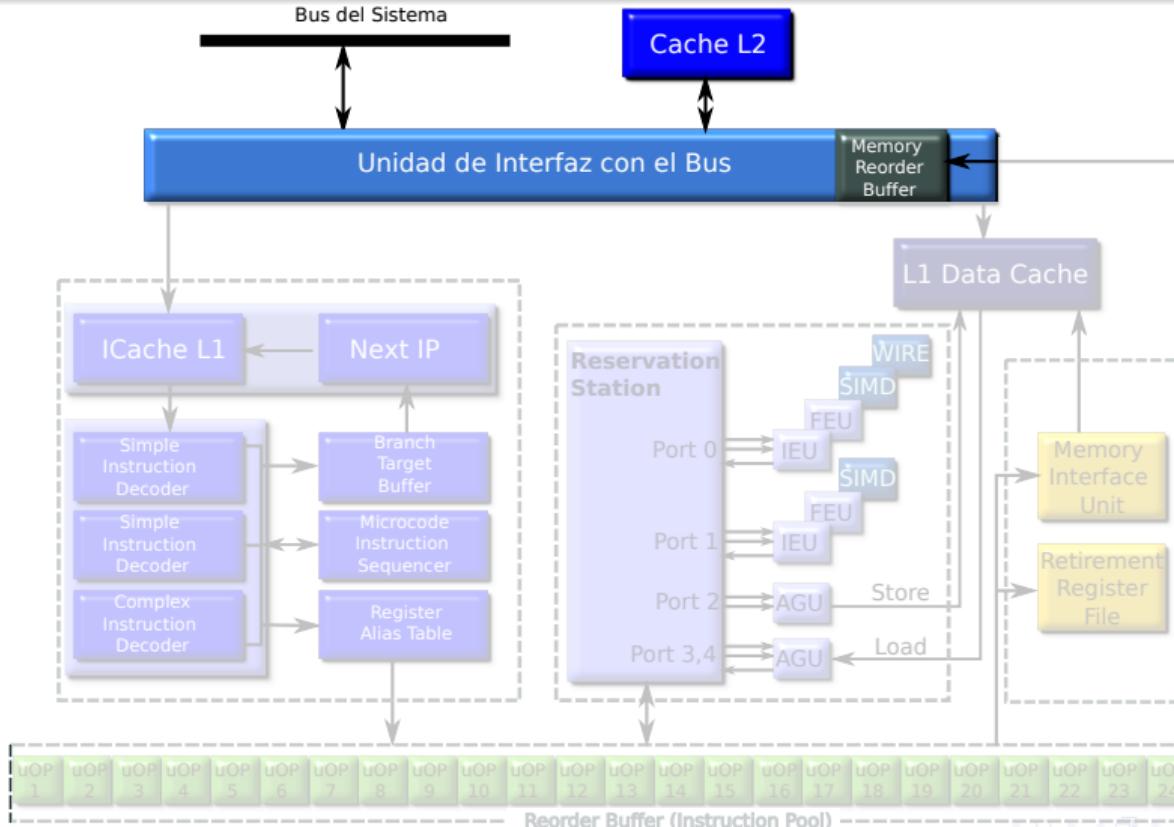
Si se observan entre 20 y 30 instrucciones los compiladores generan en promedio 5 saltos dentro de esa ventana. Estos deben ser correctamente predictos.

Como se ejecutan fuera de orden, se mantienen los resultados en el campo adecuado de las uOps, que se refieren a ubicaciones de la Reservation station

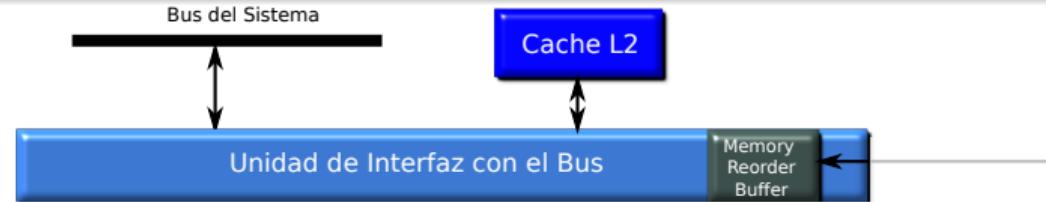
Three Cores Engine en detalle



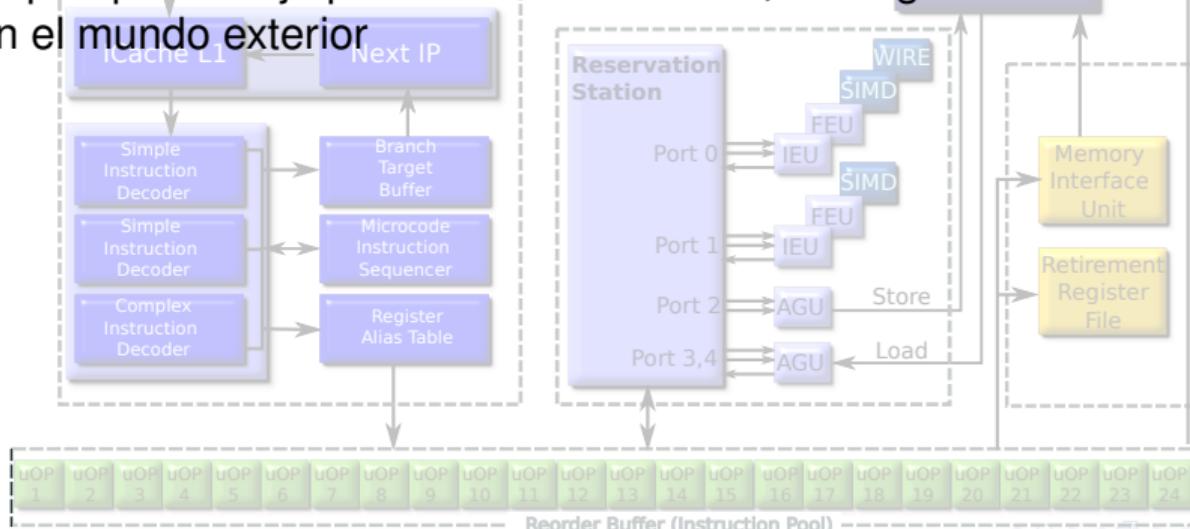
Unidad de Interfaz con el Bus



Unidad de Interfaz con el Bus



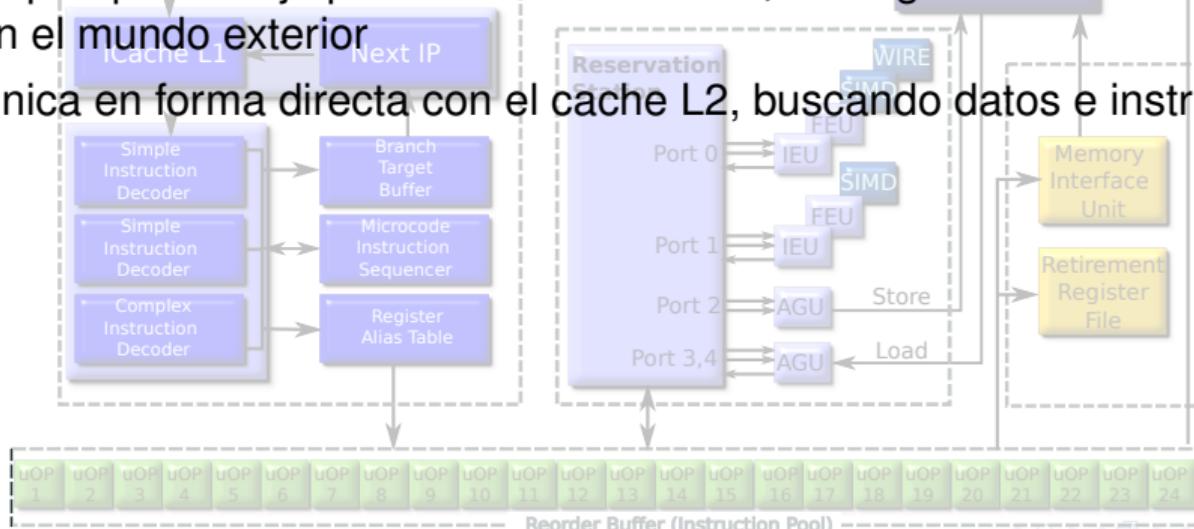
- Es un bloque que trabaja parcialmente en orden, encargado de conectar los tres cores con el mundo exterior



Unidad de Interfaz con el Bus

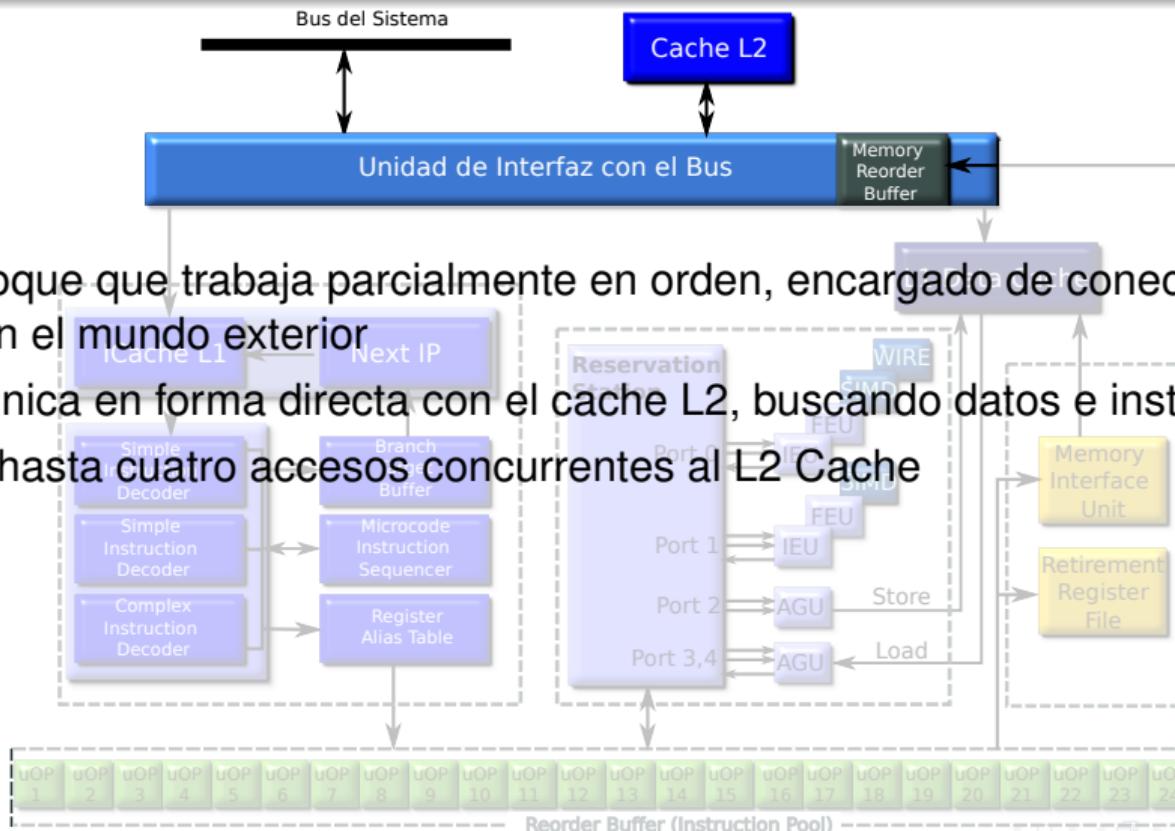


- Es un bloque que trabaja parcialmente en orden, encargado de conectar los tres cores con el mundo exterior
- Se comunica en forma directa con el cache L2, buscando datos e instrucciones.

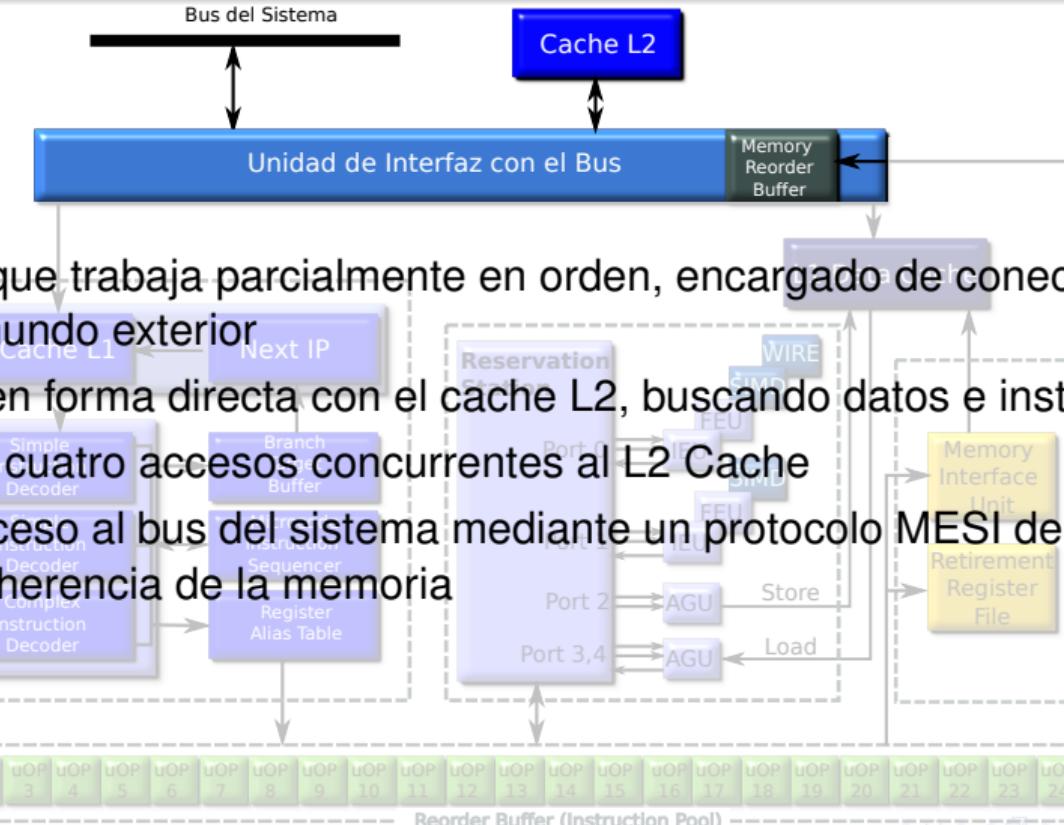


Unidad de Interfaz con el Bus

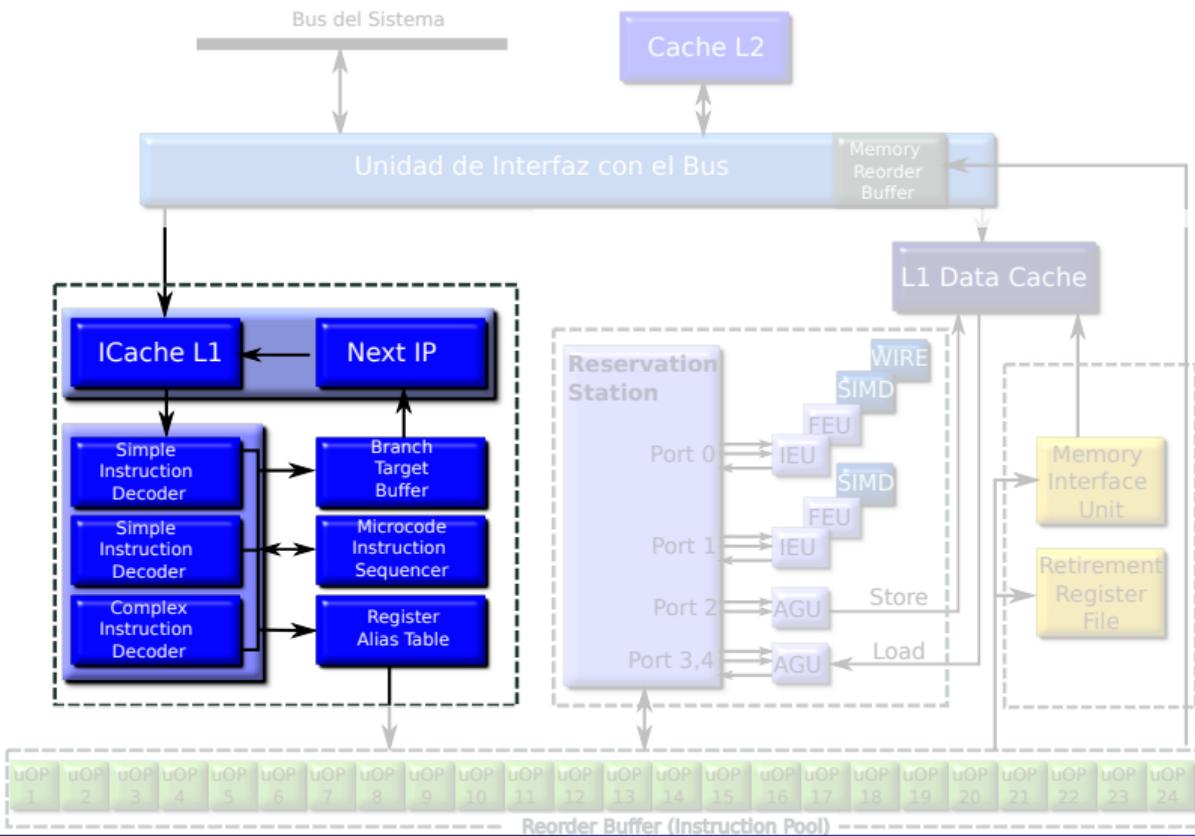
- Es un bloque que trabaja parcialmente en orden, encargado de conectar los tres cores con el mundo exterior.
- Se comunica en forma directa con el cache L2, buscando datos e instrucciones.
- Soporta hasta cuatro accesos concurrentes al L2 Cache



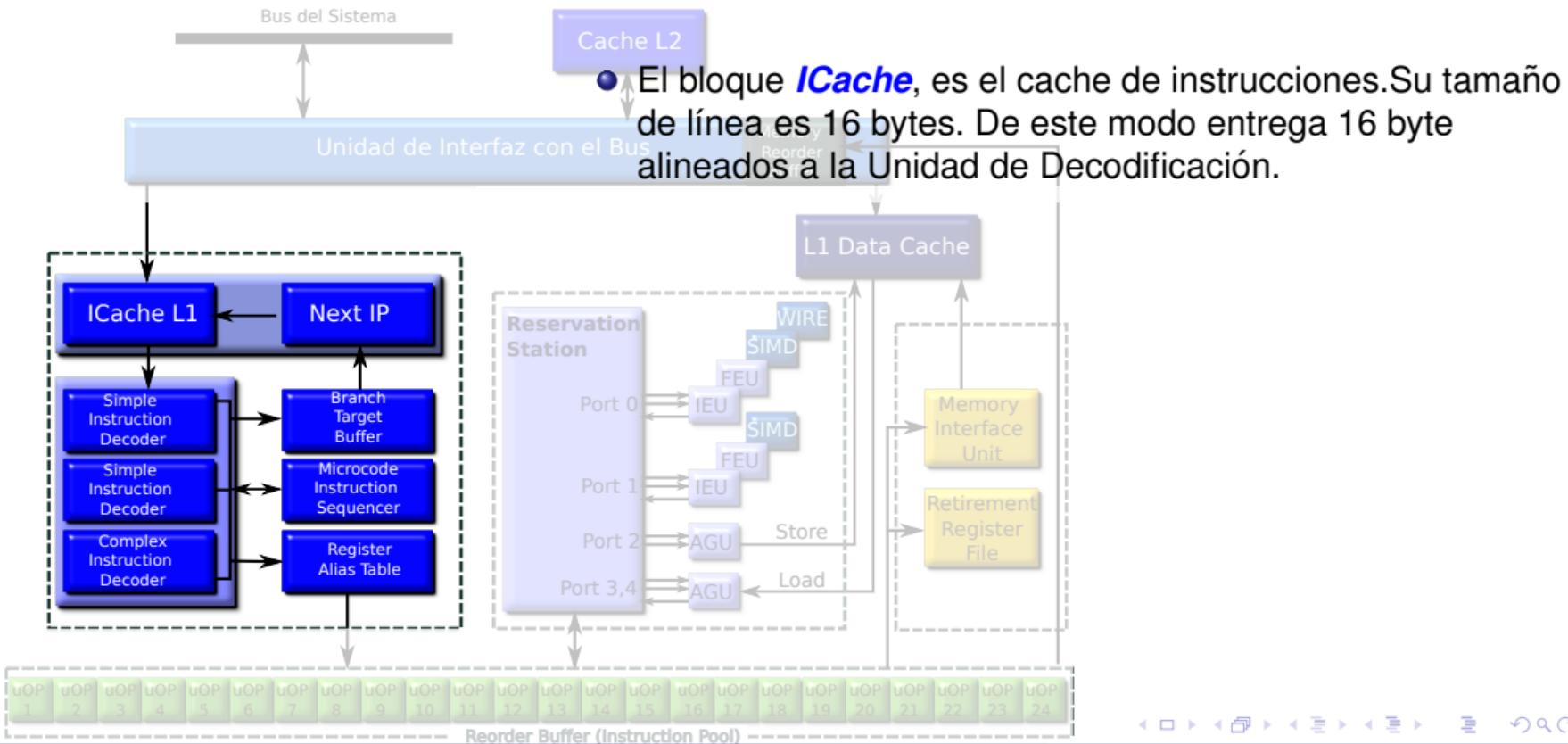
Unidad de Interfaz con el Bus



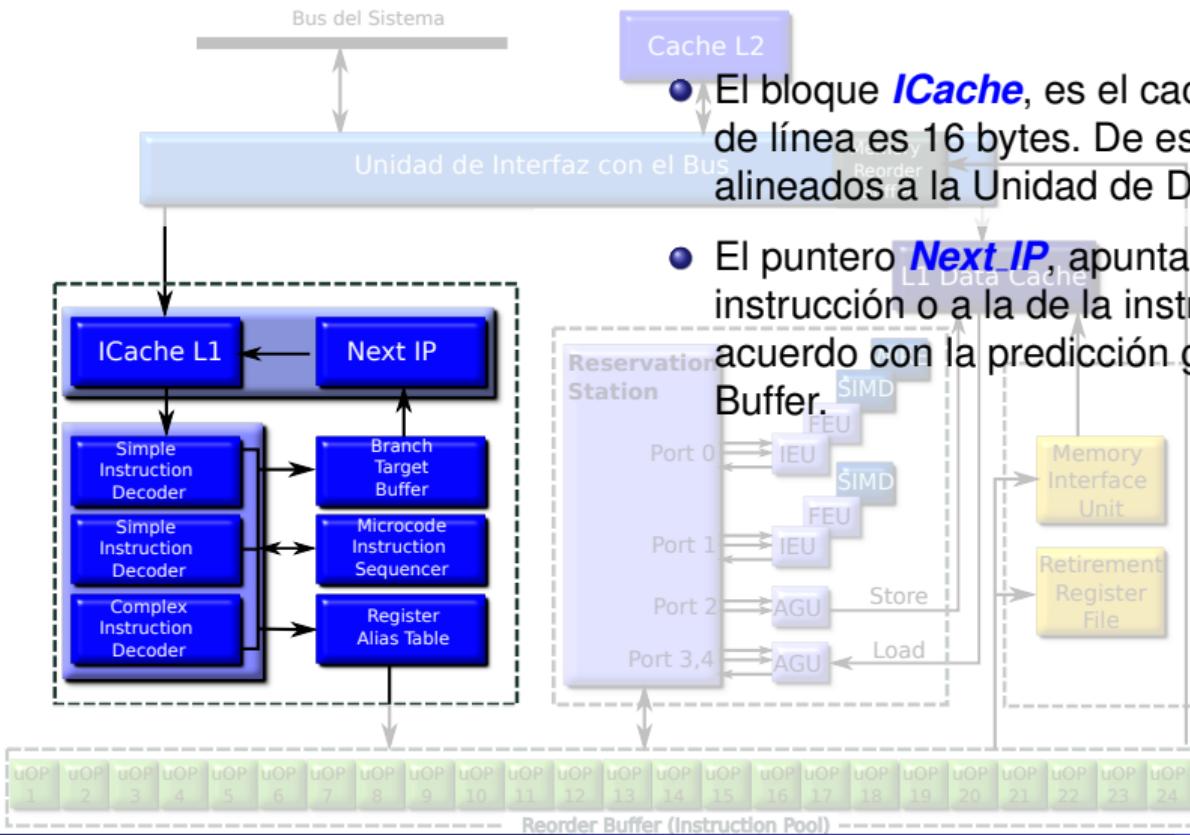
Three Cores Engine en detalle



Three Cores Engine en detalle



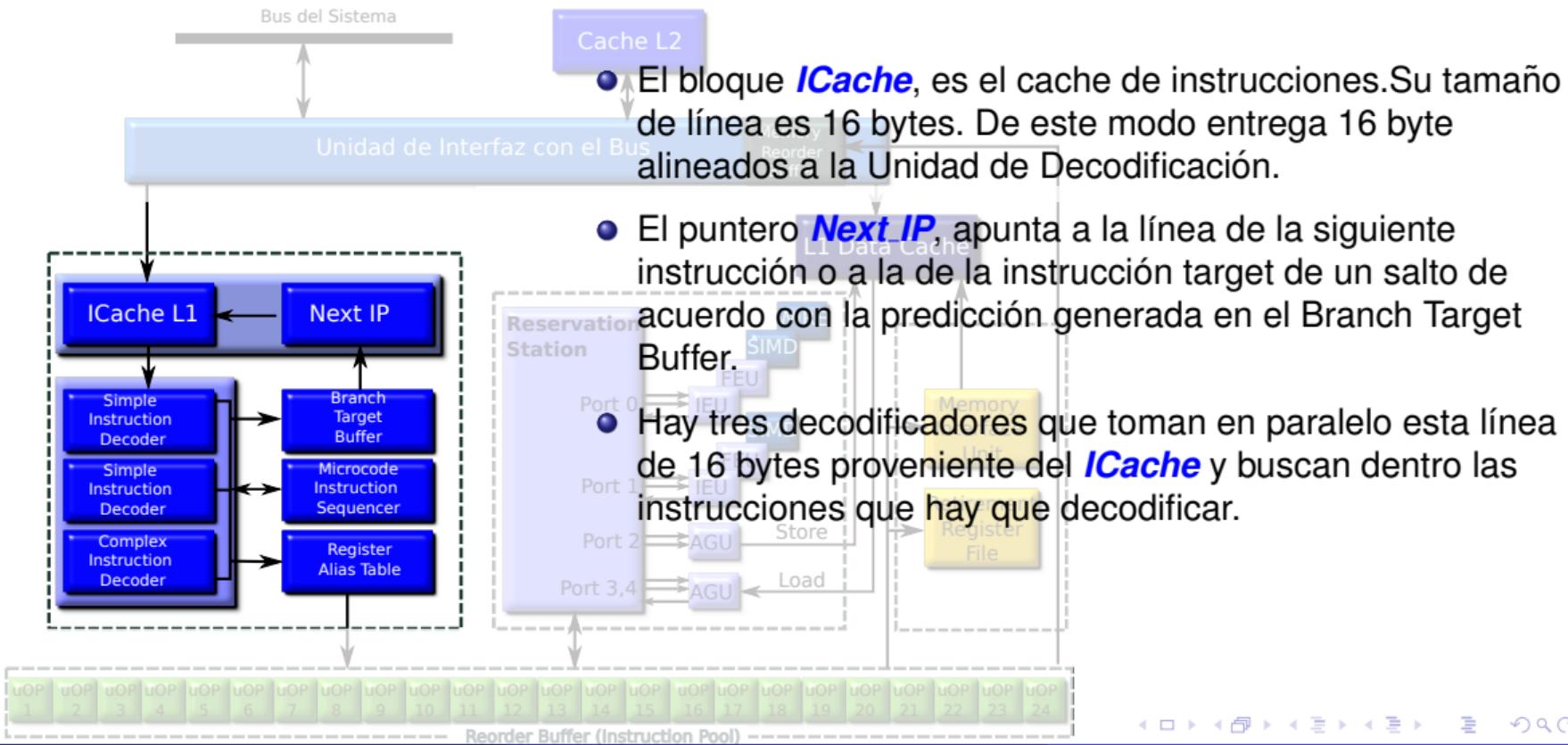
Three Cores Engine en detalle



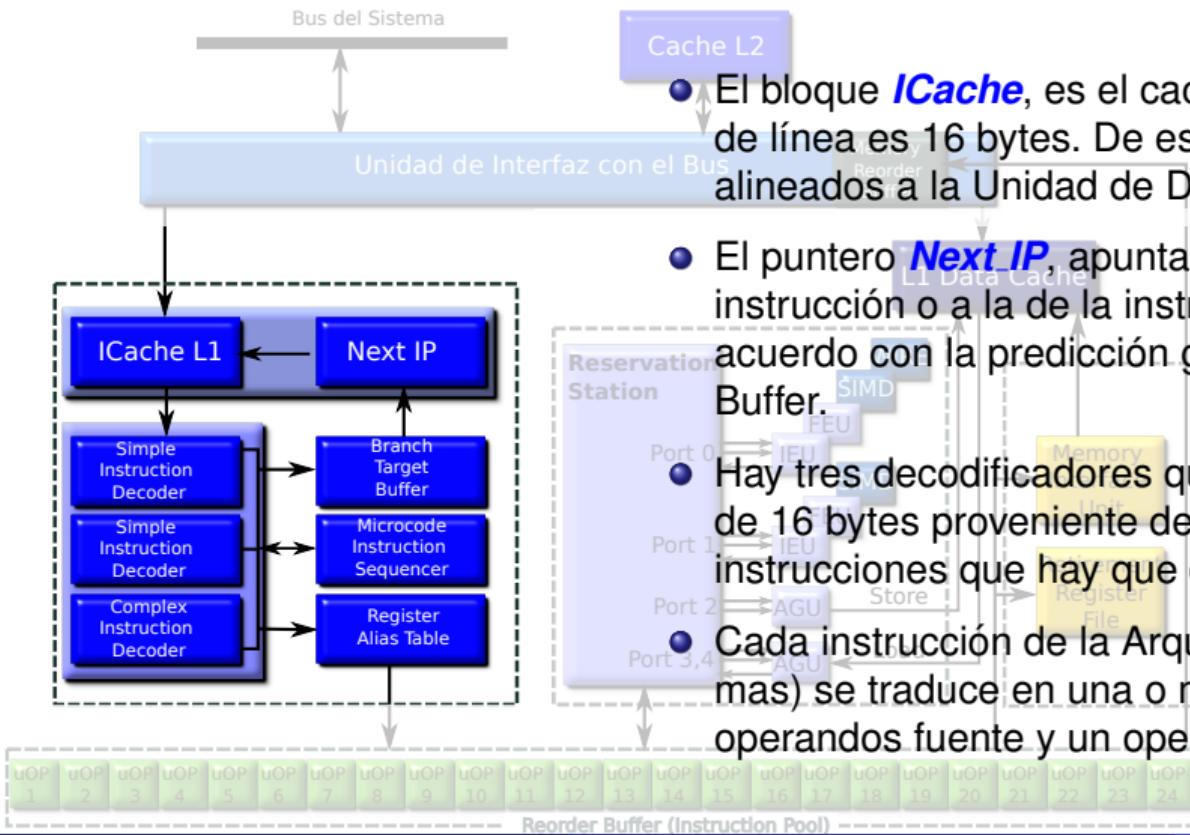
- El bloque **ICache**, es el cache de instrucciones. Su tamaño de línea es 16 bytes. De este modo entrega 16 byte alineados a la Unidad de Decodificación.

- El puntero **Next IP**, apunta a la línea de la siguiente instrucción o a la de la instrucción target de un salto de acuerdo con la predicción generada en el Branch Target Buffer.

Three Cores Engine en detalle



Three Cores Engine en detalle



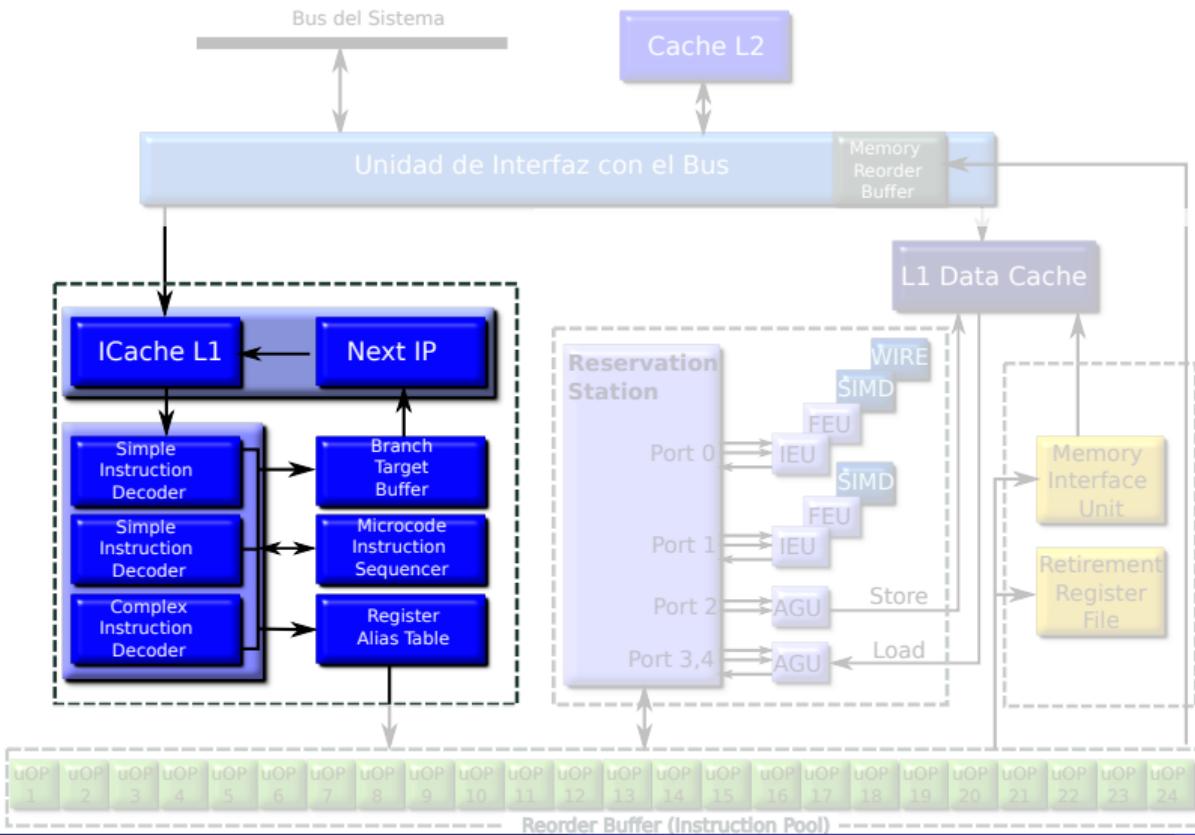
- El bloque **ICache**, es el cache de instrucciones. Su tamaño de línea es 16 bytes. De este modo entrega 16 byte alineados a la Unidad de Decodificación.

- El puntero **Next IP**, apunta a la línea de la siguiente instrucción o a la de la instrucción target de un salto de acuerdo con la predicción generada en el Branch Target Buffer.

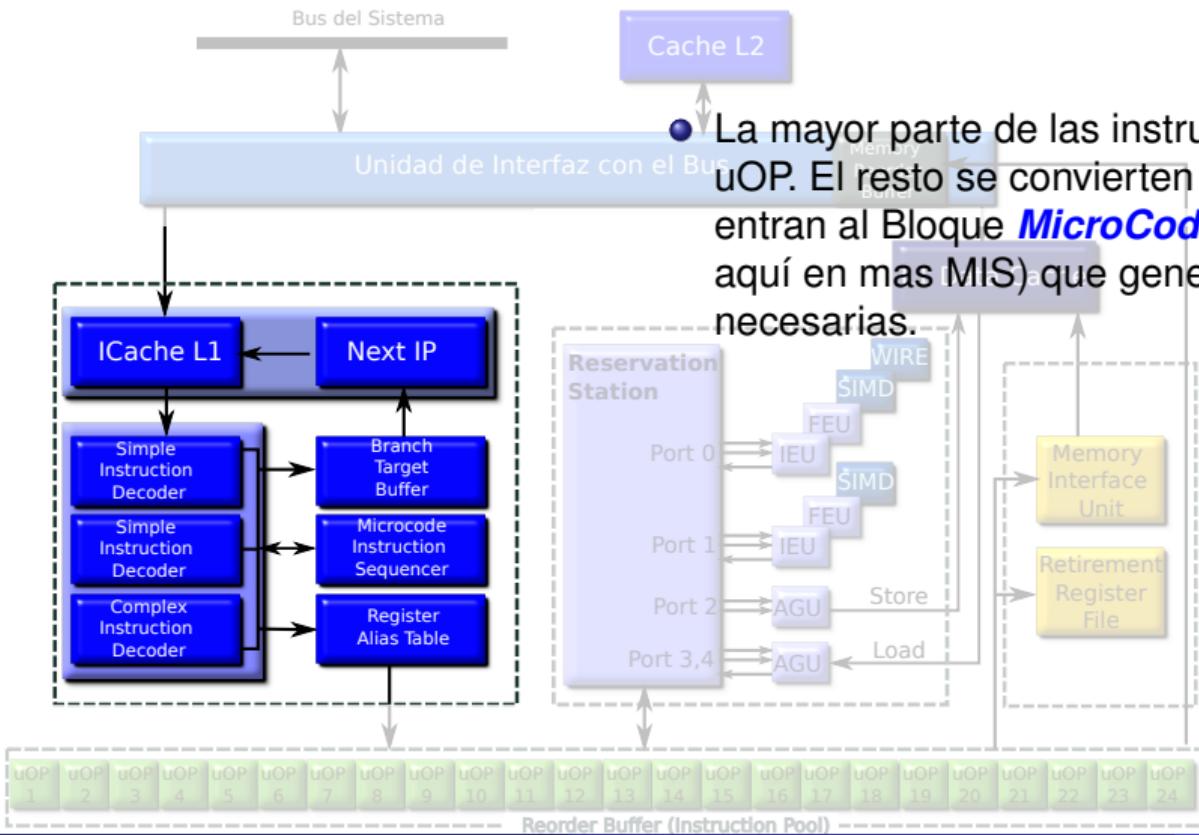
- Hay tres decodificadores que toman en paralelo esta línea de 16 bytes proveniente del **ICache** y buscan dentro las instrucciones que hay que decodificar.

- Cada instrucción de la Arquitectura Intel (**IA** de aquí en mas) se traduce en una o mas uops las cuales tienen dos operandos fuente y un operando destino.

Three Cores Engine en detalle

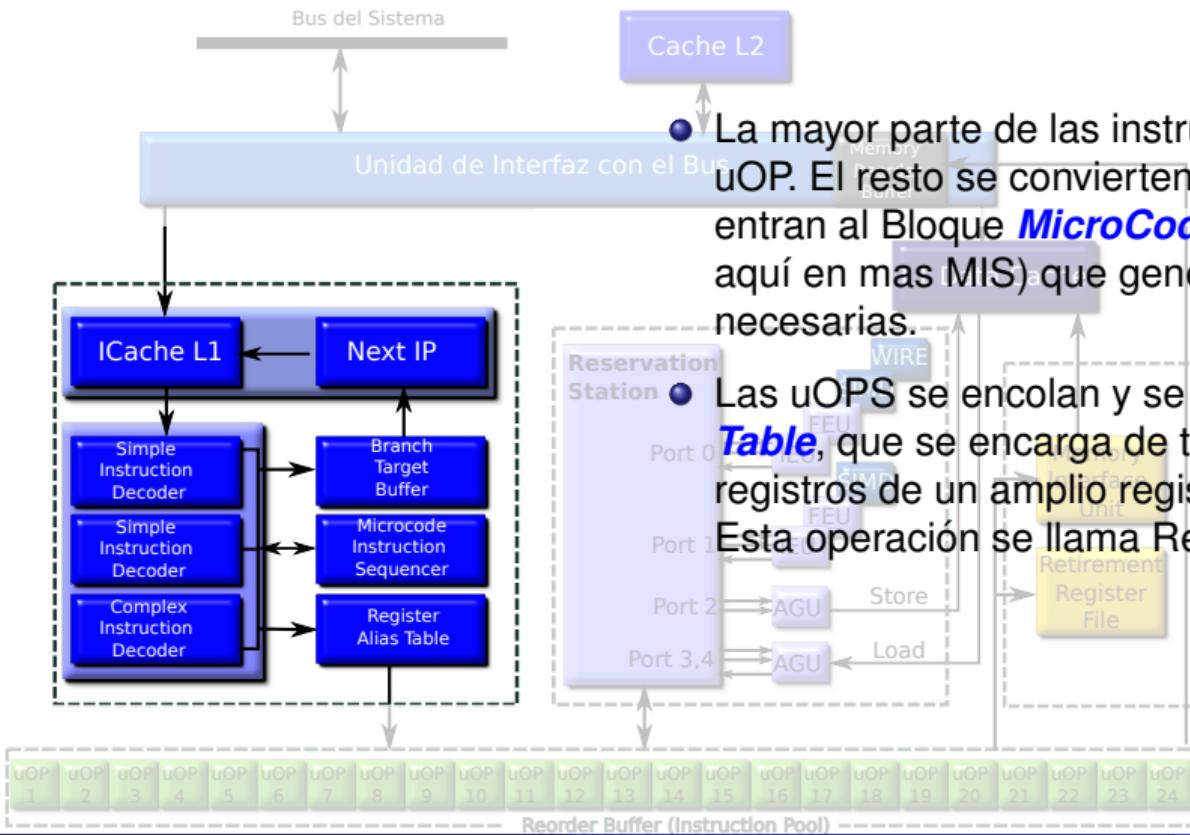


Three Cores Engine en detalle



La mayor parte de las instrucciones **IA** se traducen en una uOP. El resto se convierten 4 uOPs, y las mas complejas entran al Bloque **MicroCode Instruction Sequencer** (de aquí en mas MIS) que genera la cantidad de uOPs necesarias.

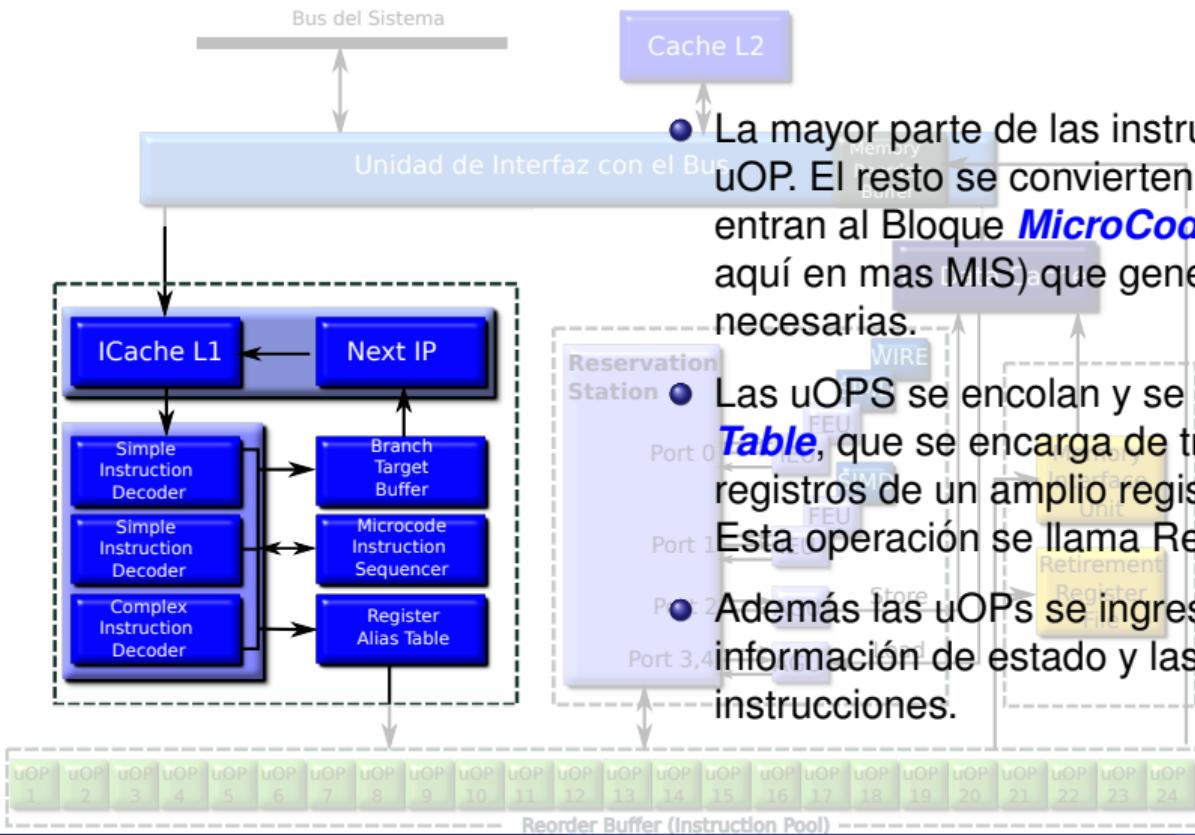
Three Cores Engine en detalle



- La mayor parte de las instrucciones **IA** se traducen en una uOP. El resto se convierten 4 uOPs, y las mas complejas entran al Bloque **MicroCode Instruction Sequencer** (de aquí en mas MIS) que genera la cantidad de uOPs necesarias.

- Las uOPs se encolan y se envían al **Register Alias Table**, que se encarga de traducir los registros de la **IA** en registros de un amplio register file interno del procesador. Esta operación se llama Register Renaming.

Three Cores Engine en detalle



- La mayor parte de las instrucciones **IA** se traducen en una uOP. El resto se convierten 4 uOPs, y las mas complejas entran al Bloque **MicroCode Instruction Sequencer** (de aquí en mas MIS) que genera la cantidad de uOPs necesarias.

- Las uOPs se encolan y se envían al **Register Alias Table**, que se encarga de traducir los registros de la **IA** en registros de un amplio register file interno del procesador. Esta operación se llama Register Renaming.

- Además las uOPs se ingresan al Allocator que les agrega información de estado y las ingresa al pool de instrucciones.

Three Cores Engine en detalle

Three Cores Engine en detalle

- La Unidad de Despacho selecciona uOPs desde el pool de instrucciones dependiendo de su estado y no de su orden dentro del mismo.

Three Cores Engine en detalle

- La Unidad de Despacho selecciona uOPs desde el pool de instrucciones dependiendo de su estado y no de su orden dentro del mismo.
- Si el estado de la uOP indica que sus operandos están disponibles, la **Reservation Station** verifica que esté libre algún recurso para su ejecución, y eventualmente le envía la uOP.

Three Cores Engine en detalle

- La Unidad de Despacho selecciona uOPs desde el pool de instrucciones dependiendo de su estado y no de su orden dentro del mismo.
- Si el estado de la uOP indica que sus operandos están disponibles, la **Reservation Station** verifica que esté libre algún recurso para su ejecución, y eventualmente le envía la uOP.
- El resultado será escrito en el pool de uOPs por la Unidad de Ejecución correspondiente una vez finalizada.

Three Cores Engine en detalle

- La Unidad de Despacho selecciona uOPs desde el pool de instrucciones dependiendo de su estado y no de su orden dentro del mismo.
- Si el estado de la uOP indica que sus operandos están disponibles, la **Reservation Station** verifica que esté libre algún recurso para su ejecución, y eventualmente le envía la uOP.
- El resultado será escrito en el pool de uOPs por la Unidad de Ejecución correspondiente una vez finalizada.
- Se dispone de 5 puertos de ejecución. De este modo se pueden schedular a lo sumo 5 uOPs por ciclo de clock. EN la práctica se tiene un promedio de 3.

Three Cores Engine en detalle

- La Unidad de Despacho selecciona uOPs desde el pool de instrucciones dependiendo de su estado y no de su orden dentro del mismo.
- Si el estado de la uOP indica que sus operandos están disponibles, la **Reservation Station** verifica que esté libre algún recurso para su ejecución, y eventualmente le envía la uOP.
- El resultado será escrito en el pool de uOPs por la Unidad de Ejecución correspondiente una vez finalizada.
- Se dispone de 5 puertos de ejecución. De este modo se pueden schedular a lo sumo 5 uOPs por ciclo de clock. EN la práctica se tiene un promedio de 3.
- Respecto de los saltos, las uOPs se marcan como tales en el **Re Order Buffer** (de ahora en mas **ROB**) y se les pone la dirección target predicta por el **BTB**. Si el salto falla, se limpian del **ROB** las instrucciones subsiguientes así estén finalizadas

Three Cores Engine en detalle

Three Cores Engine en detalle

- La Unidad de Retiro, se encarga de monitorear el estado de cada instrucción del **ROB**.

Three Cores Engine en detalle

- La Unidad de Retiro, se encarga de monitorear el estado de cada instrucción del **ROB**.
- No solo debe chequear su estado, sino que las debe reinsertar en el orden en que ocupan en el programa.

Three Cores Engine en detalle

- La Unidad de Retiro, se encarga de monitorear el estado de cada instrucción del **ROB**.
- No solo debe chequear su estado, sino que las debe reinsertar en el orden en que ocupan en el programa.
- Esto incluye el procesamiento de Interrupciones, excepciones, trap, breakpoints, y predicciones fallidas.

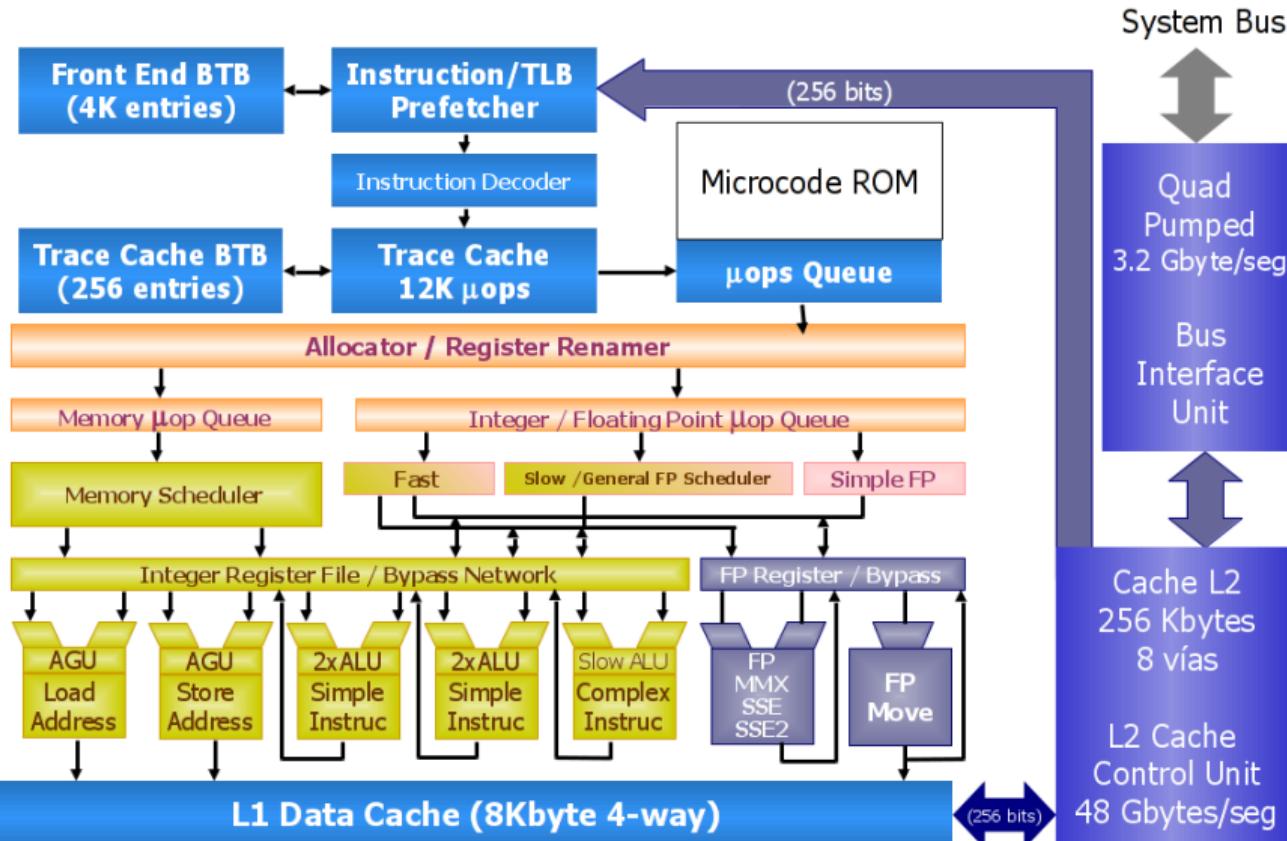
Three Cores Engine en detalle

- La Unidad de Retiro, se encarga de monitorear el estado de cada instrucción del **ROB**.
- No solo debe chequear su estado, sino que las debe reinsertar en el orden en que ocupan en el programa.
- Esto incluye el procesamiento de Interrupciones, excepciones, trap, breakpoints, y predicciones fallidas.
- El **Retirement Register File** (de aquí en mas **RRF**), se encarga de escribir los operandos resultantes en los registros de la **IA** y la Unidad de Interfaz de memoria, aplica en el cache L1 de Datos el resultado si este corresponde a una dirección de memoria.

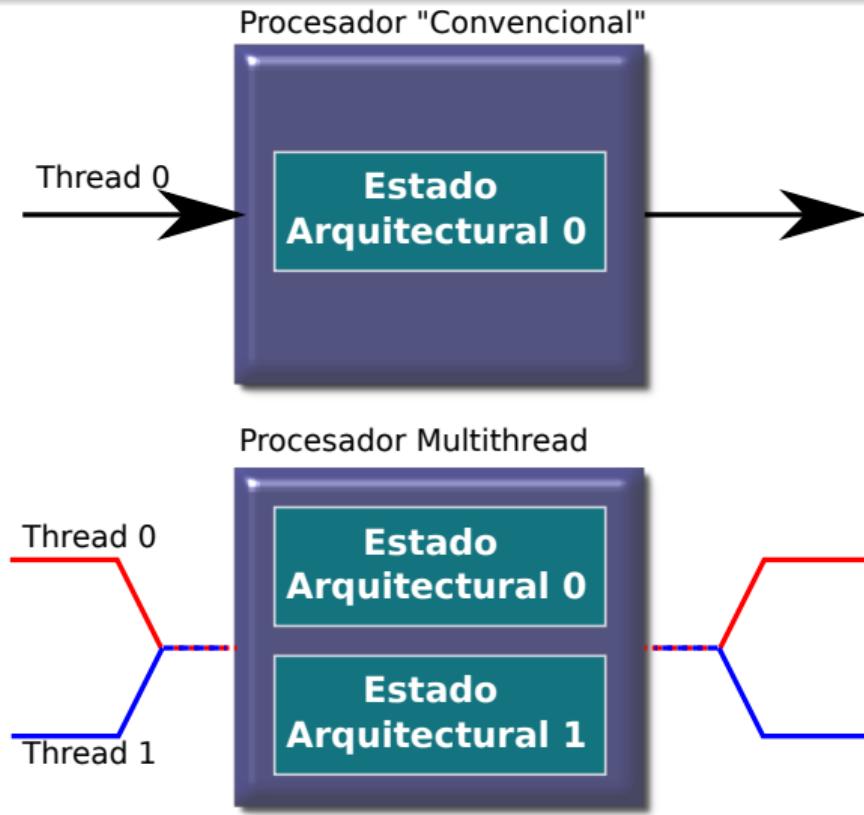
Three Cores Engine en detalle

- La Unidad de Retiro, se encarga de monitorear el estado de cada instrucción del **ROB**.
- No solo debe chequear su estado, sino que las debe reinsertar en el orden en que ocupan en el programa.
- Esto incluye el procesamiento de Interrupciones, excepciones, trap, breakpoints, y predicciones fallidas.
- El **Retirement Register File** (de aquí en mas **RRF**), se encarga de escribir los operandos resultantes en los registros de la **IA** y la Unidad de Interfaz de memoria, aplica en el cache L1 de Datos el resultado si este corresponde a una dirección de memoria.
- Puede retirar 3 uOPs por ciclo de clock.

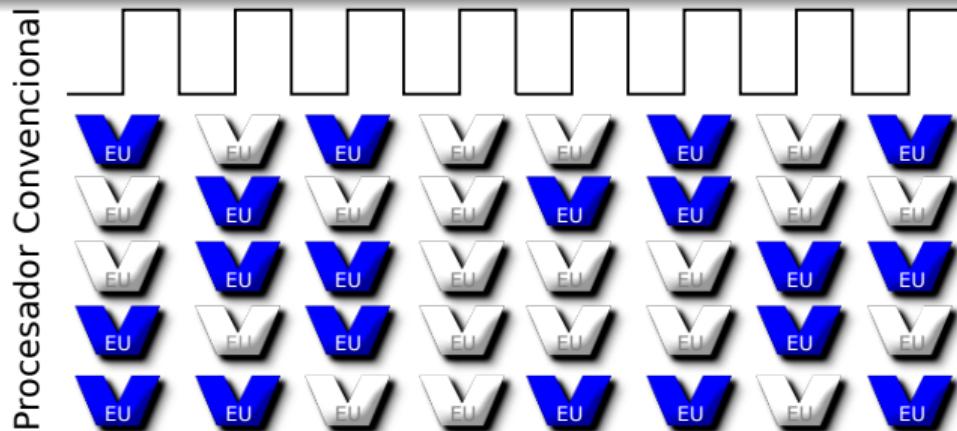
Intel Netbusrt



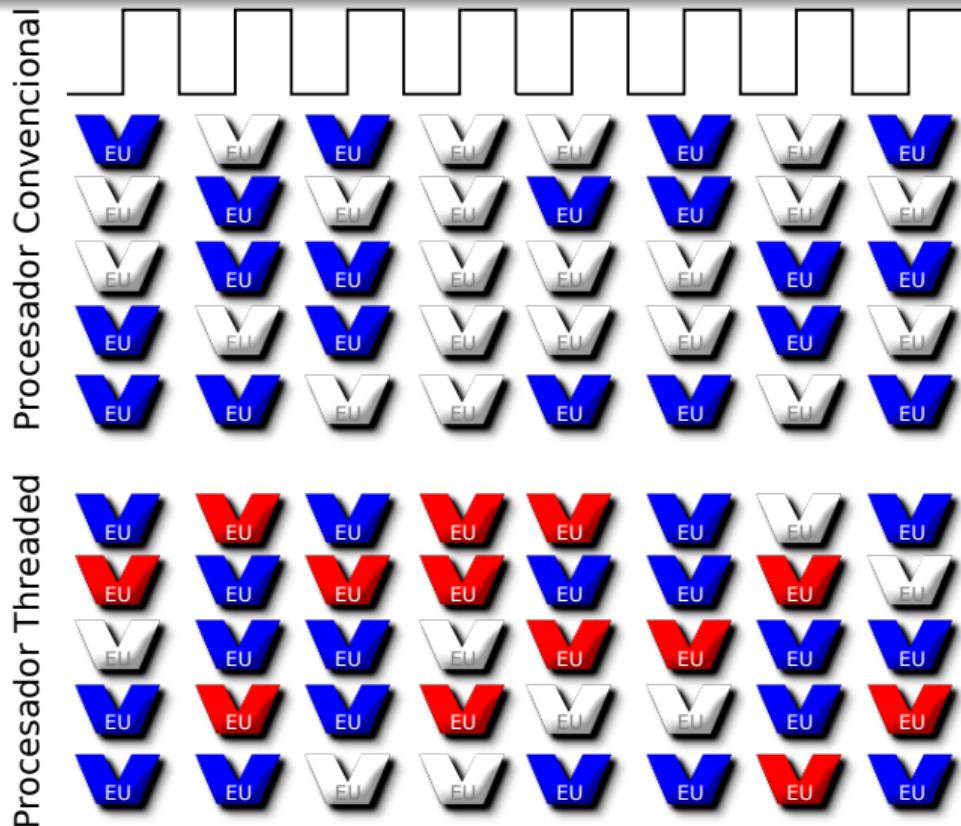
Procesadores Multithread



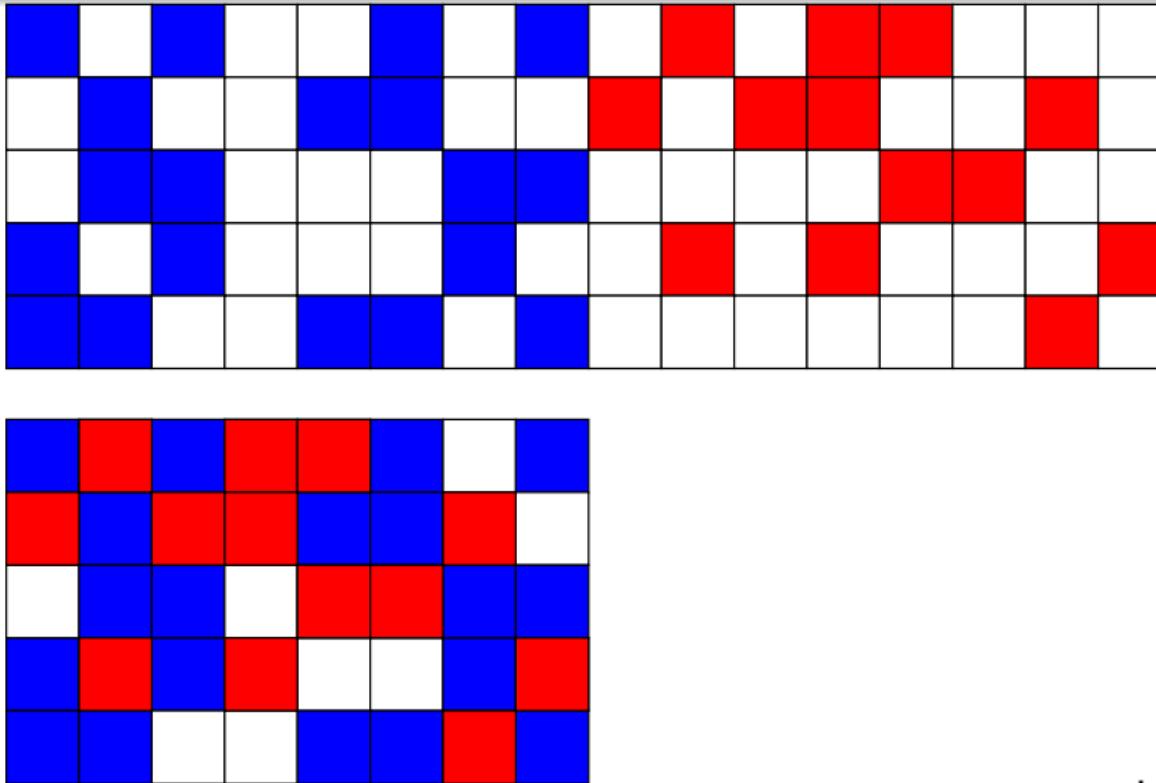
Ejecución en los Procesadores Multithread



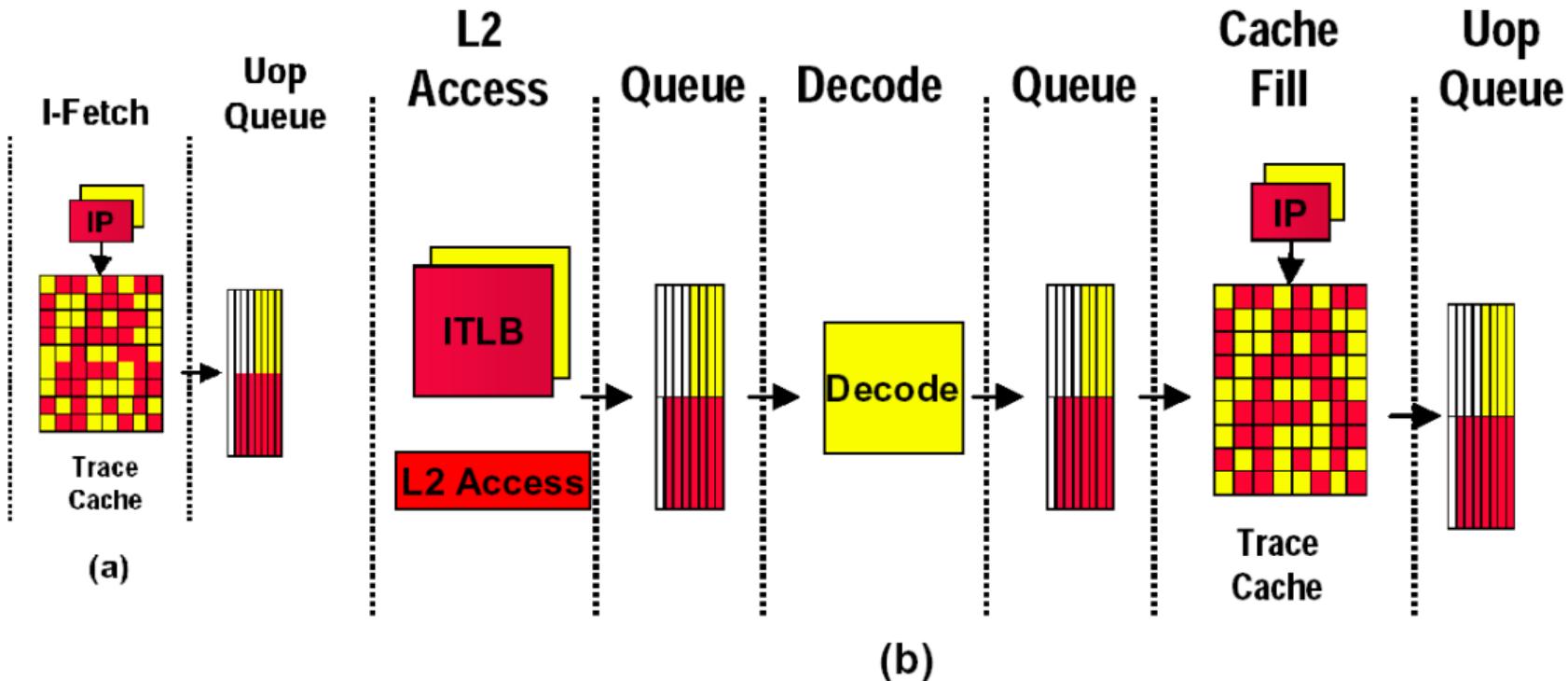
Ejecución en los Procesadores Multithread



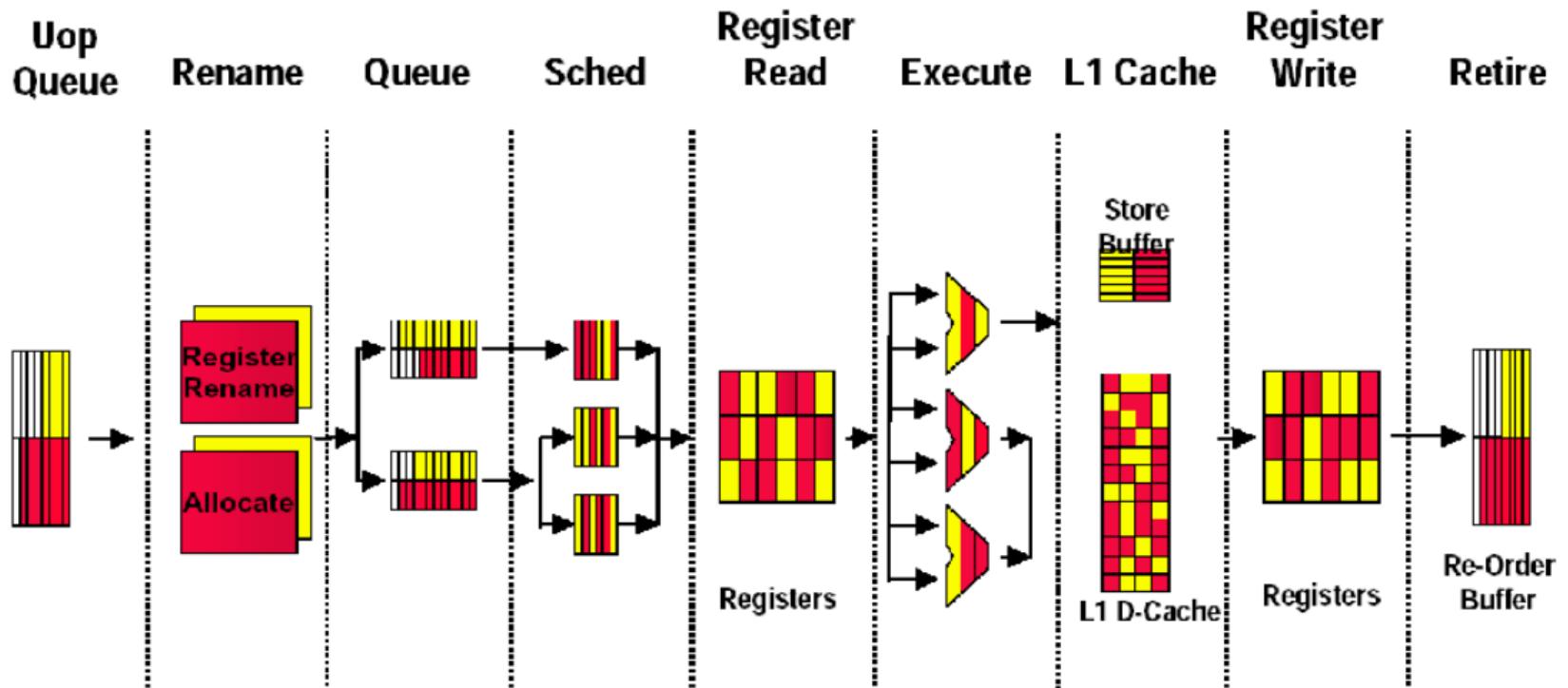
Ejecución en los Procesadores Multithread



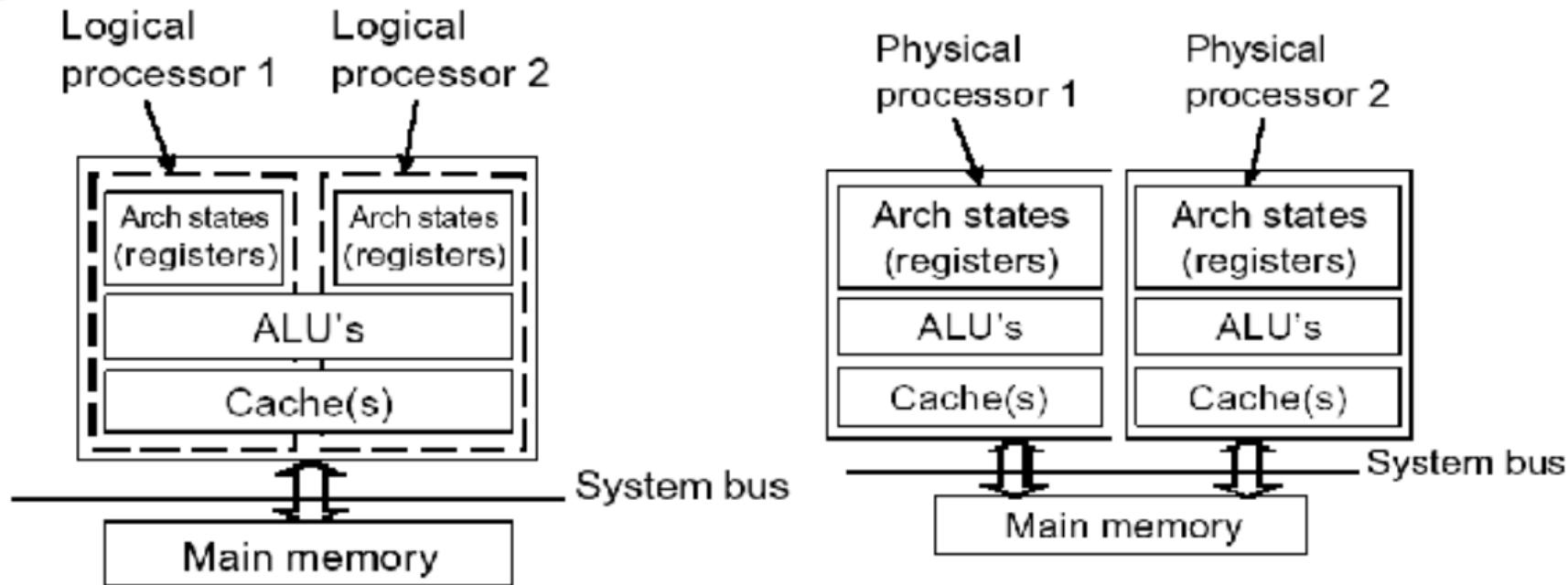
Intel Hyperthreading



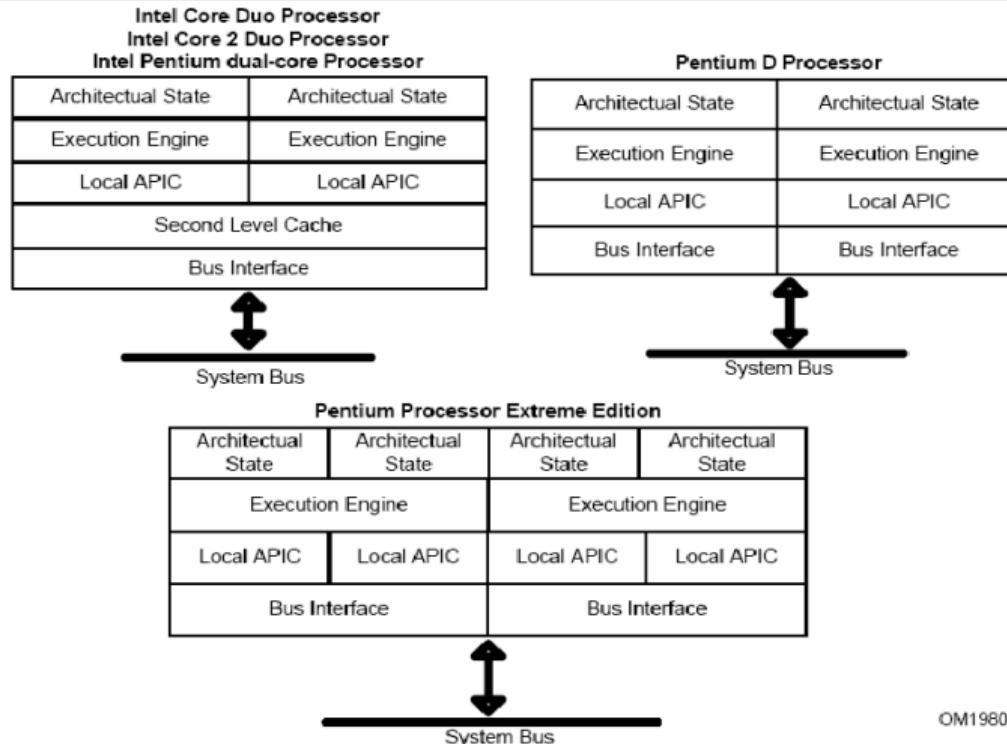
Intel Hyperthreading



Hyperthreading versus Multicore



Multicore



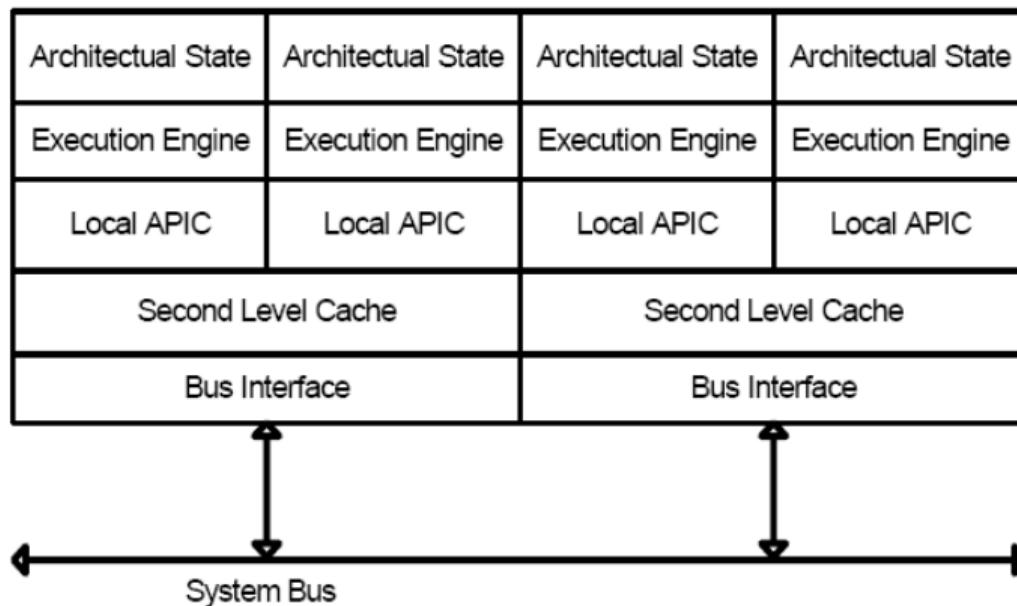
Multicore

Intel Core 2 Extreme Quad-core Processor

Intel Core 2 Quad Processor

Intel Xeon Processor 3200 Series

Intel Xeon Processor 5300 Series



¿un core superpoderoso, o muchos cores sencillos?

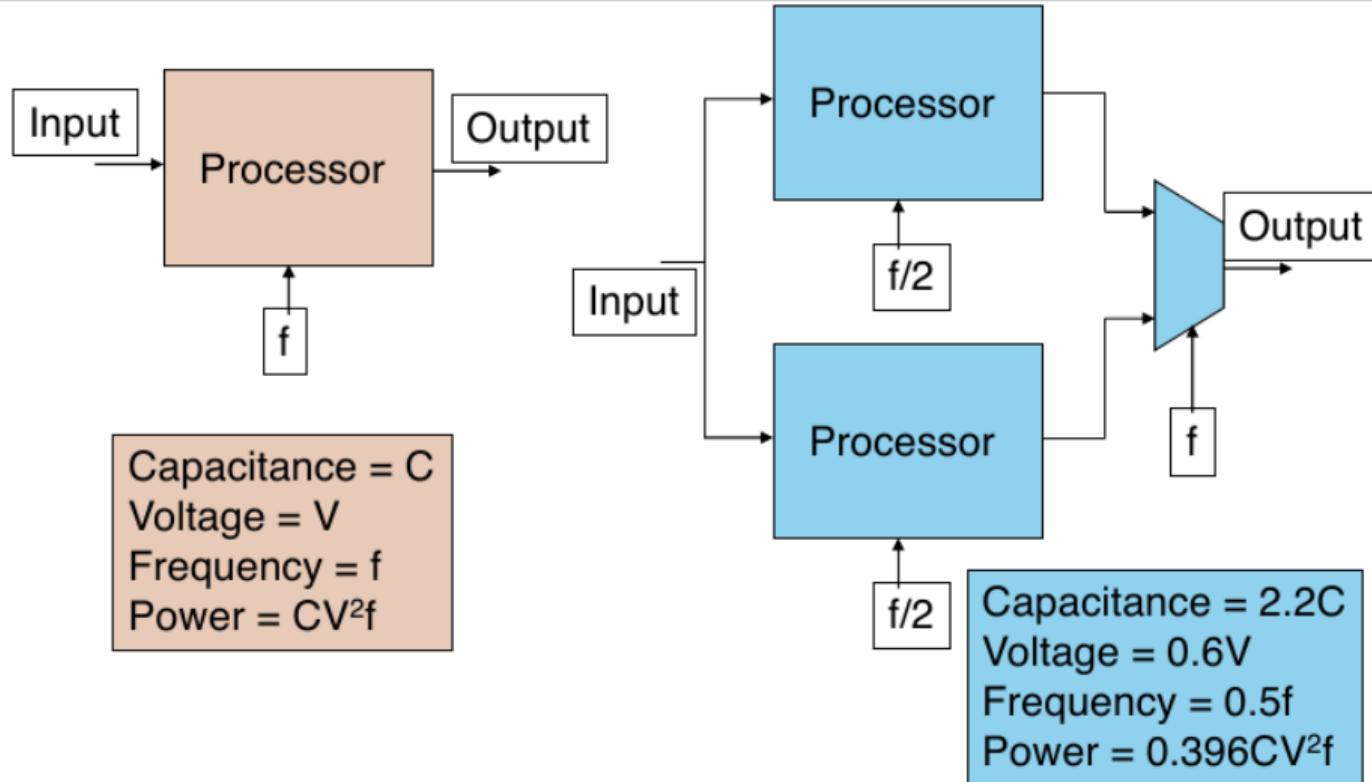
¿un core superpoderoso, o muchos cores sencillos?

- Chandrakasan, A.P.; Potkonjak, M.; Mehra, R.; Rabaey, J.; Brodersen, R.W., "Optimizing power using transformations," IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems,, vol.14, no.1, pp.12-31, Jan 1995

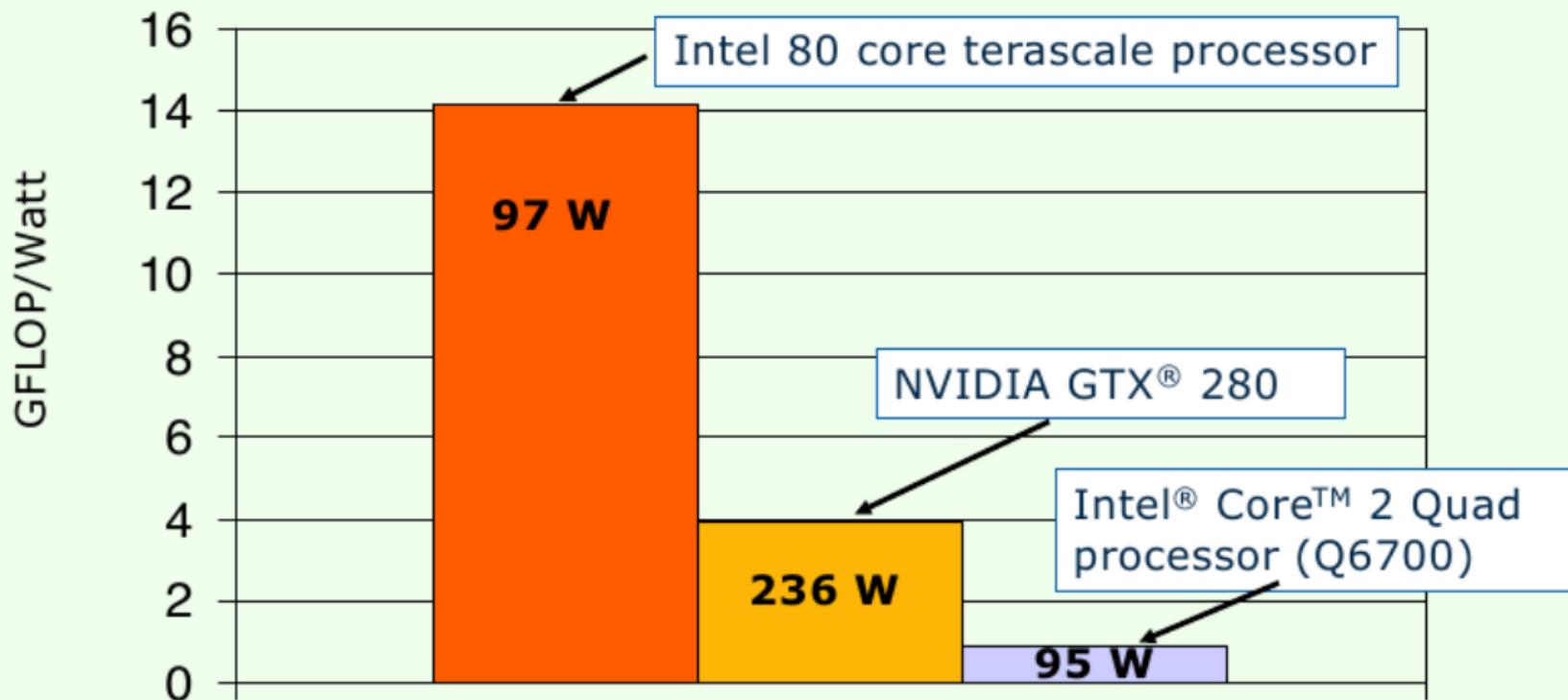
¿Un core superpoderoso, o muchos cores sencillos?

- Chandrakasan, A.P.; Potkonjak, M.; Mehra, R.; Rabaey, J.; Brodersen, R.W., "Optimizing power using transformations," IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems,, vol.14, no.1, pp.12-31, Jan 1995
- Ahi está la respuesta.... en 1995 ya lo delinearon. Y ya se empezaba a avisar que el consumo sería un problema

Varios cores: = performance, < consumo



Resultado en cores y performance/consumo



©Cortesía Intel

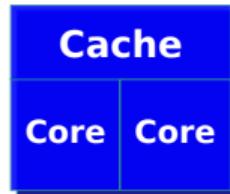
Derribando vacas sagradas



Optimizado para velocidad

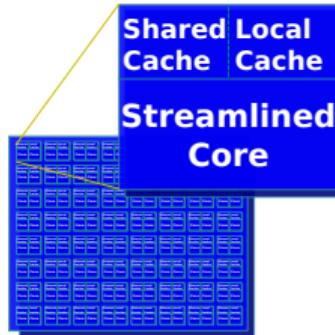


Era de los Procesadores. Alta frecuencia de clock. Superescalares con Ejecución Fuera de Orden. Optimizados para ejecutar un thread a gran velocidad



Etapa actual Procesadores de pocos cores optimizados para performance multi threaded y single threaded.

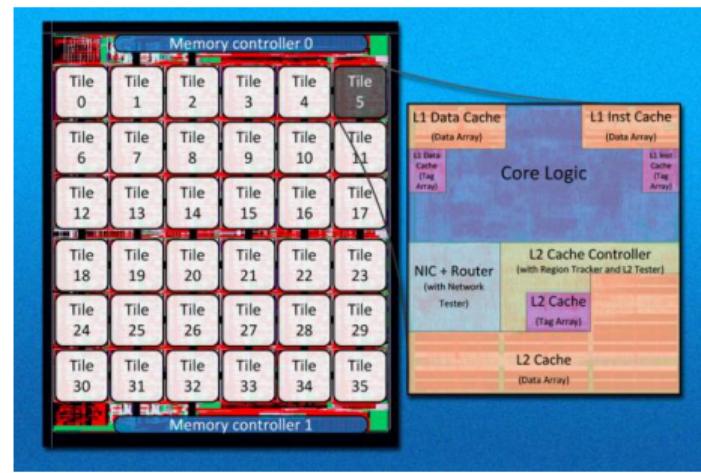
Optimizado para performance / potencia



En 5 a 10 años procesadores con 10 a 100 veces menos de consumo optimizados para multithreading

Issues

- ① A medida que aumenta la cantidad de cores, el overhead introducido por los protocolos de coherencia es muy alto.
- ② Una tendencia es configurar redes de multicores.
- ③ Se compone de clusters de 2^n cores y un router.
- ④ Los clusters se derivan mensajes a través de los routers. Como en una red



Contenido

1 Paralelismo a Nivel de Instrucción

- Pipeline
- Unidades de Predicción de saltos
- Superscalar
- Scheduling Dinámico

2 Ejecución Fuera de Orden

- Conceptos fundamentales
- Prehistoria
- Solución Actual
- Especulación por Hardware
- Casos prácticos que mezclan todo lo visto

3 Procesadores Multithread

4 Multicore y Manycore

- Estado del Arte

Intel: Desde Arquitectura Core hasta aqui...

Año	Nombre	Etapas del Pipeline	Clock	Scaling
2006	Intel Core	12 (14 con fetch/retire)	3333 MHz	65 nm
2008	Nehalem	20 unified (14 sin miss prediction)	3600 MHz	45 nm
2008	Bonnell	16 (20 con miss prediction)	2100 MHz	45 nm
2010	Westmere	20 unified (14 sin miss prediction)	3730 MHz	32 nm
2011	Sandy Bridge	14 (16 con fetch/retire)	4000 MHz	32 nm
2012	Ivy Bridge	14 (16 con fetch/retire)	4000 MHz	22 nm
2013	Silvermont	14-17 (16-19 con fetch/retire)	2670 MHz	22 nm
2013	Haswell	14 (16 con fetch/retire)	4400 MHz	22 nm
2014	Broadwell	14 (16 con fetch/retire)	3700 MHz	14 nm
2015	Skylake	14 (16 con fetch/retire)	4200 MHz	14 nm
2016	Goldmont	20 unificado con branch prediction	3500 MHz	14 nm
2016	Kaby Lake	14 (16 con fetch/retire)	4500 MHz	14 nm
2017	Coffee Lake	14 (16 con fetch/retire)	4700 MHz	14 nm
2018	Cannonlake	14	? MHz	10 nm
2019	Ice Lake			

Arquitectura Intel Skylake Server

