

CESE

Circuitos Lógicos Programables

Trabajo Final - PWM Configurable

Sinopsis

El trabajo consistió en el diseño e implementación de un modulador PWM de frecuencia y resolución configurables.

La arquitectura empleada fue la FPGA Xilinx Arty-Z710.

El lenguaje empleado fue VHDL.

La primera aproximación del diseño fue utilizar el contador de N bits visto en el curso, y concatenarlo con comparadores que evalúen las cuentas con las señales de entrada del duty cycle.

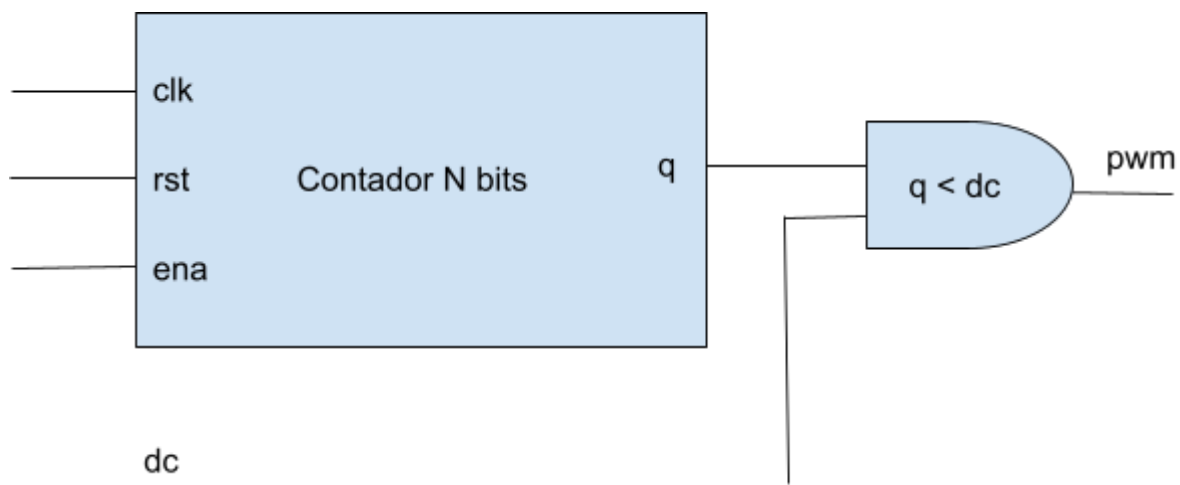
Esto tenía el principal problema que la resolución no era independiente de la frecuencia generada.

Finalmente el diseño final consistió en implementar la lógica de la cuenta dentro de un sentencia process de VHDL, teniendo en cuenta de comenzar las cuentas en la mitad del pulso PWM para evitar los flancos de subida/bajada.

Diagrama de bloques

Debido a que se utilizó un process, no se tiene una representación en diagrama en bloques directa.

Se expone en su lugar el primer diseño basado en el contador de N bits.

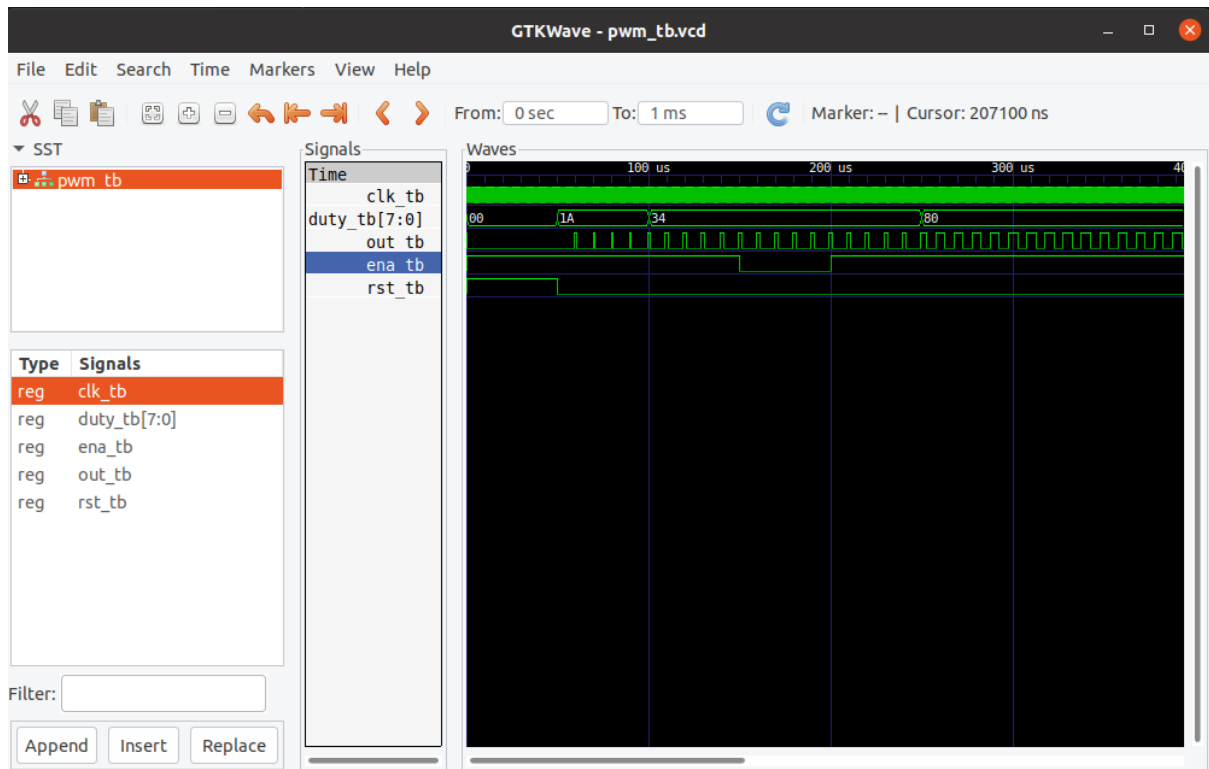


Donde:

- clk: señal de entrada de reloj
- rst: señal de entrada de reset
- ena: señal de entrada de habilitación
- dc: señal de entrada de ciclo de trabajo (duty cycle)
- pwm: señal de salida de modulación PWM

Simulaciones

Las simulaciones se realizaron principalmente con GTK-Wave.

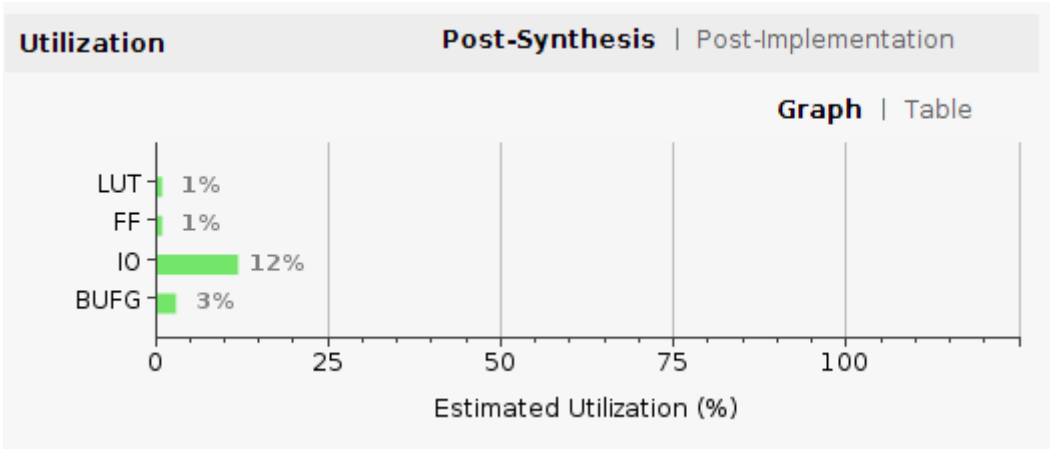


También se realizaron simulaciones con la herramienta Vivado.



Uso de Recursos (post-síntesis)

A continuación se expone el gráfico que representa el uso de recursos de la FPGA post-síntesis.



A continuación se expone la tabal del uso de recursos de la FPGA post-síntesis.

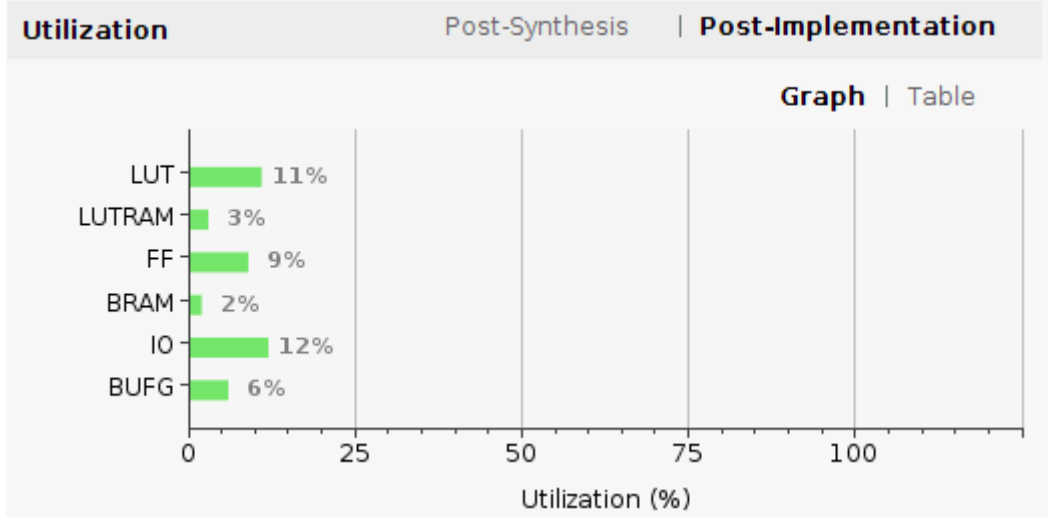
Utilization **Post-Synthesis** | Post-Implementation

Graph | **Table**

Resource	Estimation	Available	Utilization %
LUT	105	17600	0.60
FF	18	35200	0.05
IO	12	100	12.00
BUFG	1	32	3.13

Uso de Recursos (post-implementación)

A continuación se expone el gráfico que representa el uso de recursos de la FPGA post-implementación.



A continuación se expone la tabal del uso de recursos de la FPGA post-implementación.

Utilization			
		Post-Synthesis	Post-Implementation
		Graph Table	
Resource	Utilization	Available	Utilization %
LUT	1953	17600	11.10
LUTRAM	170	6000	2.83
FF	3215	35200	9.13
BRAM	1	60	1.67
IO	12	100	12.00
BUFG	2	32	6.25