Lab 5: Finite State Machines

Group 3 : 109060013張芯瑜 109062328 吳邦寧

# Design Explanation

## Content-addressable memory

1. 設計說明：

利用register創造一個可存放16個8 bit數字的空間CAM。

當ren = 1時，我們由存放位置序號較大的，也就是CAM[4’b1111] 開始找起，整個運算利用if else判斷。若有存放的數字與din相同，則將下一個clock的dout設為該數字存放位置，且hit設為1。若有兩位置皆存放與din相同的值，會因為先後順序而選擇位置序號較大的作為輸出。當跑完整個CAM仍然沒找到與din相同的值時，則輸出dout = 0 和 hit = 0。

當ren = 0且wen = 1時，將din值在下一個clock時存入CAM的第addr個位置。

當ren = 0且 wen = 0，則輸出dout = 0 和 hit = 0。

1. 驗證：

測試資料 #1

測試以下情況：

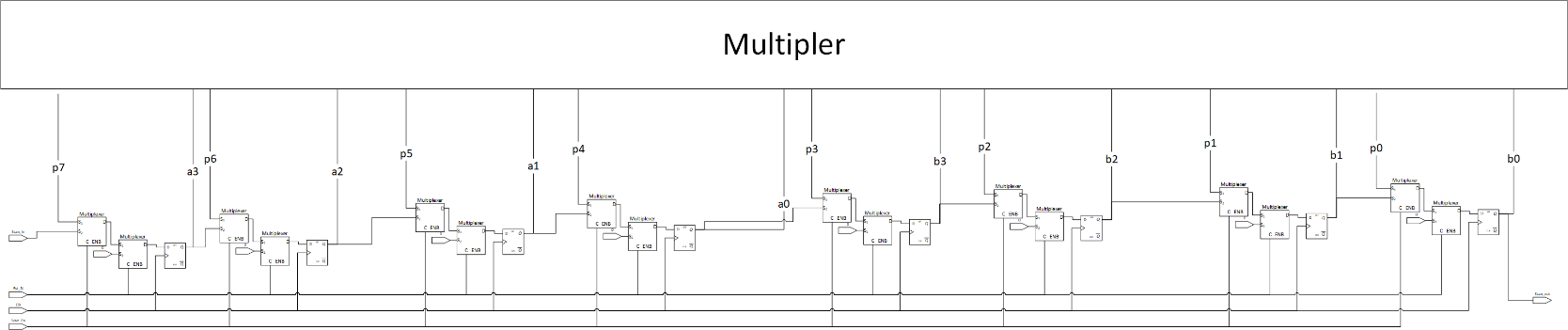
* ren = 1且wen = 1，不會寫資料，只會進行讀取。
* ren = 1且wen = 0，讀取資料，且讀不到時將輸出歸零。
* ren = 0且wen = 1，將資料寫入正確位置。
* ren = 0且wen = 0，不進行任何動作，並將輸出歸零。



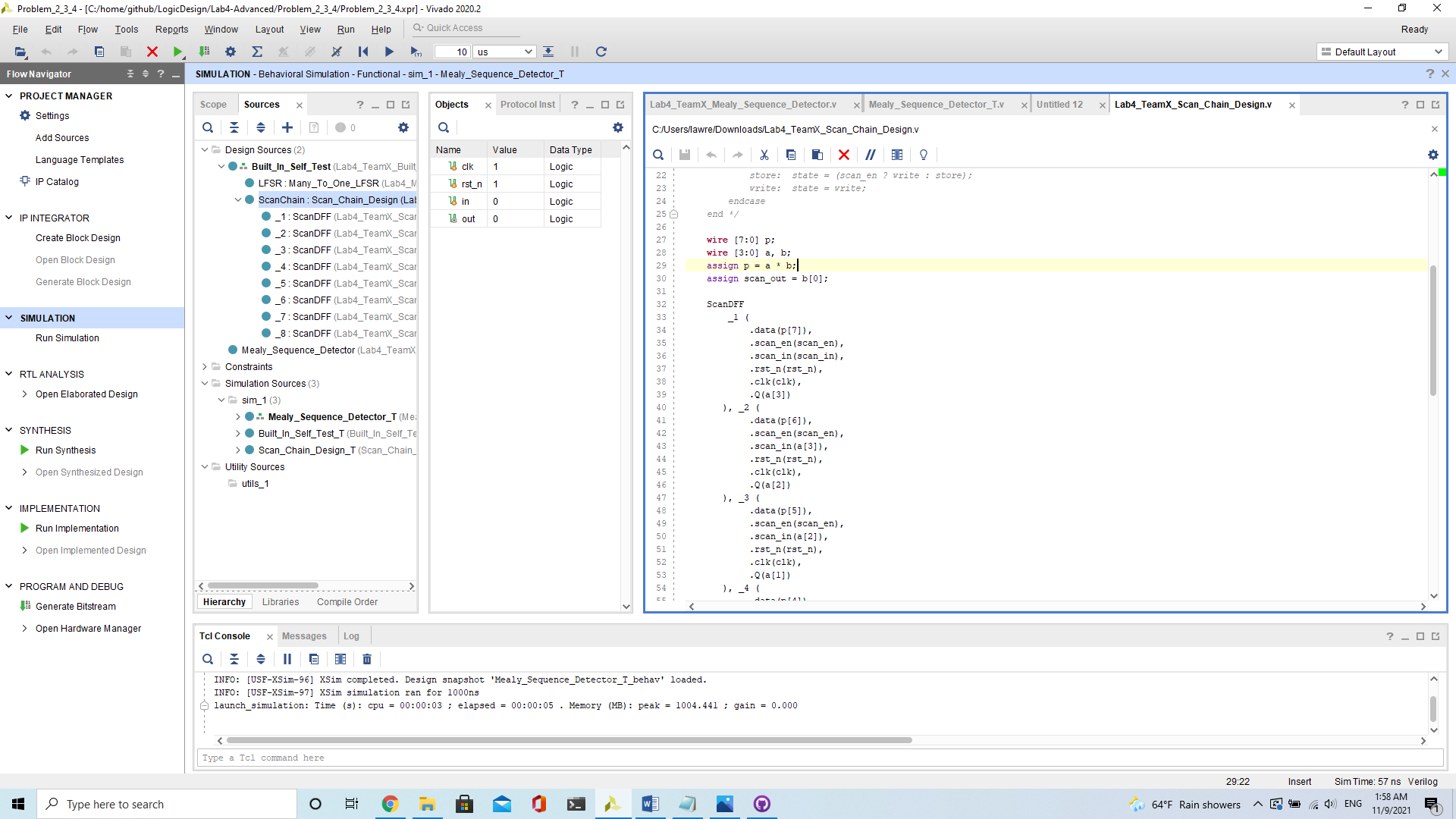
## Scan Chain Design

1. 設計說明：

首先，跟著規格設計Scan DFF。



接下來，利用內建的乘法運算子實作乘法器，再將資料打回Scan DFF。

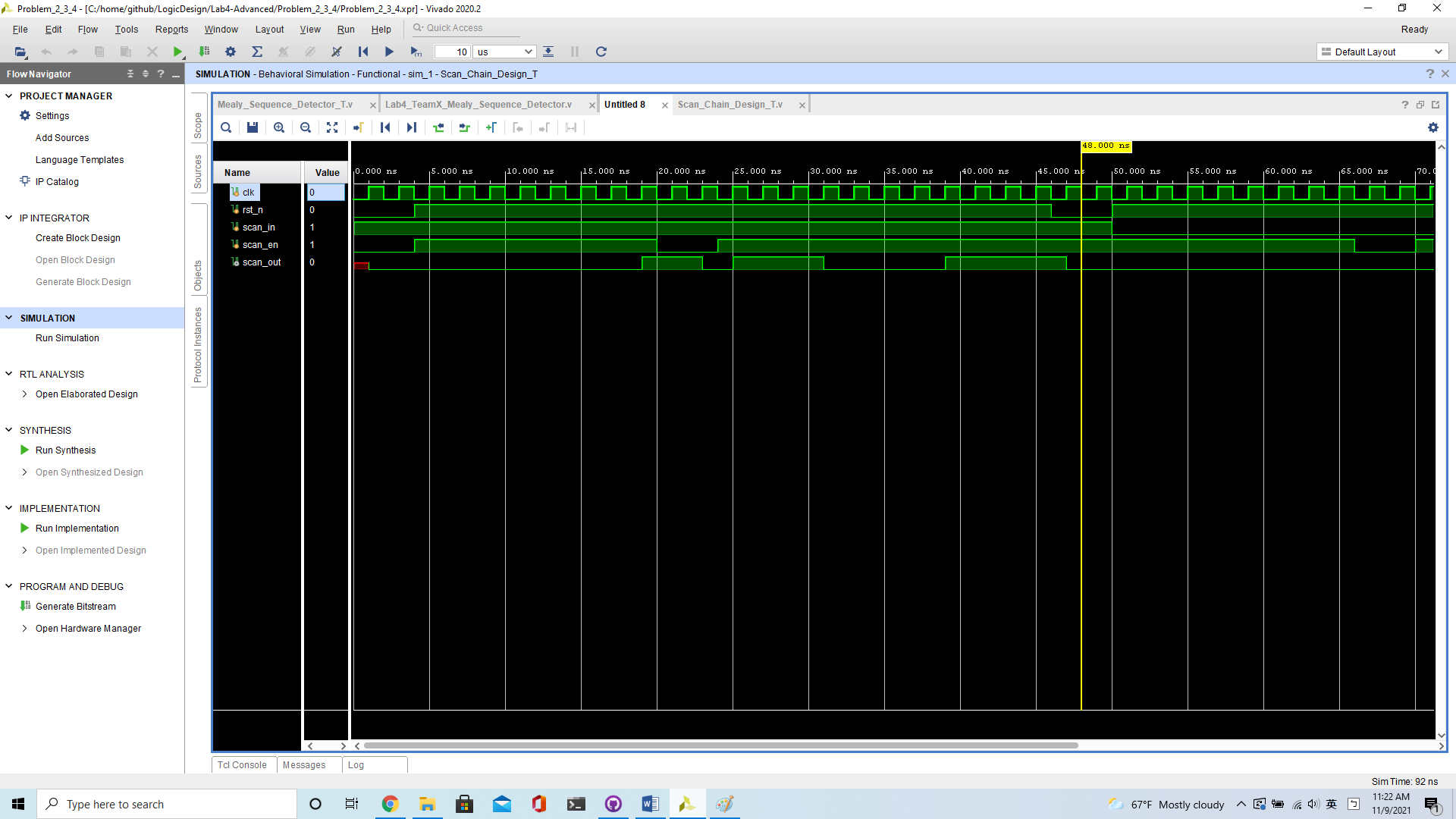


利用上述兩個設計，即可完成題目所需之要求。

1. 驗證：

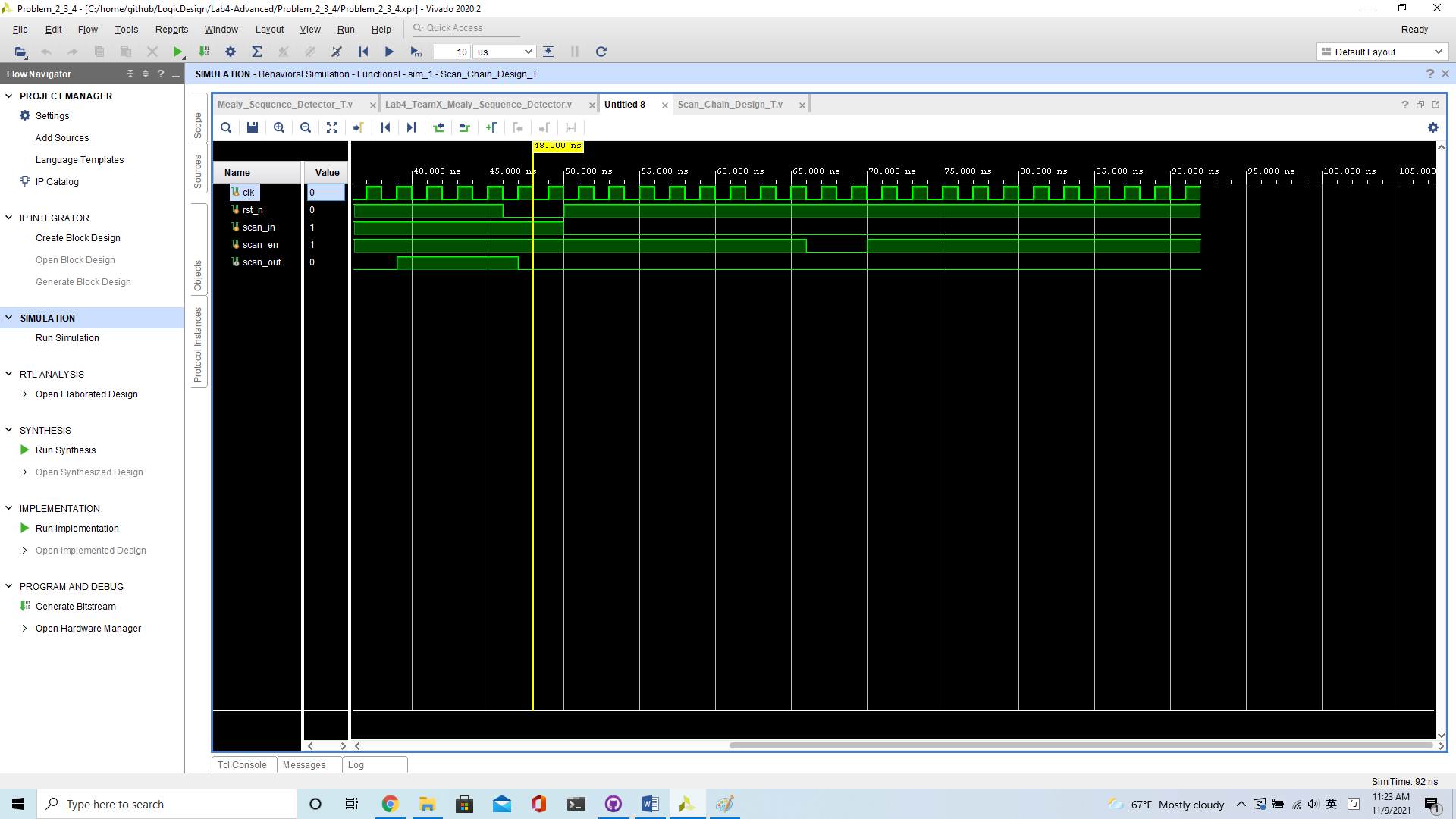
測試資料 #1

讓所有輸入都是高電位。



測試資料 #2

讓所有輸入都是低電位。



## Greatest Common Divisor

1. 設計說明：

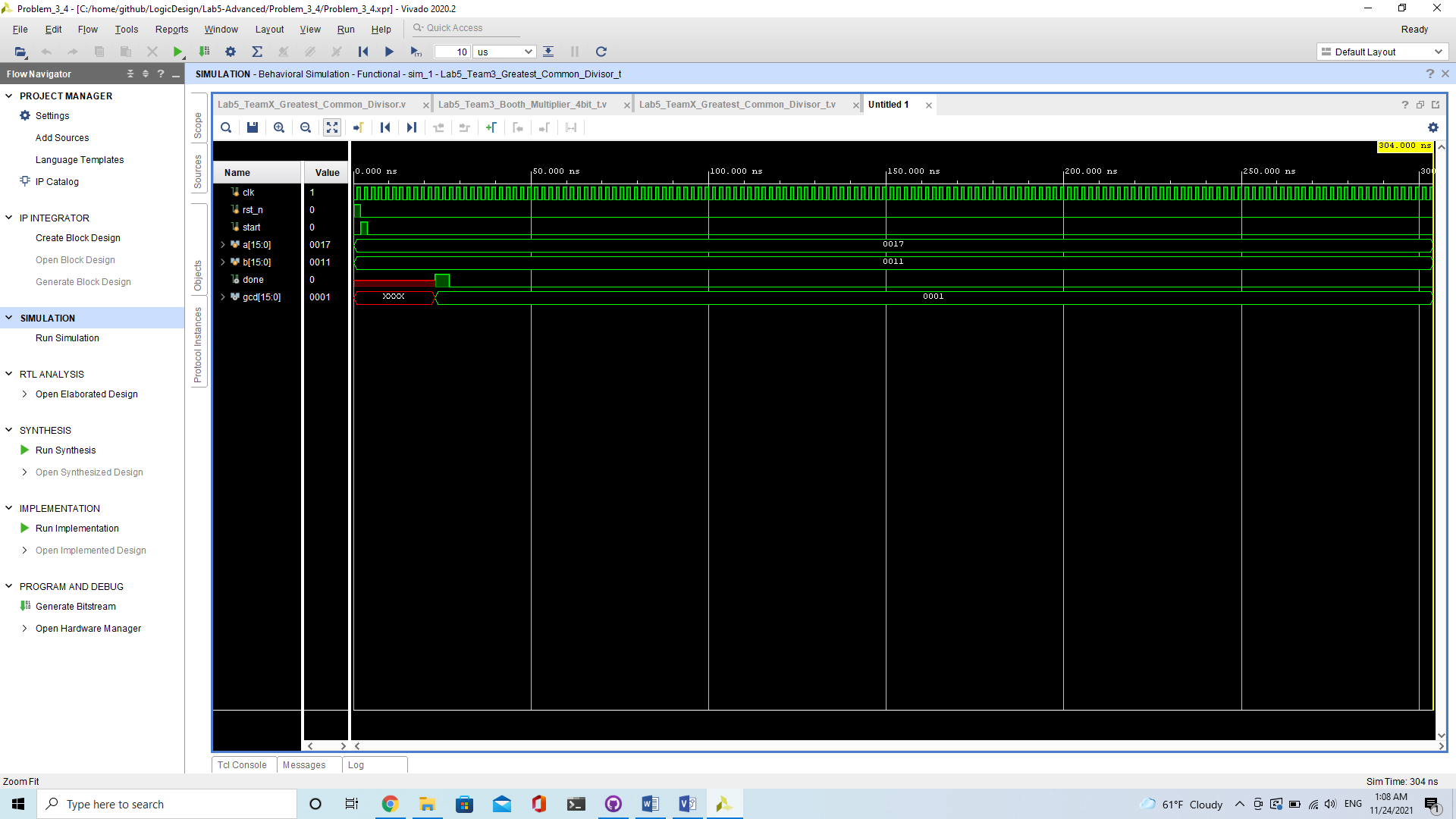
依照助教給定的虛擬碼進行實作，在重設時改變狀態到WAIT，在啟動時改變狀態到CAL，完成運算時（也就是A,B其中之一歸零時）改變狀態到FINISH。

為了維持有兩個時脈的Done，在完成運算時，我們將Done設為高電位，並且設立一個Dummy State，在FINISH狀態等候一個時脈後，轉移到Dummy State，並且將Done設為低電位。藉由設立一個新的Dummy State，就能輕鬆延長Done的維持時間。

1. 驗證：

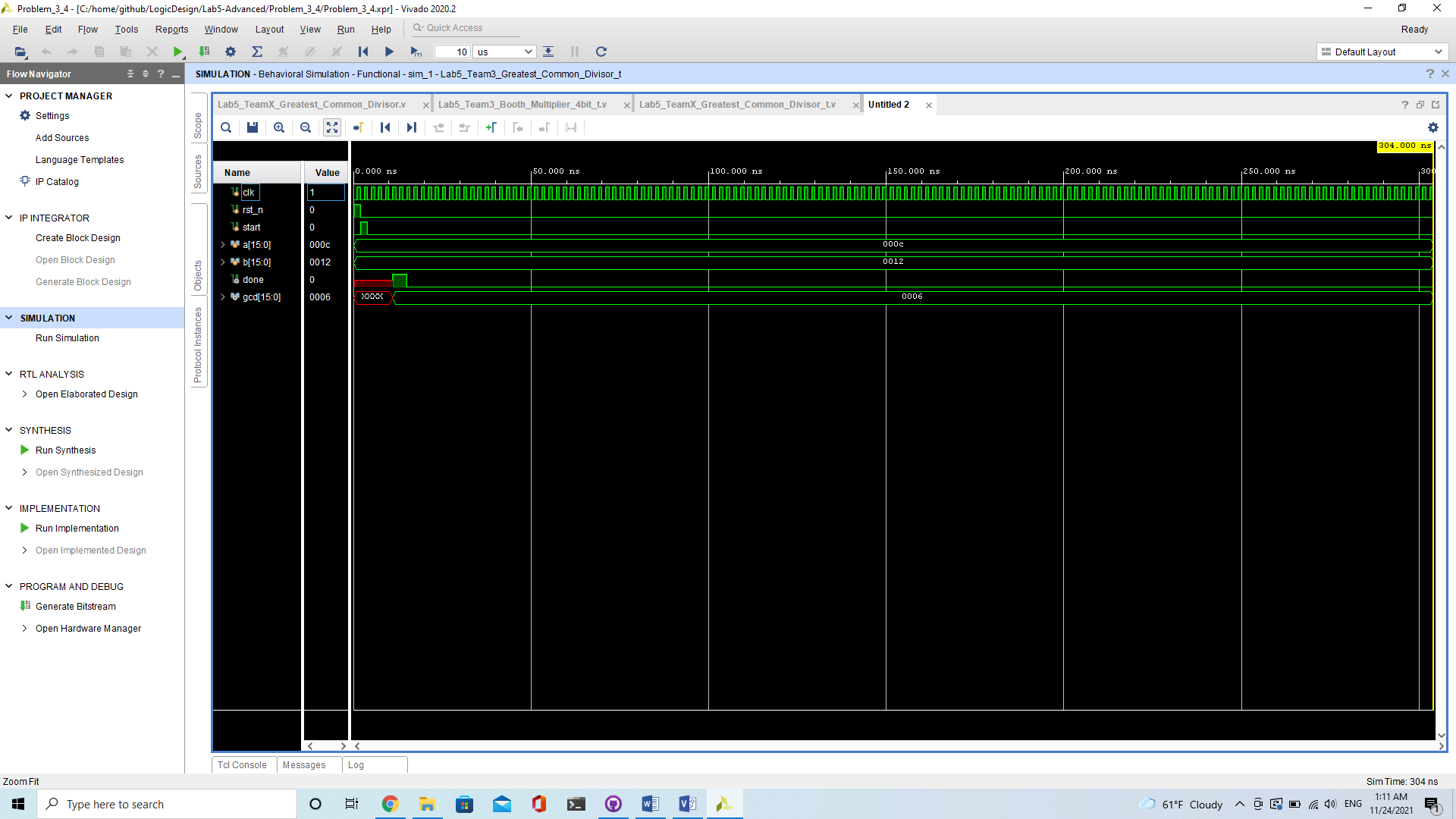
測試資料 #1

A=23, B=17



測試資料 #2

A=12 B=18

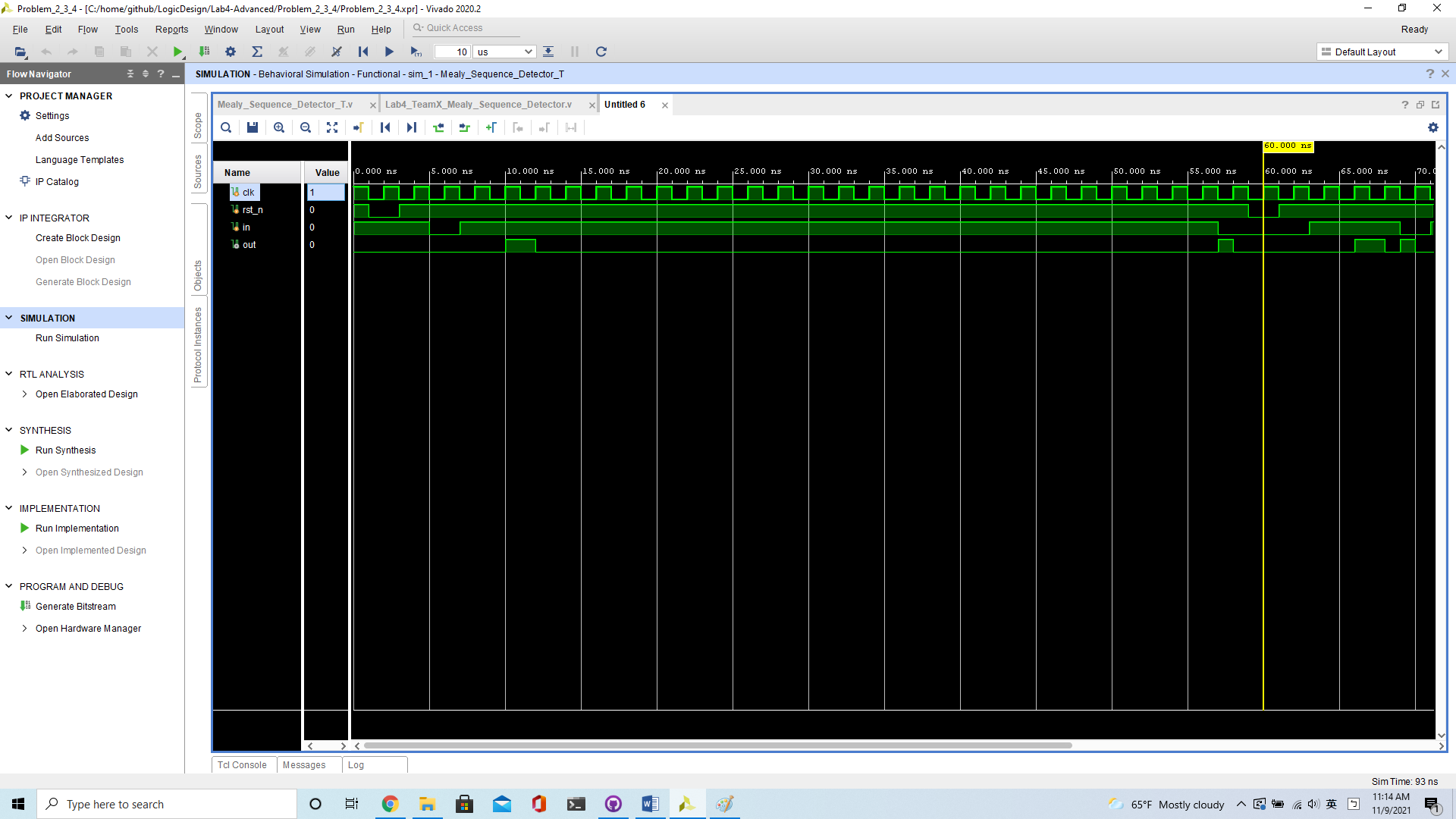


## Mealy Machine Pattern Detector

1. 設計說明：
2. 驗證：

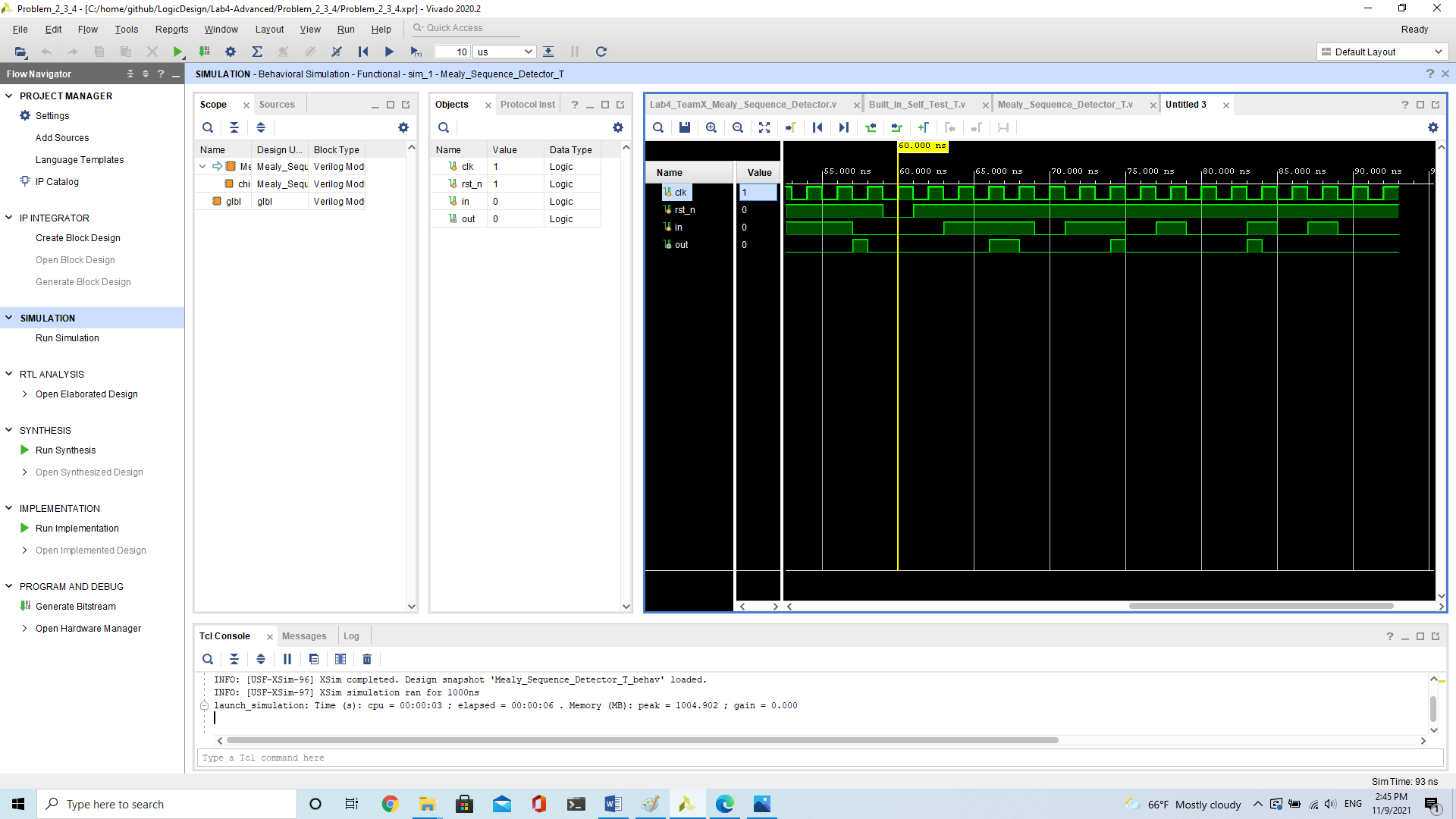
測試資料 #1

先讓資料都是高電位，時不時把電位拉下來。



測試資料 #2

同助教測試資料。



# Contribution

## Lawrence Wu

第二、三以及五題之實作以及報告撰寫。

## Ariel Chang

第一題實作及報告撰寫。

# What have we learned?

1. 沒有測試過的程式碼不要用。
2. 不要一學期選五主科+三個社團。
3. 多去看討論區！！
4. 小畫家不失為一種繪圖工具。
5. 在繳交功課前，應至CAD伺服器確認正確性。